

数字电路期末考试试题

考试说明

本试卷满分 100 分，考试时间 120 分钟。难度系数约为 0.6，题型包括选择题、填空题、判断题和大题。

一、选择题（每题 2 分，共 20 分）

请从每题的选项选择一个最合适的答案。

1. 十进制数 156 转换为二进制数为：
A. 10011010 B. 10011100 C. 10011110 D. 10111000
2. 在 8 位补码中，表示 -5 的是：
A. 00000101 B. 11111011 C. 11111101 D. 10000101
3. BCD 编码的十进制数“59”表示为：
A. 01011001 B. 01011010 C. 01001001 D. 01111001
4. 下列关于“异或”门的说法正确的是：
A. 输入全为 0 时输出 1 B. 输入相同时输出 1 C. 输入不同输出为 1 D. 以上都不对
5. 下列逻辑门中可实现任意逻辑功能的是：
A. 与门 B. 或门 C. 与非门 D. 异或门
6. 用卡诺图化简表达式 $F = A\bar{B} + AB$ ，其最简结果为：
A. A B. B C. \bar{B} D. 1
7. 4 选 1 多路选择器有几根数据输入端口？
A. 2 B. 4 C. 8 D. 16
8. 下列哪个芯片属于同步计数器？
A. 74LS90 B. 74LS163 C. 74LS47 D. 74LS83
9. 以下哪个触发器在时钟上升沿起作用？
A. SR 触发器 B. T 触发器 C. D 触发器（边沿触发） D. RS 锁存器
10. 关于 CMOS 电路，以下说法正确的是：
A. 功耗大，速度快 B. 静态功耗小 C. 易受干扰 D. 与 TTL 不兼容

二、填空题（每题 2 分，共 20 分）

1. 十六进制数 2F 的十进制表示是 _____。
2. 采用奇偶校验方式，可以检测 _____ 类型的错误。
3. 异或门的逻辑表达式是 _____。
4. 用两个 2 输入与非门可以构造一个 _____ 门。
5. 逻辑表达式 $\overline{A}B + AB$ 的最简化结果为 _____。
6. 常用全加器芯片是 _____。
7. JK 触发器当 $J = K = 1$ 时，其输出状态 _____。
8. 设计一个模-6 计数器，需要 _____ 个触发器。
9. 数据选择器的选择输入端数为 n ，其最多可选数据端为 _____。
10. TTL 电路的逻辑电平中，“高电平”通常为 _____ V。

三、判断题（每题 1 分，共 10 分）

请判断下列命题是否正确，正确的在括号内写“√”，错误的写“×”。

1. () BCD 编码能表示所有十进制数字。
2. () 同或门的逻辑功能为异或的取反。
3. () 布尔代数中， $A + AB = A$ 是成立的。
4. () 与非门可实现“与”和“非”功能，因此是通用门。
5. () 卡诺图化简适用于任意变量数的逻辑函数。
6. () 全加器可以直接实现任意位数的二进制加法。
7. () JK 触发器不会产生竞争冒险问题。
8. () 移位寄存器只能向一个方向移动数据。
9. () TTL 电路比 CMOS 电路更适用于低功耗场景。
10. () 译码器的作用是将编码转换为唯一激活的输出线。

四、大题（每题 10 分，共 50 分）

1. 【组合逻辑】设计一个 4 位二进制加法器，要求输出和及进位。请画出逻辑图或给出模块结构图。
2. 【组合逻辑】用一个 3-8 译码器（74LS138）和或非门设计函数 $F(A, B, C) = \sum m(1, 3, 5, 6)$ ，给出接线方案和逻辑图。

3. 【触发器】设计一个 JK 触发器构成的 T 型触发器电路，并说明其工作原理。
4. 【计数器】用两个同步计数器（如 74LS161）设计一个模-20 计数器，并画出连接图及说明其初始化方式。
5. 【计数器】设计一个可实现序列“000→011→101→111→000”的序列计数器，使用 JK 触发器构成，画出状态转移图、真值表及逻辑表达式。

参考答案（仅供教师使用）

一、选择题：

1.B 2.B 3.A 4.C 5.C 6.A 7.B 8.B 9.C 10.B

二、填空题：

1. 47 2. 单比特错误 3. $A \oplus B$ 4. 或 5. A 6. 74LS83 7. 翻转 8. 3 9. 2^n 10. 5

三、判断题：

1. \checkmark 2. \checkmark 3. \checkmark 4. \checkmark 5. \times 6. \times 7. \times 8. \times 9. \times 10. \checkmark