

Digital Logic Design Experiments Experiment Report

WIREFRAME FORMATION

電機一甲 110310138 劉千榮



**TAIPEI
TECH**
Since 1912

國立臺北科技大學
National Taipei University of Technology

數位邏輯設計實習報告

第 3 週：同位產生器、多工器

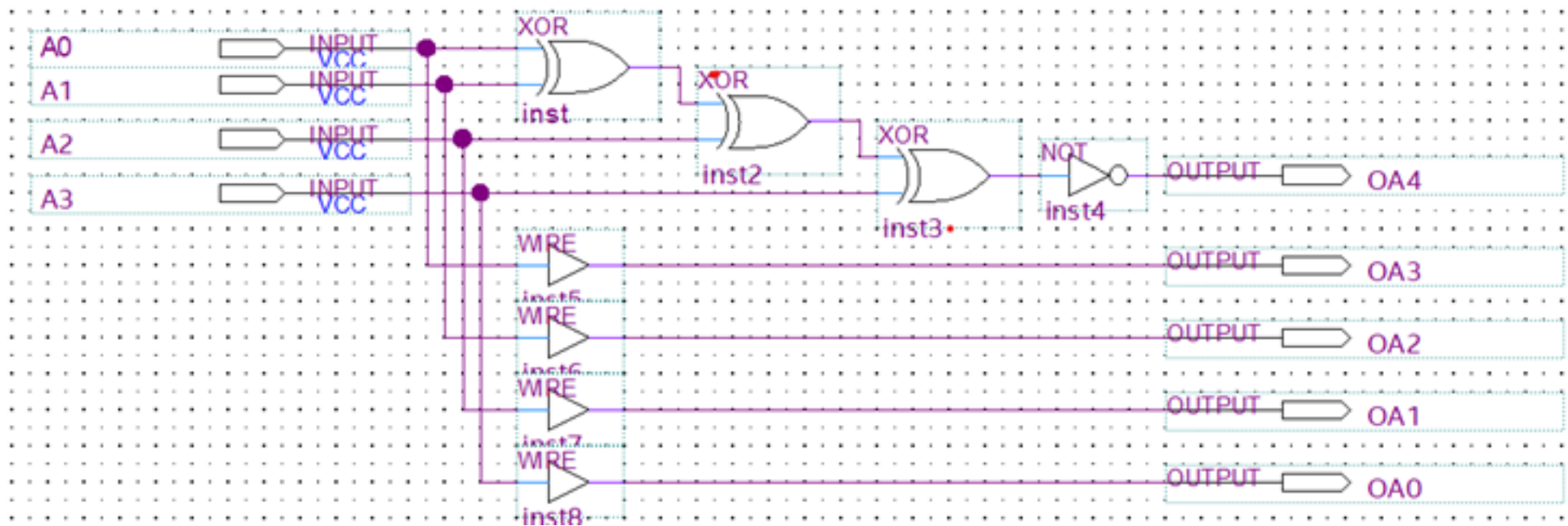
組員

110310138 劉千榮

110310147 王瑞鴻

壹、基本題（一）

奇同位產生器



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。在輸入端輸入4位元信號，輸出原4位元信號及1位元同位碼。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

```
1  module hw3_1(input [3:0] a, output [4:0] OA);
2
3      odd_parity_generator U1(a, OA);
4
5  endmodule
6
7  // 奇同位元產生模組
8  module odd_parity_generator(
9      input [3:0] a,
10     output [4:0] OA
11 );
12
13     assign OA [4:1] = a [3:0];
14     assign OA [0] = ~(a[0] ^ a[1] ^ a[2] ^ a[3]);
15
16 endmodule
17
```

接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

Pin Name	I/O	Pin address	Description
a[3]	I	PIN_AC30	Slide Switch [0]
a[2]	I	PIN_AB28	Slide Switch [1]
a[1]	I	PIN_Y27	Slide Switch [2]
a[0]	I	PIN_AB30	Slide Switch [3]
OA[4]	O	PIN_AG25	LED [0]
OA[3]	O	PIN_AD24	LED [1]
OA[2]	O	PIN_AC23	LED [2]
OA[1]	O	PIN_AB23	LED [3]
OA[0]	O	PIN_AA24	LED [4]

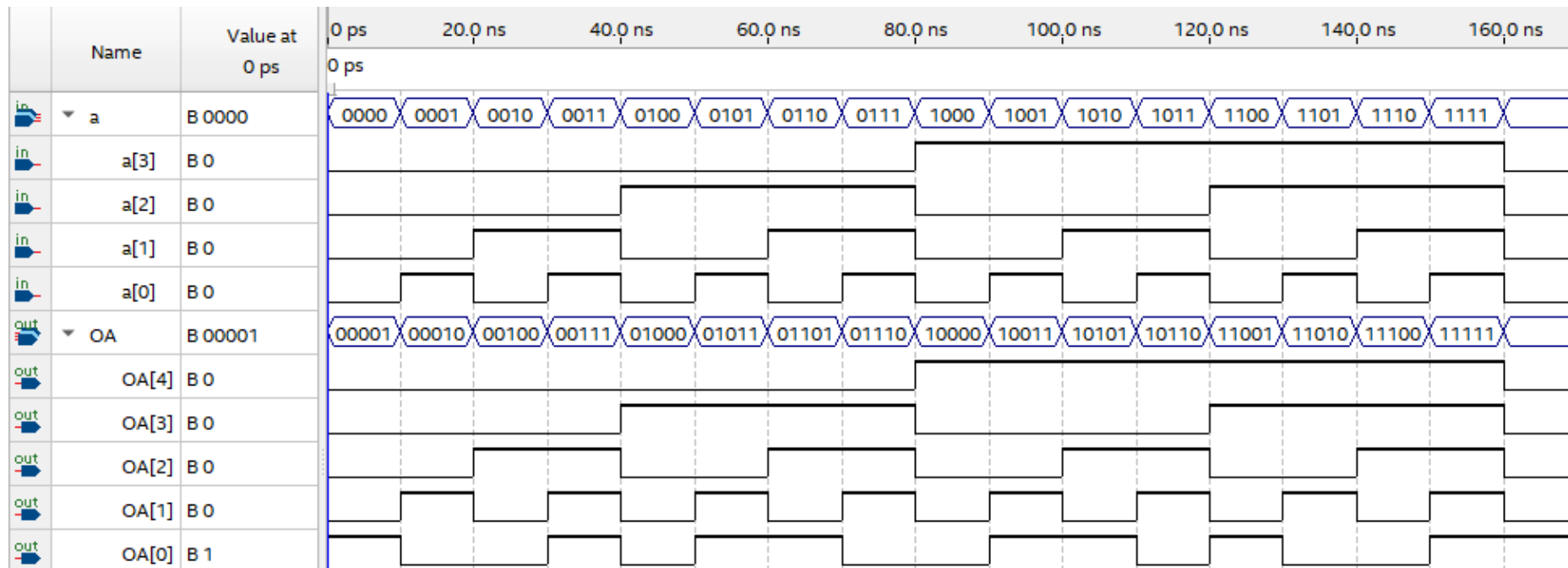
Pin Assignment of Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB30	Slide Switch[0]	Depend on JP3
SW[1]	PIN_Y27	Slide Switch[1]	Depend on JP3
SW[2]	PIN_AB28	Slide Switch[2]	Depend on JP3
SW[3]	PIN_AC30	Slide Switch[3]	Depend on JP3
SW[4]	PIN_W25	Slide Switch[4]	Depend on JP3
SW[5]	PIN_V25	Slide Switch[5]	Depend on JP3
SW[6]	PIN_AC28	Slide Switch[6]	Depend on JP3
SW[7]	PIN_AD30	Slide Switch[7]	Depend on JP3
SW[8]	PIN_AC29	Slide Switch[8]	Depend on JP3
SW[9]	PIN_AA30	Slide Switch[9]	Depend on JP3

Pin Assignment of LEDs

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
LEDR[0]	PIN_AA24	LED [0]	3.3V
LEDR[1]	PIN_AB23	LED [1]	3.3V
LEDR[2]	PIN_AC23	LED [2]	3.3V
LEDR[3]	PIN_AD24	LED [3]	3.3V
LEDR[4]	PIN_AG25	LED [4]	3.3V
LEDR[5]	PIN_AF25	LED [5]	3.3V
LEDR[6]	PIN_AE24	LED [6]	3.3V
LEDR[7]	PIN_AF24	LED [7]	3.3V
LEDR[8]	PIN_AB22	LED [8]	3.3V
LEDR[9]	PIN_AC22	LED [9]	3.3V

輸出模擬 (ModelSim)

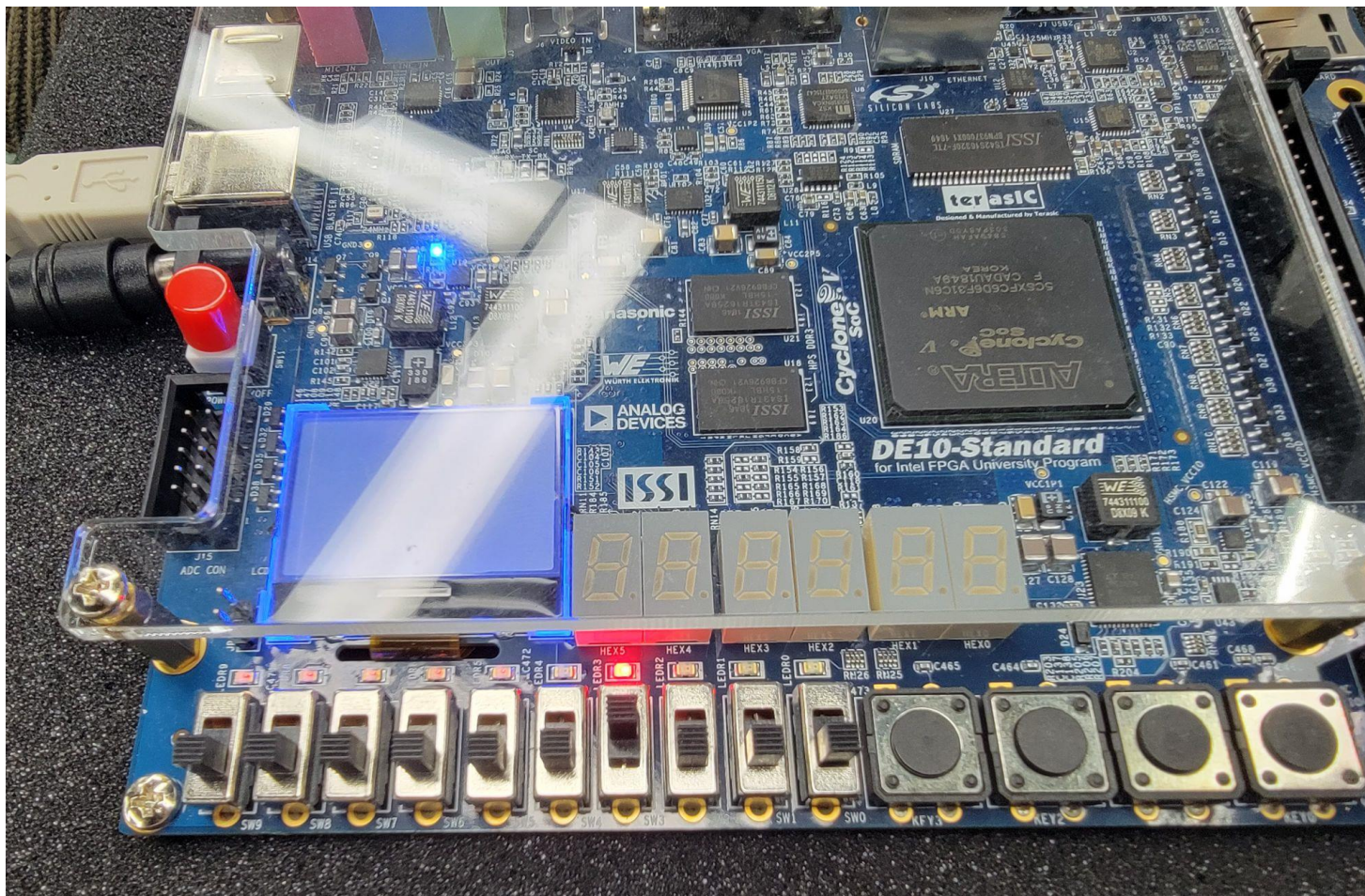


實驗成果



當輸入為偶數個1，奇同位產生器將輸出1的同位信號

實驗成果



當輸入為奇數個1，奇同位產生器將輸出0的同位信號

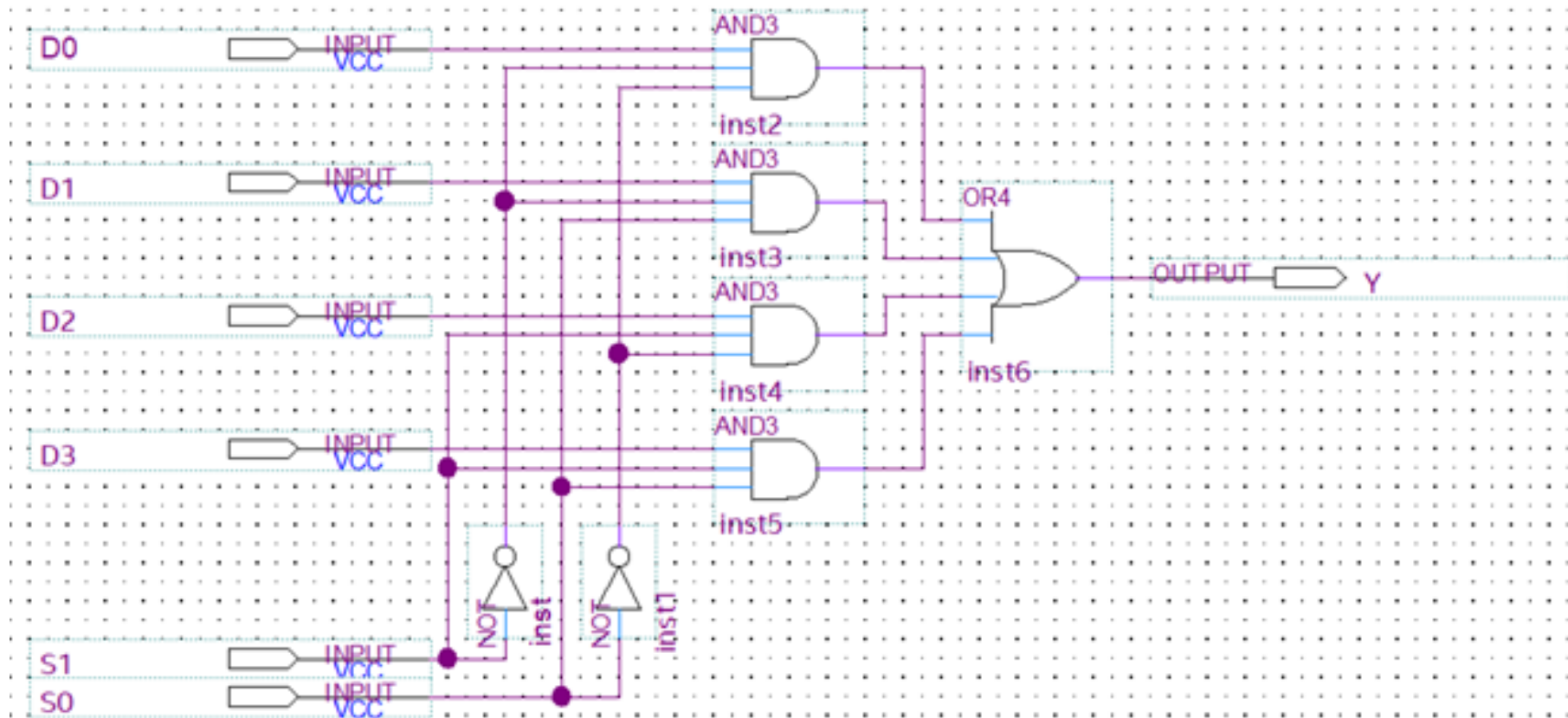
問題與心得

110310138 劉千榮

這次在實作Verilog HDL電路時，因為有在家學了一些相關語法，所以完成速度比其他拉圖的同學快上一截。Verilog HDL另一個好處是語法相當有彈性，不需要像VHDL那樣嚴謹的宣告，就能更快速地完成實驗。

壹、基本題（二）

四位元多工器



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。透過兩條控制線，可決定輸出取自於哪一條輸入線。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

```
1  module hw3_2 (input [3:0] a, input [1:0] select, output y);
2
3      mux4to1 mux(a, select, y);
4
5  endmodule
6
7  //四位元多工器模組
8  module mux4to1 (
9
10     input [3:0] a,
11     input [1:0] select,
12     output reg y);
13
14     always@(a or select)
15     begin
16         case(select)
17             2'b00 : y = a[0];
18             2'b01 : y = a[1];
19             2'b10 : y = a[2];
20             2'b11 : y = a[3];
21         endcase
22     end
23 endmodule
```

接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

Pin Name	I/O	Pin address	Description
a[3]	I	PIN_AC30	Slide Switch [0]
a[2]	I	PIN_AB28	Slide Switch [1]
a[1]	I	PIN_Y27	Slide Switch [2]
a[0]	I	PIN_AB30	Slide Switch [3]
select[1]	I	PIN_W25	Slide Switch [4]
select[0]	I	PIN_V25	Slide Switch [5]
y	O	PIN_AA24	LED [0]

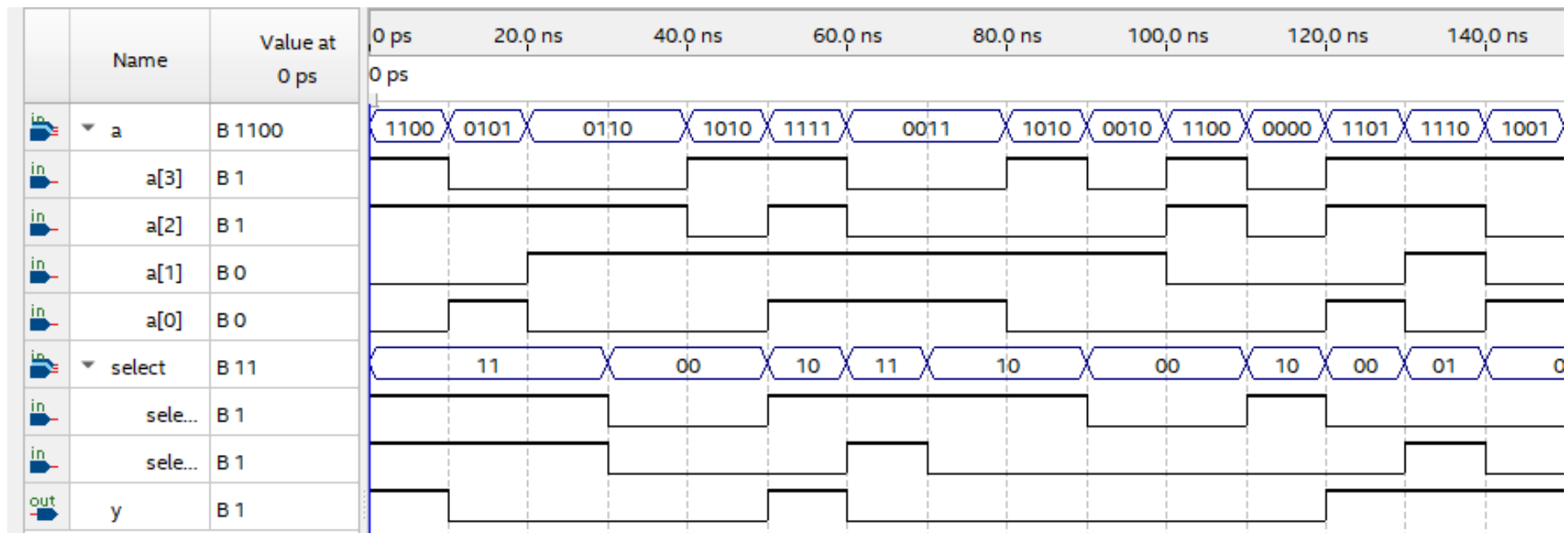
Pin Assignment of Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB30	Slide Switch[0]	Depend on JP3
SW[1]	PIN_Y27	Slide Switch[1]	Depend on JP3
SW[2]	PIN_AB28	Slide Switch[2]	Depend on JP3
SW[3]	PIN_AC30	Slide Switch[3]	Depend on JP3
SW[4]	PIN_W25	Slide Switch[4]	Depend on JP3
SW[5]	PIN_V25	Slide Switch[5]	Depend on JP3
SW[6]	PIN_AC28	Slide Switch[6]	Depend on JP3
SW[7]	PIN_AD30	Slide Switch[7]	Depend on JP3
SW[8]	PIN_AC29	Slide Switch[8]	Depend on JP3
SW[9]	PIN_AA30	Slide Switch[9]	Depend on JP3

Pin Assignment of LEDs

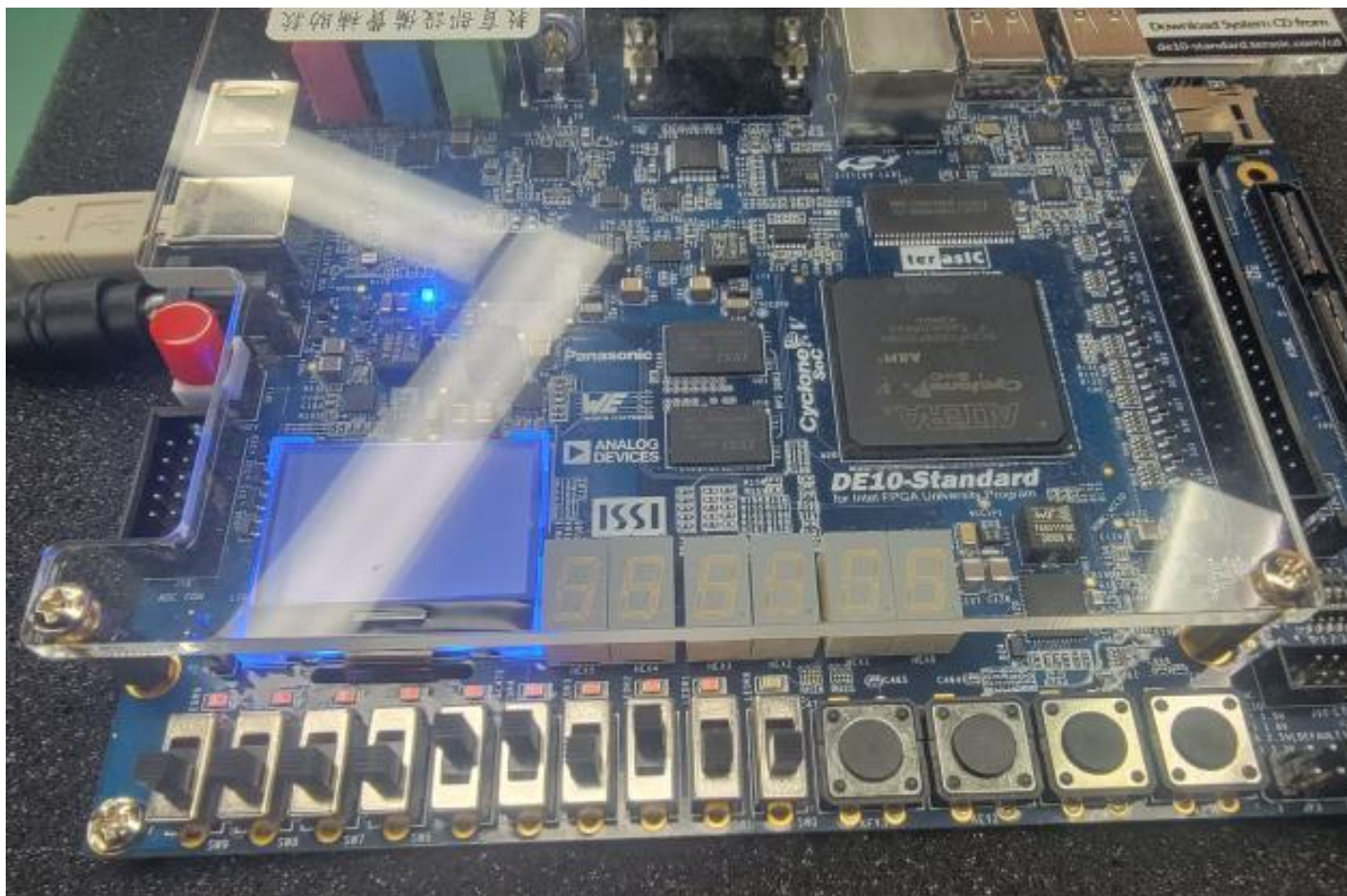
<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
LEDR[0]	PIN_AA24	LED [0]	3.3V
LEDR[1]	PIN_AB23	LED [1]	3.3V
LEDR[2]	PIN_AC23	LED [2]	3.3V
LEDR[3]	PIN_AD24	LED [3]	3.3V
LEDR[4]	PIN_AG25	LED [4]	3.3V
LEDR[5]	PIN_AF25	LED [5]	3.3V
LEDR[6]	PIN_AE24	LED [6]	3.3V
LEDR[7]	PIN_AF24	LED [7]	3.3V
LEDR[8]	PIN_AB22	LED [8]	3.3V
LEDR[9]	PIN_AC22	LED [9]	3.3V

輸出模擬 (ModelSim)



使用隨機產生波型，模擬輸入訊號

實驗成果



當選擇線選擇未對應至輸入端，輸出信號才會輸出0（LED OFF）。

實驗成果



當選擇線選擇至相對應之輸入端，且輸入端信號為1時，輸出信號才會輸出1（LED ON）。

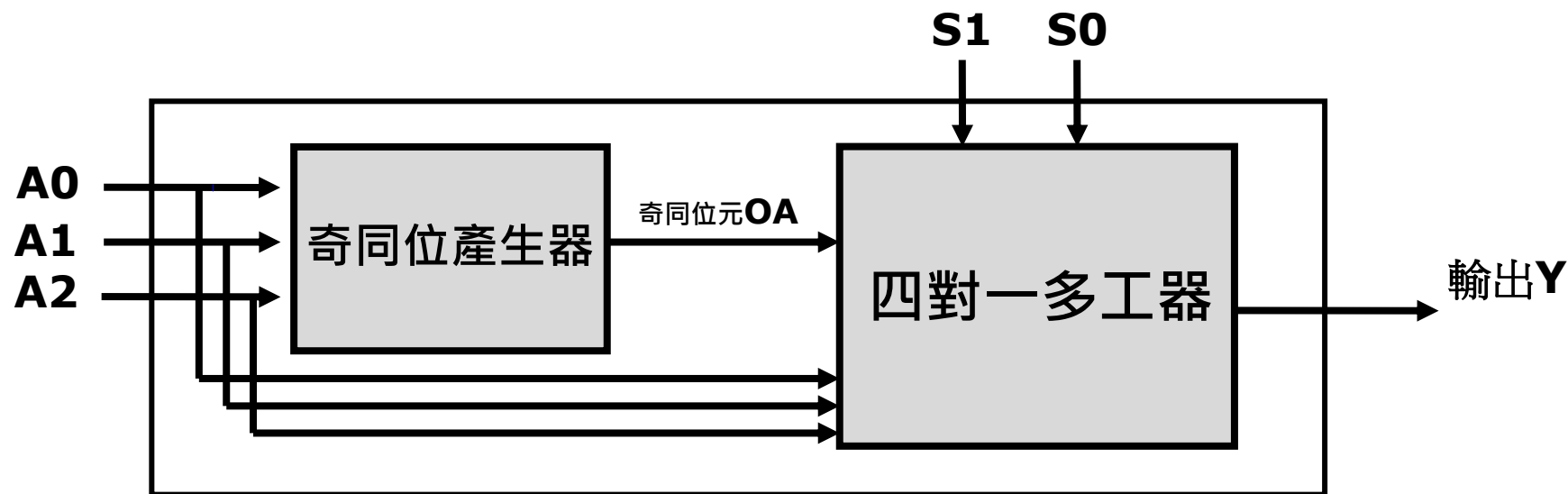
問題與心得

110310138 劉千榮

這次在實作Verilog HDL電路時，看著同學一個一個方塊拉，而我只要使用case的語法就能解決，提升了不少的實驗效率。透過模組化的宣告，可以使在撰寫HDL時，能在Top-Level Entity中有更高的可讀性。

壹、進階題

設計一個三位元輸入(A0,A1 & A2),可同時產生奇同位元,並由2條控制線(S0,S1),控制輸出Y之四對一多工器電路



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。結合基礎題一級基礎題二，合成出符合相對應題目敘述之功能電路。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

Top-Level Entity

```
1  module hw3_extra (  
2        
3      input [2:0] a,  
4      input [1:0] select,  
5      output y);  
6        
7      wire OA;  
8        
9      odd_parity_generator OPG(a, OA);  
10     mux4to1 mux({OA, a}, select, y);  
11   
12 endmodule
```

設計程序 (Verilog HDL)

```
14 module odd_parity_generator(  
15     input [3:0] a,  
16     output [4:0] OA  
17 );  
18  
19     assign OA [4:1] = a [3:0];  
20     assign OA [0] = ~(a[0] ^ a[1] ^ a[2] ^ a[3]);  
21  
22 endmodule
```

```
24 module mux4to1 ( |input [3:0] a, input [1:0] select,  
25                 output reg y);  
26  
27     always@(a or select)  
28     begin  
29         case(select)  
30             2'b00 : y = a[0];  
31             2'b01 : y = a[1];  
32             2'b10 : y = a[2];  
33             2'b11 : y = a[3];  
34         endcase  
35     end  
36 endmodule
```

接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

Pin Name	I/O	Pin address	Description
a[2]	I	PIN_AB28	Slide Switch [0]
a[1]	I	PIN_Y27	Slide Switch [1]
a[0]	I	PIN_AB30	Slide Switch [2]
select[1]	I	PIN_W25	Slide Switch [3]
select[0]	I	PIN_V25	Slide Switch [4]
y	O	PIN_AA24	LED [0]

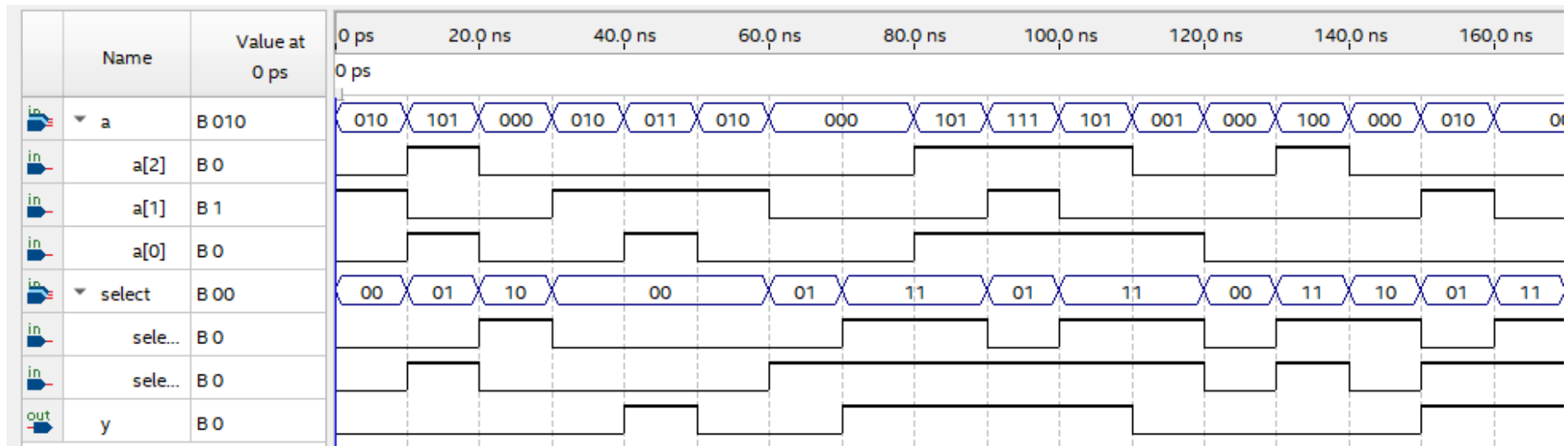
Pin Assignment of Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB30	Slide Switch[0]	Depend on JP3
SW[1]	PIN_Y27	Slide Switch[1]	Depend on JP3
SW[2]	PIN_AB28	Slide Switch[2]	Depend on JP3
SW[3]	PIN_AC30	Slide Switch[3]	Depend on JP3
SW[4]	PIN_W25	Slide Switch[4]	Depend on JP3
SW[5]	PIN_V25	Slide Switch[5]	Depend on JP3
SW[6]	PIN_AC28	Slide Switch[6]	Depend on JP3
SW[7]	PIN_AD30	Slide Switch[7]	Depend on JP3
SW[8]	PIN_AC29	Slide Switch[8]	Depend on JP3
SW[9]	PIN_AA30	Slide Switch[9]	Depend on JP3

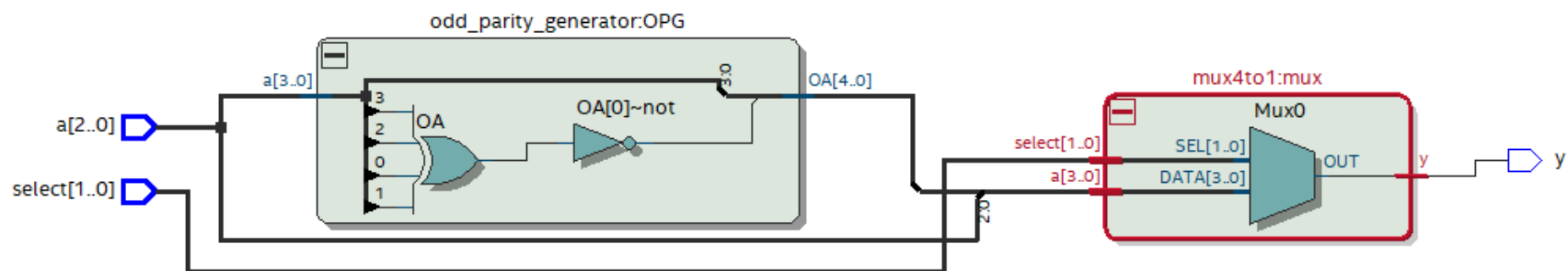
Pin Assignment of LEDs

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
LEDR[0]	PIN_AA24	LED [0]	3.3V
LEDR[1]	PIN_AB23	LED [1]	3.3V
LEDR[2]	PIN_AC23	LED [2]	3.3V
LEDR[3]	PIN_AD24	LED [3]	3.3V
LEDR[4]	PIN_AG25	LED [4]	3.3V
LEDR[5]	PIN_AF25	LED [5]	3.3V
LEDR[6]	PIN_AE24	LED [6]	3.3V
LEDR[7]	PIN_AF24	LED [7]	3.3V
LEDR[8]	PIN_AB22	LED [8]	3.3V
LEDR[9]	PIN_AC22	LED [9]	3.3V

模擬 Simulation

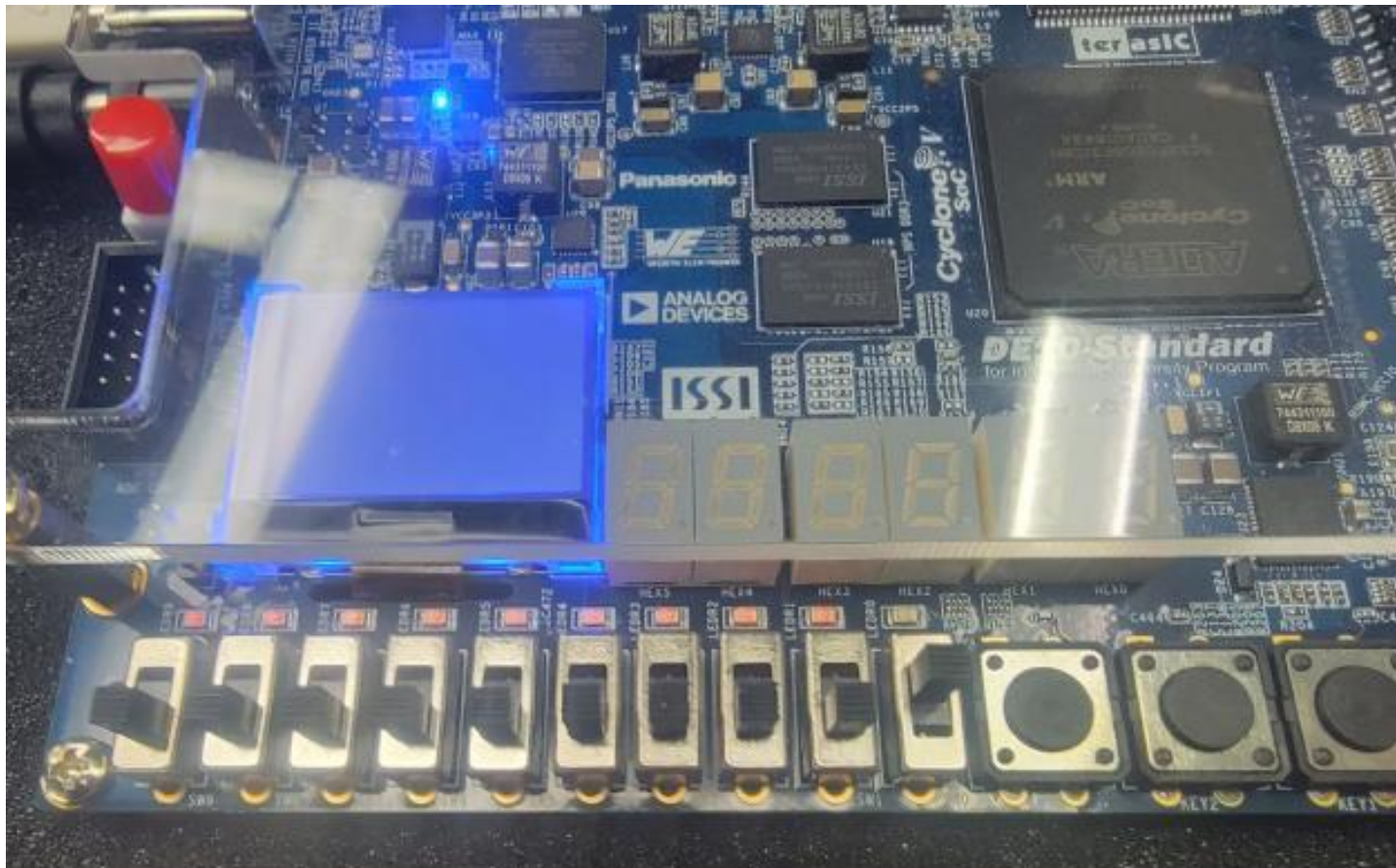


使用隨機產生波型，模擬輸入訊號



RTL Module

實驗成果



當選擇線不在 11 時，與基礎題二無異，對應至輸入線且輸出為1時，輸出1 (LED OFF, LED為低態驅動)。

實驗成果



當選擇線在 11 時，與基礎題一無異，輸入為奇數個1時，輸出0 (LED ON, LED為低態驅動)。

問題與心得

110310138 劉千榮

在撰寫此Verilog HDL電路時，很明顯是測試學生是否能將前兩題的電路模組化以重複使用。所以這題只是多加一條連接奇同位元至四位元多工器，故module的語法在這題是相當好用的。

WIREFRAME FORMATION

工業推手一世紀 · 企業搖籃一百年

100 Years of Excellence · Cultivating Entrepreneurs of Tomorrow



國立臺北科技大學
National Taipei University of Technology