

Digital Logic Design Experiments Experiment Report

WIREFRAME FORMATION

電機一甲 110310138 劉千榮



**TAIPEI
TECH**
Since 1912

國立臺北科技大學
National Taipei University of Technology

數位邏輯設計實習報告

第 5 週：實驗名稱

組員

110310138 劉千榮

110310147 王瑞鴻

壹、基本題

邏輯運算單元(8對1多工器)

使用邏輯運算(AND, OR, NOT, BUFFER, NAND, NOR, XOR, XNOR)當輸入，用S0, S1, S2當作控制選擇線。

實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。利用多工氣完成不同選擇信號的輸出。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

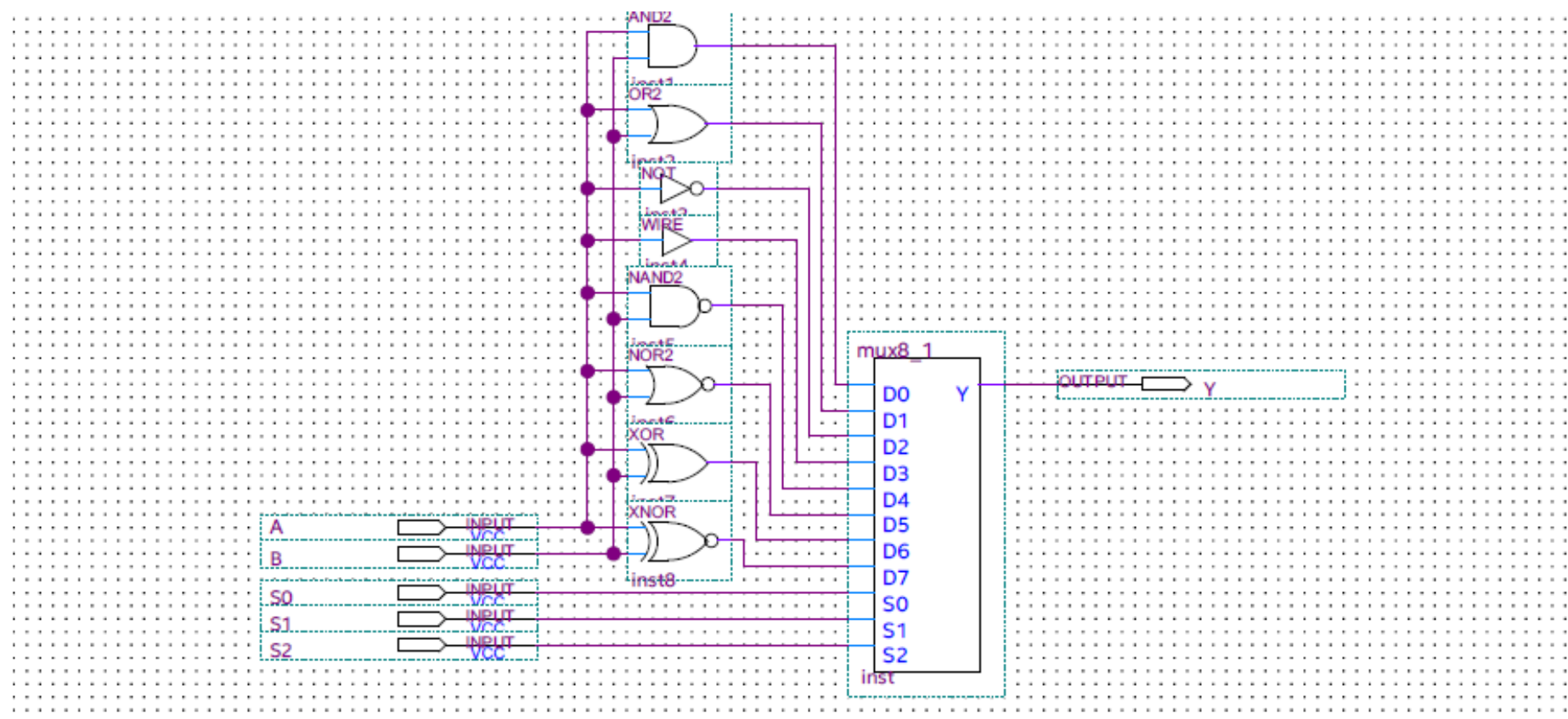
先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序

Date: March 26, 2022







hw5.bdf

Project: hw5

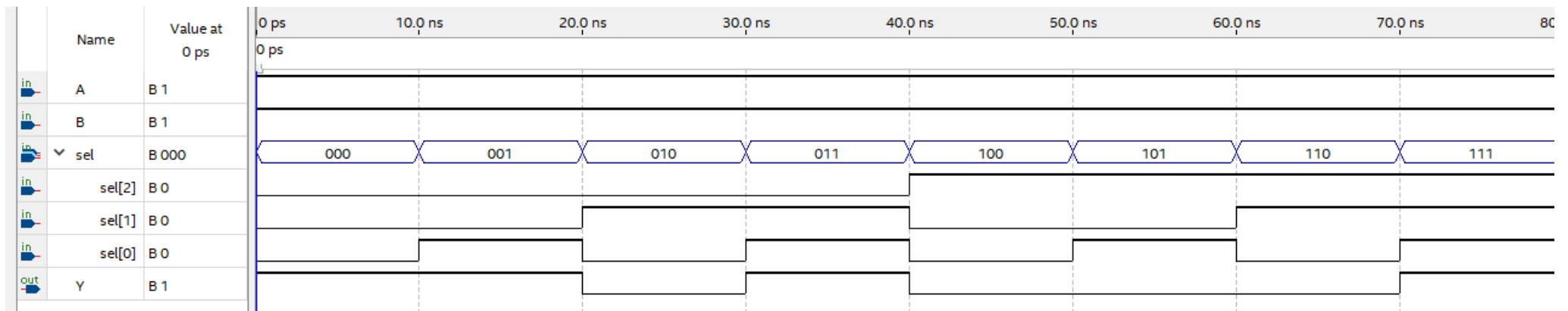


接腳設定簡介

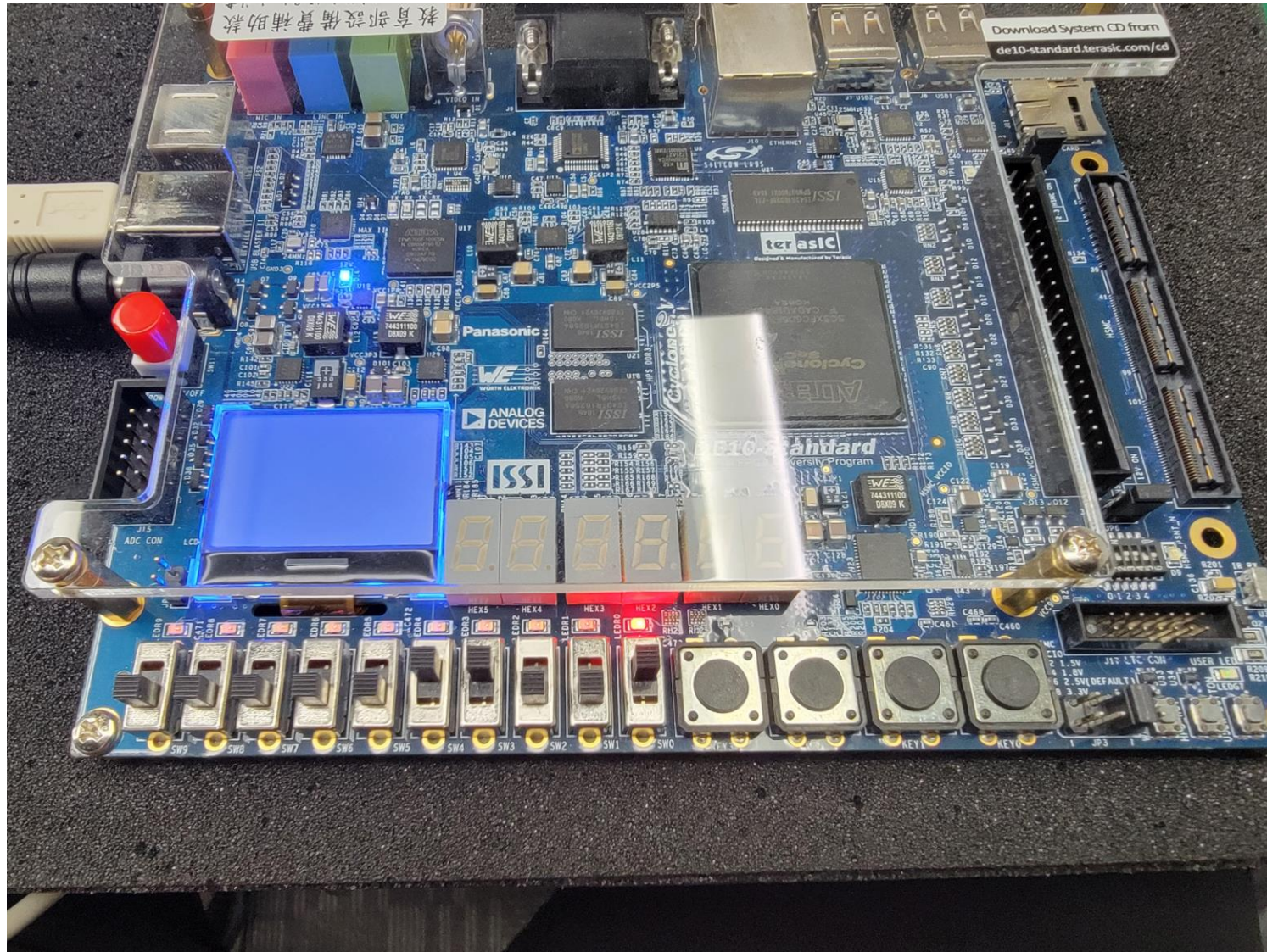
本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 A	Input	PIN_AB30	5B	B5B_N0	PIN_AB30	2.5 V
 B	Input	PIN_Y27	5B	B5B_N0	PIN_Y27	2.5 V
 Y	Output	PIN_AA24	5A	B5A_N0	PIN_AA24	2.5 V
 sel[2]	Input	PIN_AB28	5B	B5B_N0	PIN_AB28	2.5 V
 sel[1]	Input	PIN_AC30	5B	B5B_N0	PIN_AC30	2.5 V
 sel[0]	Input	PIN_W25	5B	B5B_N0	PIN_W25	2.5 V

輸出模擬 (ModelSim)



實驗成果



問題與心得

110310138 劉千榮

對於這題，只要會使用簡單的多工器，就可以馬上完成基本題。所以花不到20分鐘就完成該題，是真的沒有難度。

貳、進階題

邏輯運算單元(8對1多工器)

使用邏輯運算(AND, OR, NOT, BUFFER, NAND, NOR, XOR, XNOR)當輸入，用S0, S1, S2當作控制選擇線。

使用VHDL完成

實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。利用多工氣完成不同選擇信號的輸出。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (VHDL)

```
library ieee;
use ieee.std_logic_1164.all;
entity hw5_extra_vhdl is
    port
    (
        A, B : in std_logic;
        sel : in std_logic_vector (2 downto 0);
        Y : out std_logic;
    );
end hw5_extra_vhdl;







architecture mux8to1 of hw5_extra_vhdl is
begin
    process(sel) is
    begin
        Case sel IS
            When "000" => Y <= A AND B;
            When "001" => Y <= A OR B;
            When "010" => Y <= NOT A;
            When "011" => Y <= A;
            When "100" => Y <= A NAND B;
            When "101" => Y <= A NOR B;
            When "110" => Y <= A XOR B;
            When "111" => Y <= A XNOR B;
        End Case;
    end process;
end mux8to1;
```

設計程序 (Verilog HDL)

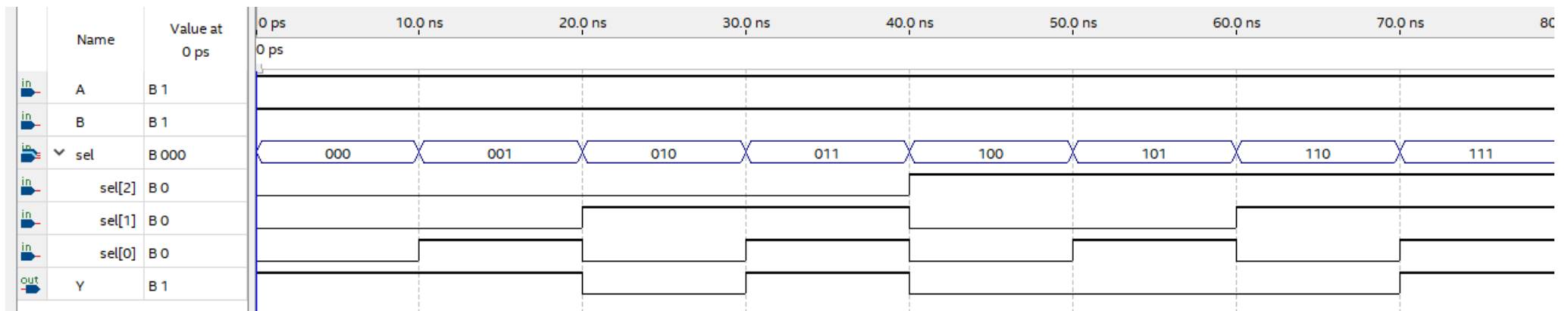
```
module hw5_extra(A, B, sel [2:0], Y);  
    input A, B;  
    input [2:0] sel;  
    output reg Y;  
  
    always@(*) begin  
        case(sel)  
            3'b000: Y <= A & B;  
            3'b001: Y <= A | B;  
            3'b010: Y <= ~A;  
            3'b011: Y <= A;  
            3'b100: Y <= ~(A & B);  
            3'b101: Y <= ~(A | B);  
            3'b110: Y <= A ^ B;  
            3'b111: Y <= ~(A ^ B);  
        endcase  
    end  
endmodule
```


接腳設定簡介

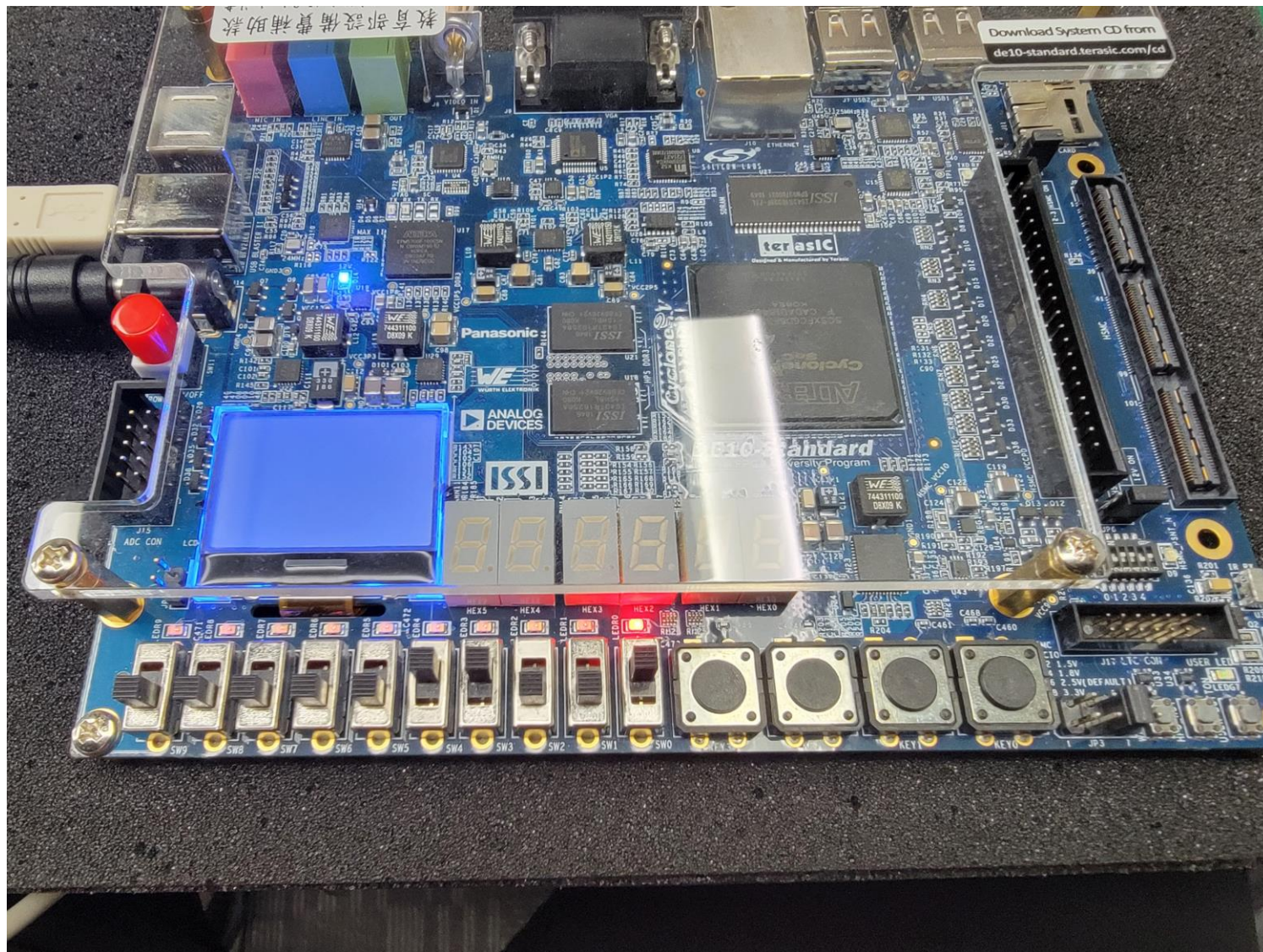
本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 A	Input	PIN_AB30	5B	B5B_N0	PIN_AB30	2.5 V
 B	Input	PIN_Y27	5B	B5B_N0	PIN_Y27	2.5 V
 Y	Output	PIN_AA24	5A	B5A_N0	PIN_AA24	2.5 V
 sel[2]	Input	PIN_AB28	5B	B5B_N0	PIN_AB28	2.5 V
 sel[1]	Input	PIN_AC30	5B	B5B_N0	PIN_AC30	2.5 V
 sel[0]	Input	PIN_W25	5B	B5B_N0	PIN_W25	2.5 V

輸出模擬 (ModelSim)



實驗成果



問題與心得

110310138 劉千榮

對於這題，還比拉圖快。在我和組員分工合作之下，不只在老師講完課時完成功課，還加碼把Verilog版本的程式也寫出來。這幾次都沒有什麼難度，也沒有人來問我問題，就沒事直接回家了。

WIREFRAME FORMATION

工業推手一世紀 · 企業搖籃一百年

100 Years of Excellence · Cultivating Entrepreneurs of Tomorrow



國立臺北科技大學
National Taipei University of Technology