

Digital Logic Design Experiments Experiment Report

WIREFRAME FORMATION

電機一甲 110310138 劉千榮



**TAIPEI
TECH**
Since 1912

國立臺北科技大學
National Taipei University of Technology

數位邏輯設計實習報告

第 4 週：七段解碼器

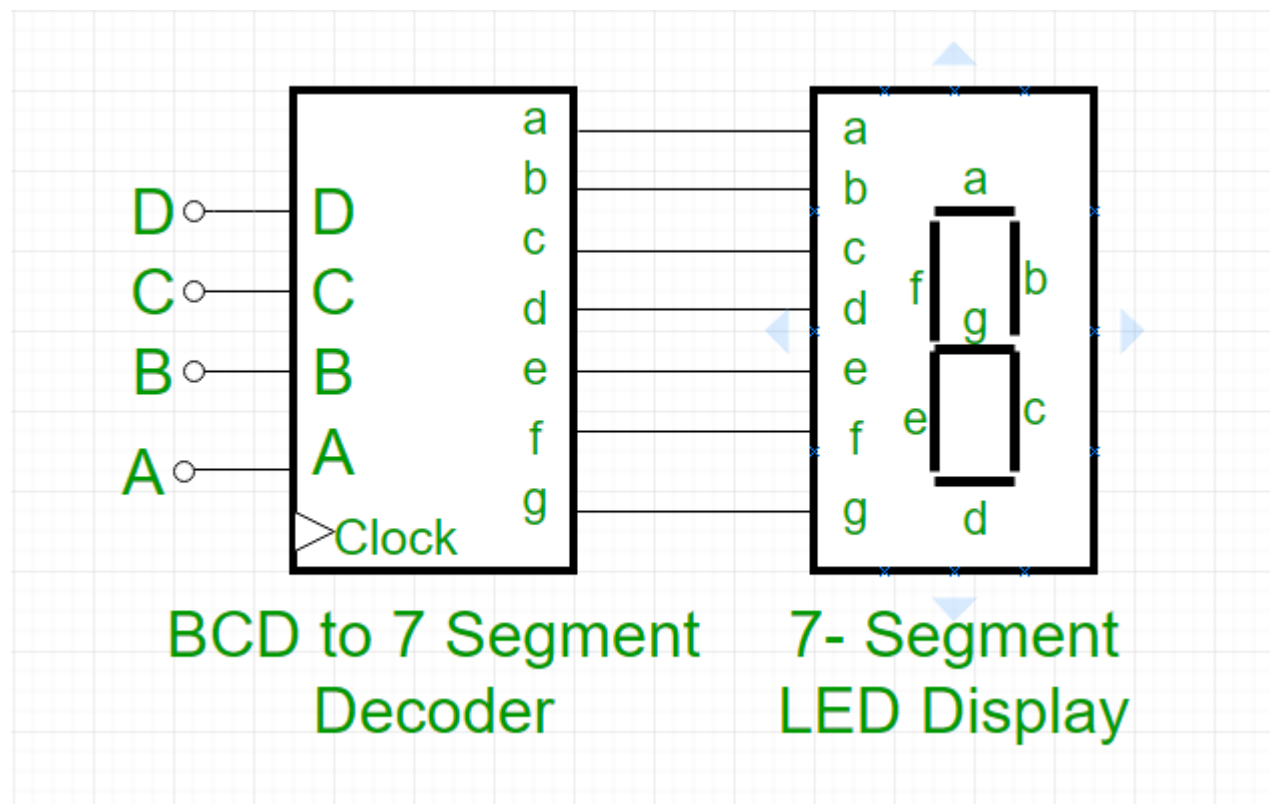
組員

110310138 劉千榮

110310147 王瑞鴻

壹、基本題 實作seven.gdf

用4個開關控制某顆7段顯示器，使顯示0~9，照片或影片需顯示0~9。本次實作需將 seven.bdf 存成symbol，以後的實作可能會用到。



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。輸入BCD碼，再透過自製解多工器，將相對應之時進位數顯示在七段顯示器上。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證












先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

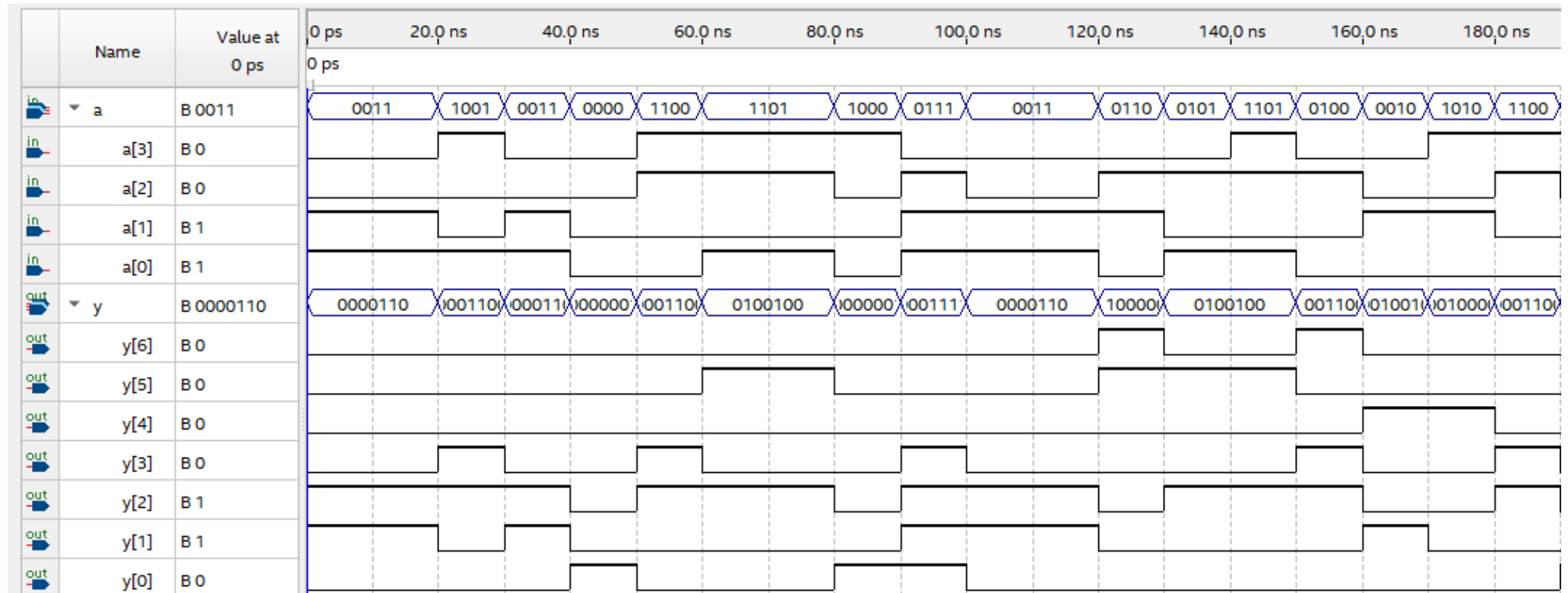
```
1  module hw4_1 (input [3:0] a, output [6:0] y);
2
3      mydecoder decoder(a, y);
4
5  endmodule
6
7  module mydecoder (input [3:0] in, output reg [6:0] Out);
8
9      always@(in)
10     begin
11
12         case(in)
13             4'b0000:    Out <= 7'b000_0001; // 0
14             4'b0001:    Out <= 7'b100_1111; // 1
15             4'b0010:    Out <= 7'b001_0010; // 2
16             4'b0011:    Out <= 7'b000_0110; // 3
17             4'b0100:    Out <= 7'b100_1100; // 4
18             4'b0101:    Out <= 7'b010_0100; // 5
19             4'b0110:    Out <= 7'b110_0000; // 6
20             4'b0111:    Out <= 7'b000_1111; // 7
21             4'b1000:    Out <= 7'b000_0001; // 8
22             4'b1001:    Out <= 7'b000_1100; // 9
23             default:    Out <= 7'bxxx_xxxx;
24         endcase
25     end
26 endmodule
27
```

接腳設定簡介

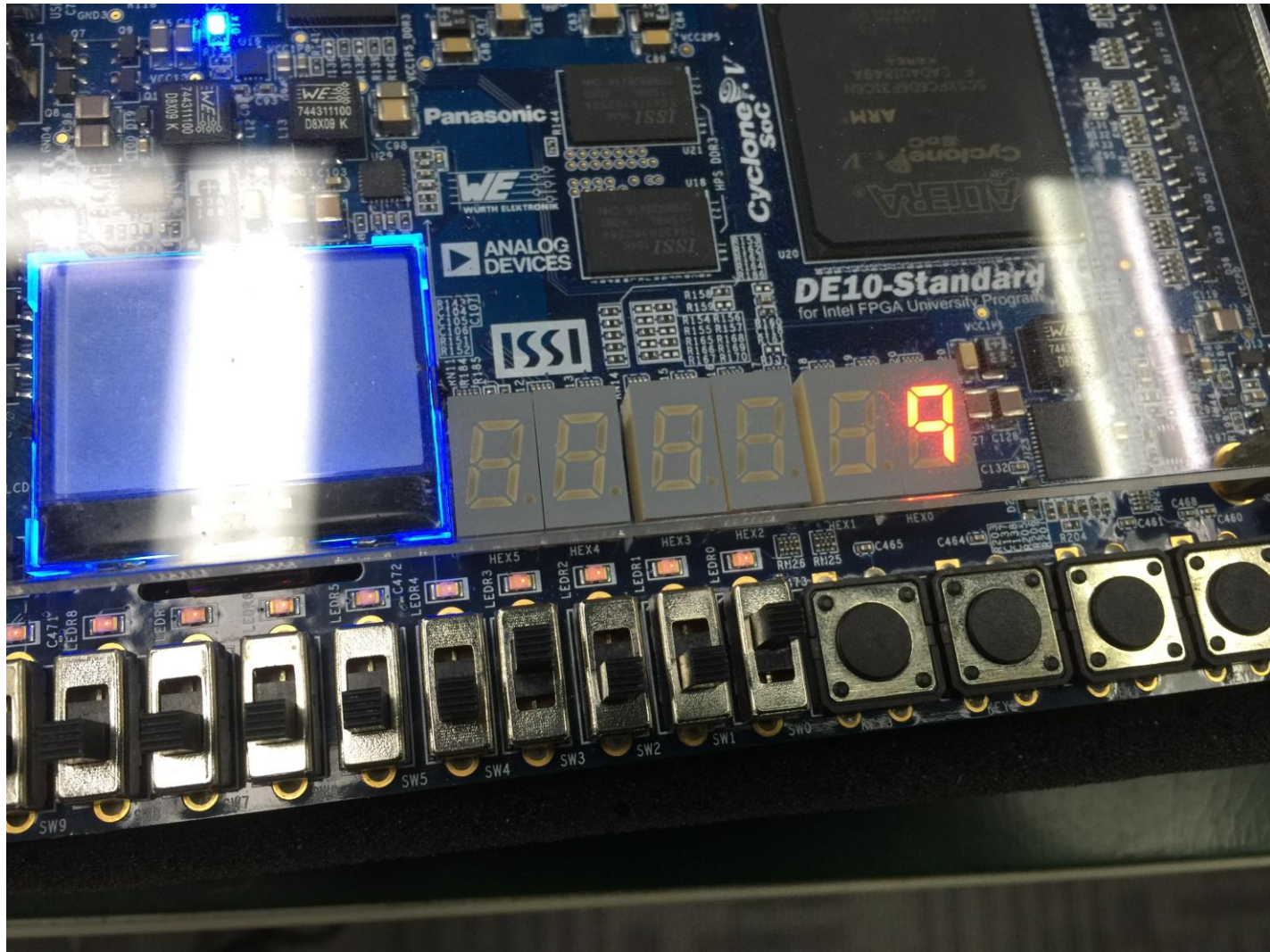
本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 a[3]	Input	PIN_AC30	5B	B5B_N0	PIN_AC30	2.5 V
 a[2]	Input	PIN_AB28	5B	B5B_N0	PIN_AB28	2.5 V
 a[1]	Input	PIN_Y27	5B	B5B_N0	PIN_Y27	2.5 V
 a[0]	Input	PIN_AB30	5B	B5B_N0	PIN_AB30	2.5 V
 y[6]	Output	PIN_W17	4A	B4A_N0	PIN_W17	2.5 V
 y[5]	Output	PIN_V18	4A	B4A_N0	PIN_V18	2.5 V
 y[4]	Output	PIN_AG17	4A	B4A_N0	PIN_AG17	2.5 V
 y[3]	Output	PIN_AG16	4A	B4A_N0	PIN_AG16	2.5 V
 y[2]	Output	PIN_AH17	4A	B4A_N0	PIN_AH17	2.5 V
 y[1]	Output	PIN_AG18	4A	B4A_N0	PIN_AG18	2.5 V
 y[0]	Output	PIN_AH18	4A	B4A_N0	PIN_AH18	2.5 V

模擬 Simulation



實驗成果



當輸入“1001”，七段顯示器上顯示是十進制的“9”

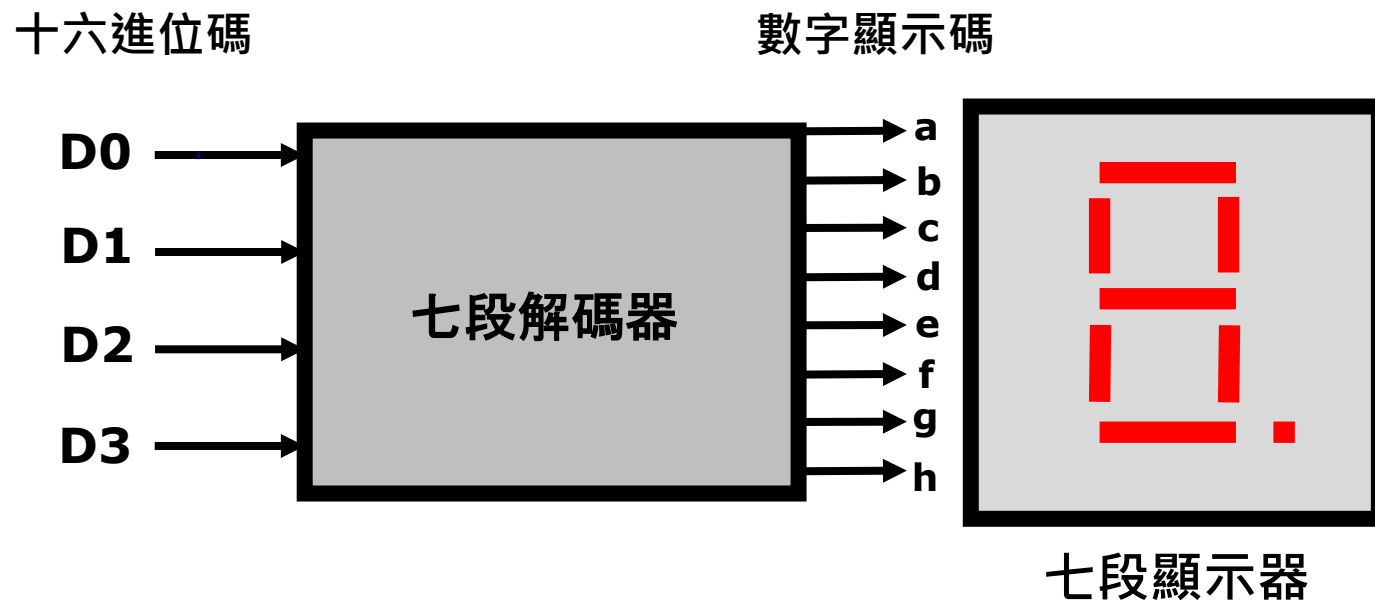
問題與心得

110310138 劉千榮

本題也是基本的case應用，當同學們化簡卡諾圖時，Verilog HDL只要分別輸入結果，就能迅速完成。不然依靠Digital也是好方法來快速化簡。

壹、進階題1 擴充七段顯示器字母輸出

重新擴充設計七段解碼器,將原本BCD碼七段顯示器輸出0-9，擴充新增七段顯示器字母輸出(A,b,C,d,E,F)。



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。輸入BCD碼，再透過自製解多工器，將相對應之時進位數顯示在七段顯示器上。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證












先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

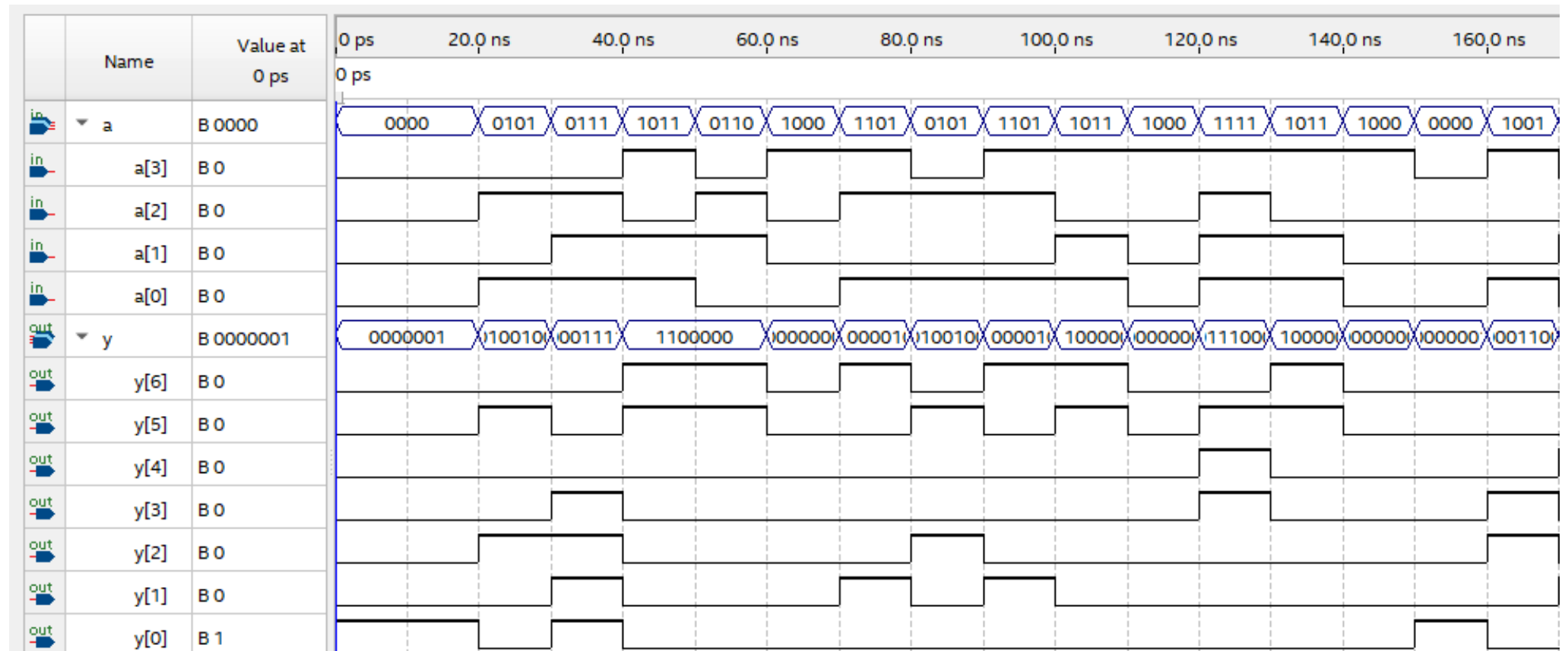
```
1  module hw4_extra1 (input [3:0] a, output [6:0] y);
2
3      mydecoderExtra decoder(a, y);
4
5  endmodule
6
7  module mydecoderExtra (input [3:0] in, output reg [6:0] Out);
8
9      always@(in)
10     begin
11
12         case(in)
13             4'b0000: Out <= 7'b000_0001; // 0
14             4'b0001: Out <= 7'b100_1111; // 1
15             4'b0010: Out <= 7'b001_0010; // 2
16             4'b0011: Out <= 7'b000_0110; // 3
17             4'b0100: Out <= 7'b100_1100; // 4
18             4'b0101: Out <= 7'b010_0100; // 5
19             4'b0110: Out <= 7'b110_0000; // 6
20             4'b0111: Out <= 7'b000_1111; // 7
21             4'b1000: Out <= 7'b000_0000; // 8
22             4'b1001: Out <= 7'b000_1100; // 9
23             4'b1010: Out <= 7'b000_1000; // A
24             4'b1011: Out <= 7'b110_0000; // b
25             4'b1100: Out <= 7'b011_0001; // C
26             4'b1101: Out <= 7'b100_0010; // d
27             4'b1110: Out <= 7'b011_0000; // E
28             4'b1111: Out <= 7'b011_1000; // F
29         endcase
30     end
31 endmodule
32
```


接腳設定簡介

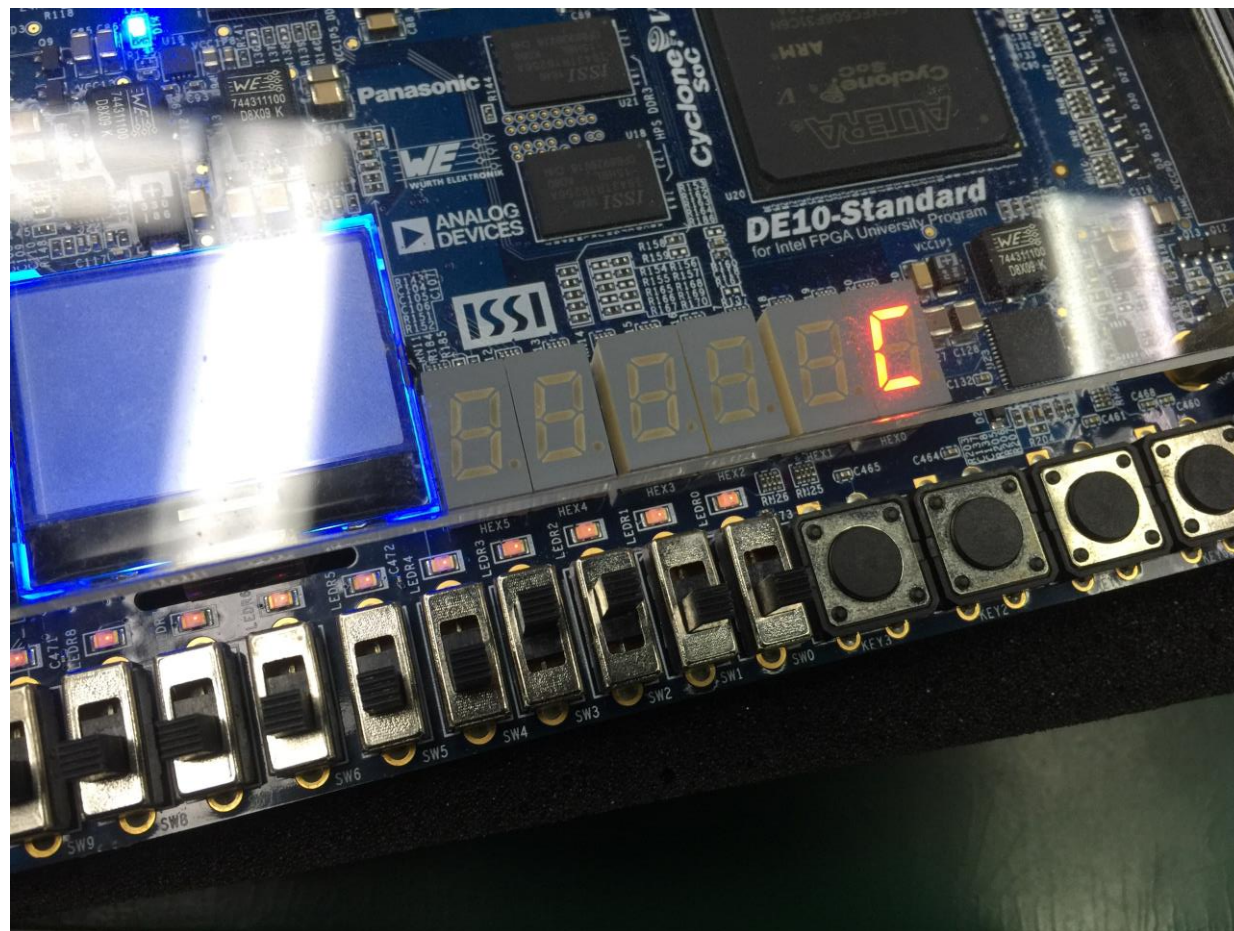
本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 a[3]	Input	PIN_AC30	5B	B5B_N0	PIN_AC30	2.5 V
 a[2]	Input	PIN_AB28	5B	B5B_N0	PIN_AB28	2.5 V
 a[1]	Input	PIN_Y27	5B	B5B_N0	PIN_Y27	2.5 V
 a[0]	Input	PIN_AB30	5B	B5B_N0	PIN_AB30	2.5 V
 y[6]	Output	PIN_W17	4A	B4A_N0	PIN_W17	2.5 V
 y[5]	Output	PIN_V18	4A	B4A_N0	PIN_V18	2.5 V
 y[4]	Output	PIN_AG17	4A	B4A_N0	PIN_AG17	2.5 V
 y[3]	Output	PIN_AG16	4A	B4A_N0	PIN_AG16	2.5 V
 y[2]	Output	PIN_AH17	4A	B4A_N0	PIN_AH17	2.5 V
 y[1]	Output	PIN_AG18	4A	B4A_N0	PIN_AG18	2.5 V
 y[0]	Output	PIN_AH18	4A	B4A_N0	PIN_AH18	2.5 V

模擬 Simulation

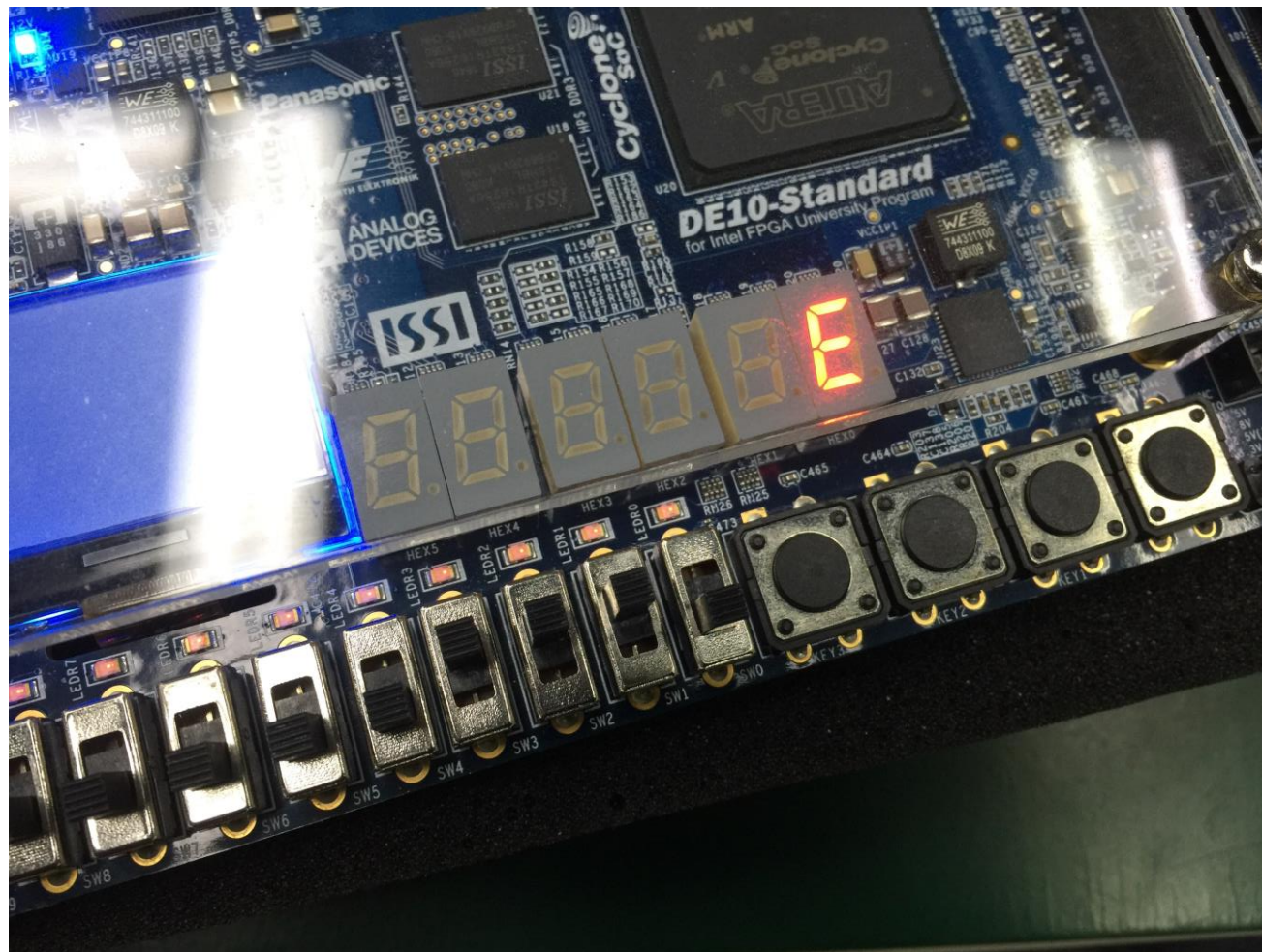


實驗成果



當輸入“1100”，七段顯示器上顯示是英文大寫“C”

實驗成果



當輸入“1110”，七段顯示器上顯示是英文大寫“E”

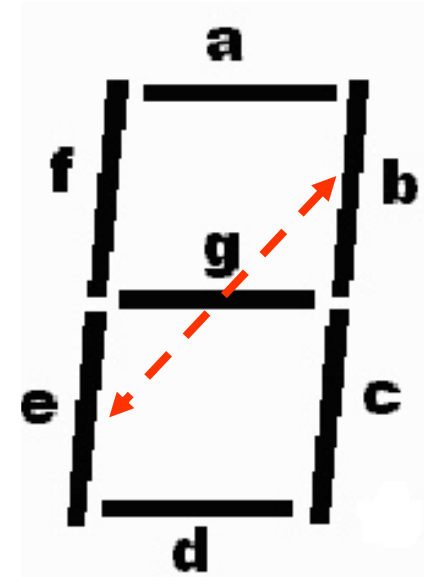
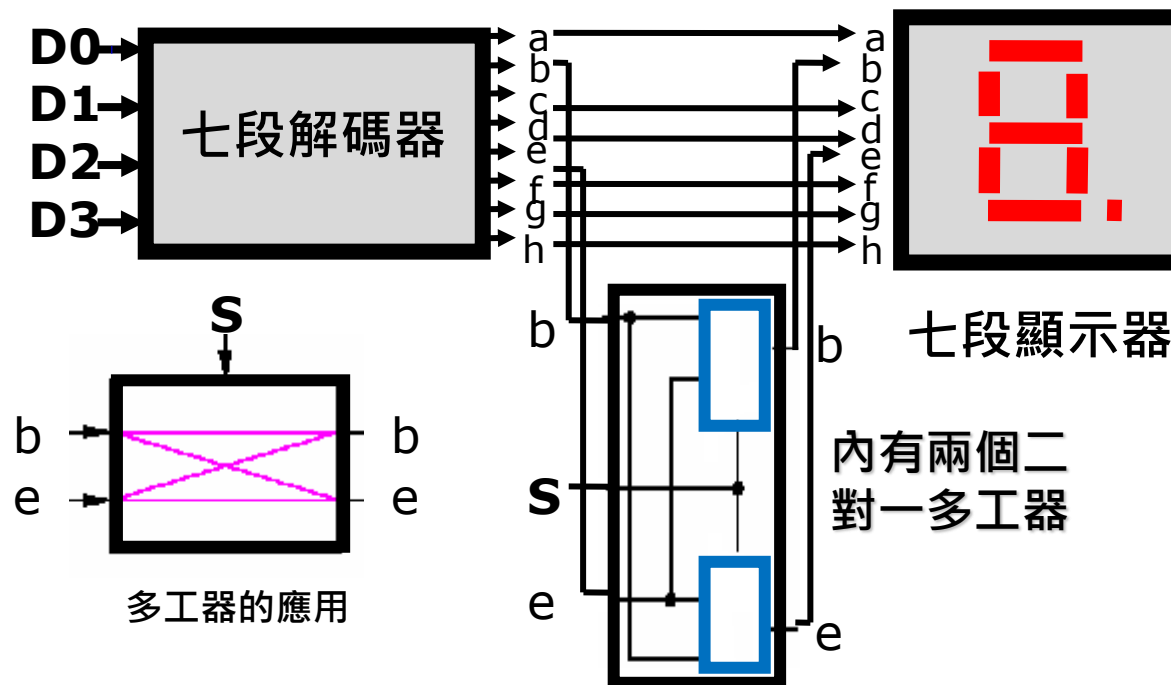
問題與心得

110310138 劉千榮

此題只是將上一題做延續，在觀察完應該在七段顯示器上顯示的圖形後，就可以相當直觀的擴充至上題所寫的模組中，花時間的部分也只是一開始的觀察而已，並沒有任何難度。

壹、進階題2 交叉開關+七段解碼器電路

依原來之七段解碼器設計，請加入一個二位元交叉開關，當控制線 $S=0$ 時，為正常七段顯示輸出；當控制線 $S=1$ 時，七段顯示輸出為 b 和 e 相反。



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。輸入BCD碼，再透過自製解多工器，將相對應之時進位數顯示在七段顯示器上。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

Top-Level Entity

```
1  module hw4_extra2 (input [3:0] a, input select, output [4:0] y, output [1:0] out_mux);
2
3      wire [1:0] in_mux;
4
5      mydecoder decoder(a, {y[4], in_mux[1], y[3], y[2], in_mux[0], y[1], y[0]});
6      Mux2_1 mux(in_mux, select, out_mux);
7
8  endmodule
```

雙切開關模組

```
32  module Mux2_1(input [1:0] In, input Sel, output reg [1:0] Out);
33
34      always @(In, Sel)
35      begin
36
37          if(Sel == 0)
38          begin
39              Out[0] <= In[0];
40              Out[1] <= In[1];
41          end
42          else
43          begin
44              Out[0] <= In[1];
45              Out[1] <= In[0];
46          end
47      end
48
49      end
50  endmodule
```













設計程序 (Verilog HDL)

解碼器模組

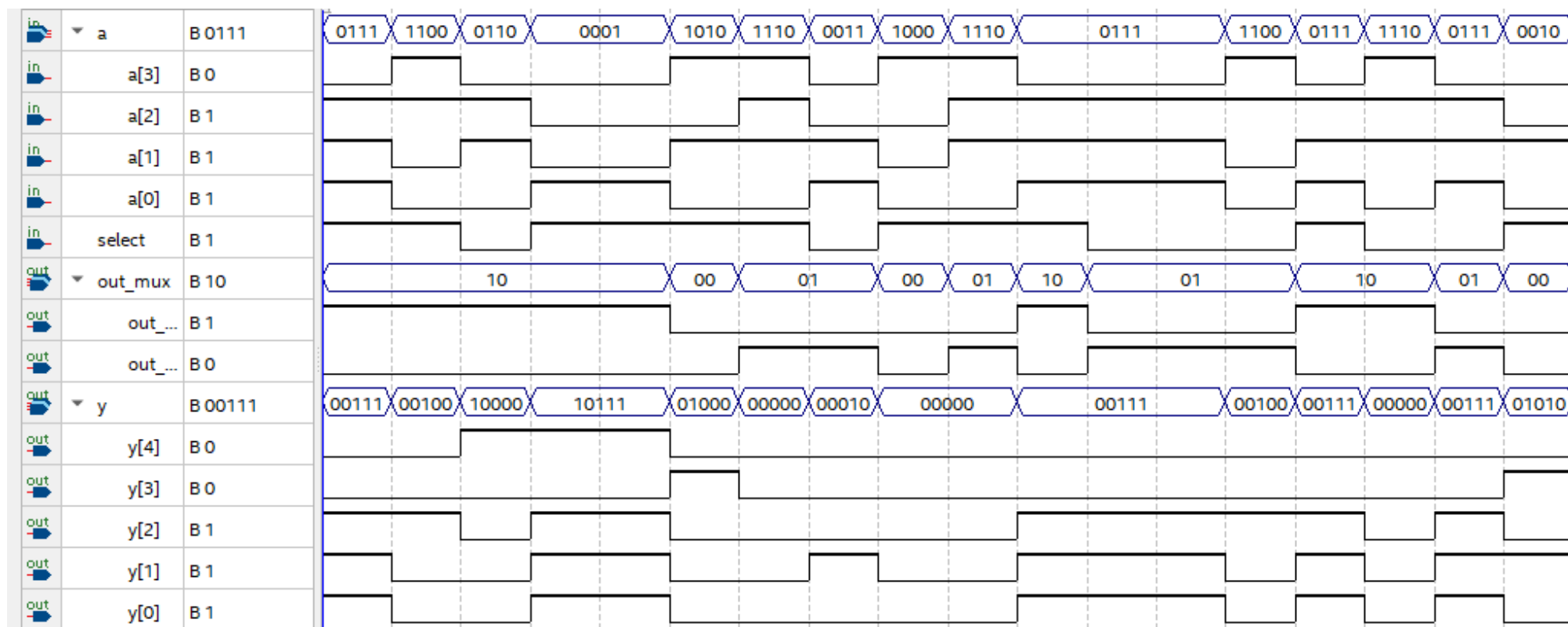
```
10  module mydecoder (input [3:0] in, output reg [6:0] Out);
11
12      always@(in)
13      begin
14
15          case(in)
16              4'b0000:    Out <= 7'b000_0001; // 0
17              4'b0001:    Out <= 7'b100_1111; // 1
18              4'b0010:    Out <= 7'b001_0010; // 2
19              4'b0011:    Out <= 7'b000_0110; // 3
20              4'b0100:    Out <= 7'b100_1100; // 4
21              4'b0101:    Out <= 7'b010_0100; // 5
22              4'b0110:    Out <= 7'b110_0000; // 6
23              4'b0111:    Out <= 7'b000_1111; // 7
24              4'b1000:    Out <= 7'b000_0000; // 8
25              4'b1001:    Out <= 7'b000_1100; // 9
26              default:    Out <= 7'bxxx_xxxx;
27          endcase
28      end
29  endmodule
30
```

接腳設定簡介

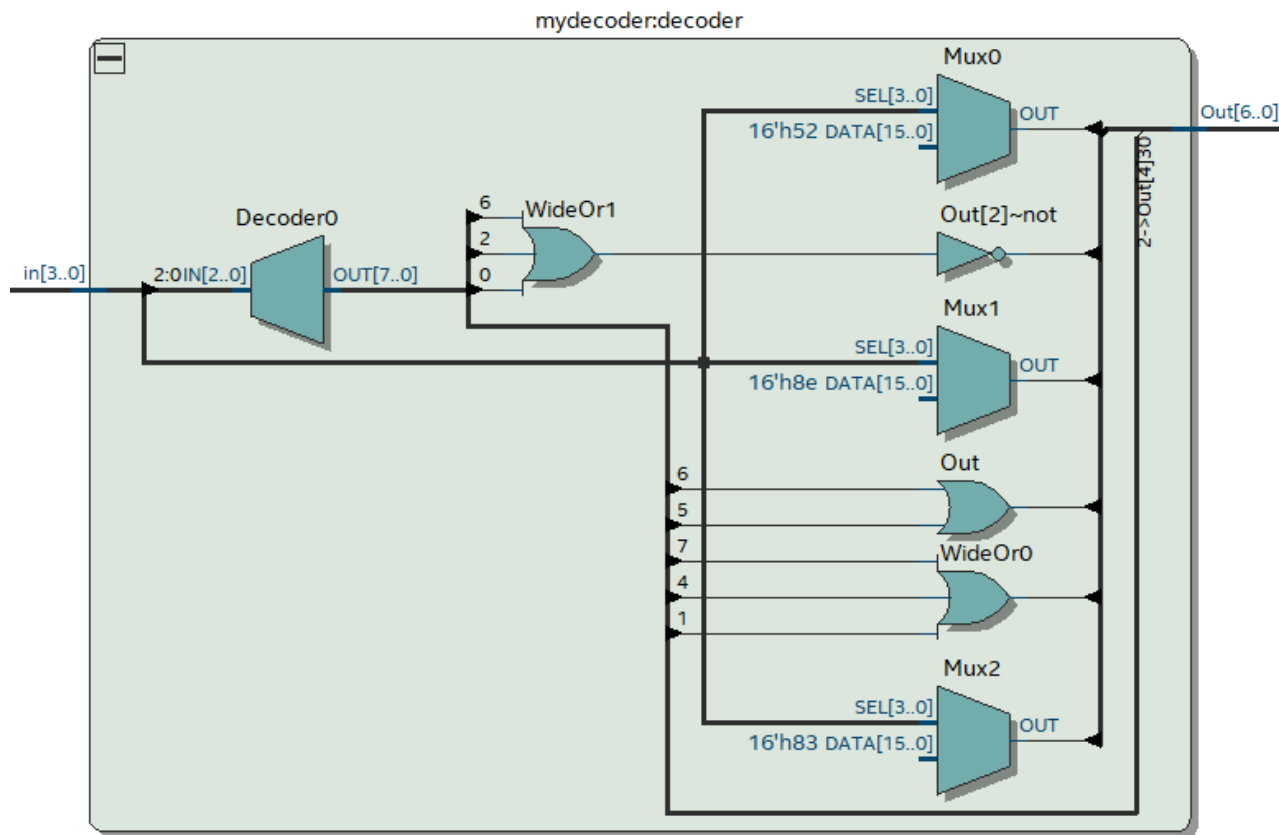
本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 a[3]	Input	PIN_AC30	5B	B5B_NO	PIN_AC30	2.5 V
 a[2]	Input	PIN_AB28	5B	B5B_NO	PIN_AB28	2.5 V
 a[1]	Input	PIN_Y27	5B	B5B_NO	PIN_Y27	2.5 V
 a[0]	Input	PIN_AB30	5B	B5B_NO	PIN_AB30	2.5 V
 out_mux[1]	Output	PIN_V18	4A	B4A_NO	PIN_V18	2.5 V
 out_mux[0]	Output	PIN_AH17	4A	B4A_NO	PIN_AH17	2.5 V
 select	Input	PIN_W25	5B	B5B_NO	PIN_W25	2.5 V
 y[4]	Output	PIN_W17	4A	B4A_NO	PIN_W17	2.5 V
 y[3]	Output	PIN_AG17	4A	B4A_NO	PIN_AG17	2.5 V
 y[2]	Output	PIN_AG16	4A	B4A_NO	PIN_AG16	2.5 V
 y[1]	Output	PIN_AG18	4A	B4A_NO	PIN_AG18	2.5 V
						

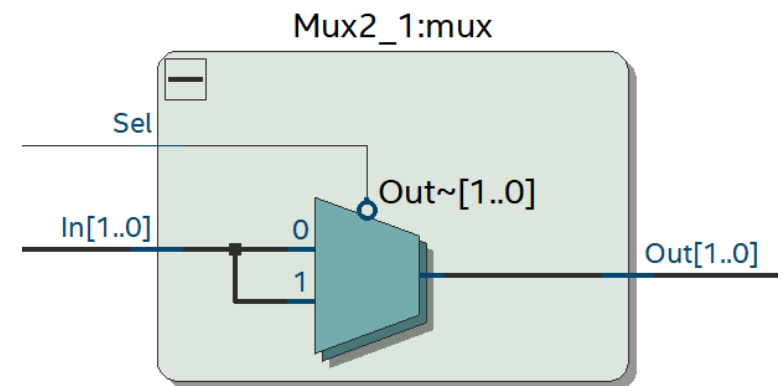
模擬 Simulation



RTL Simulation

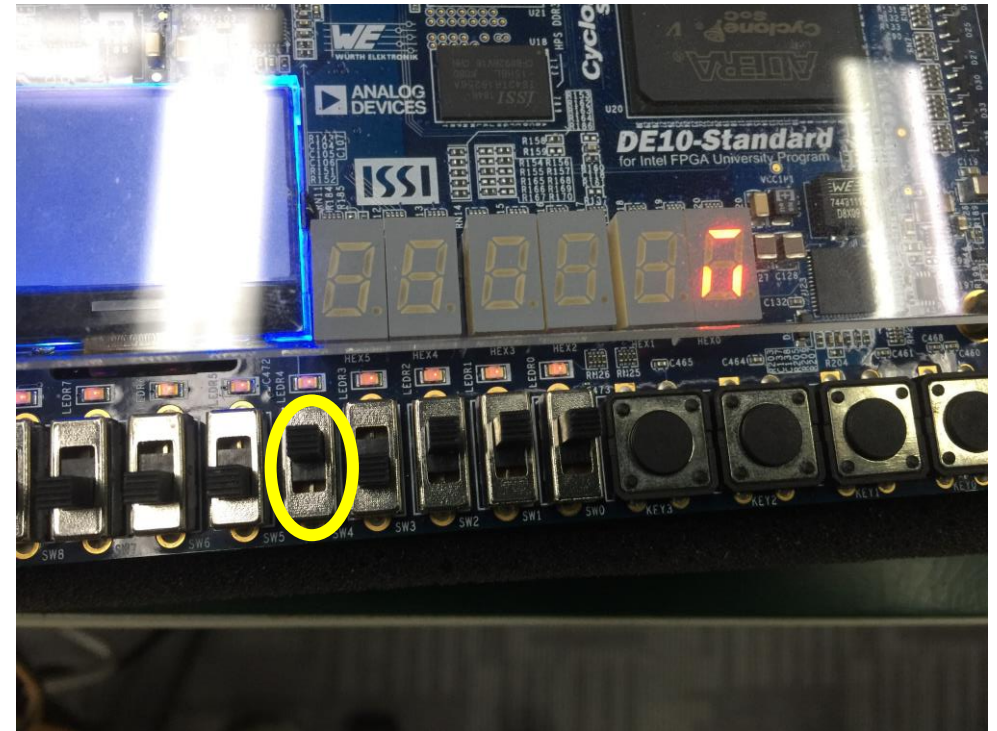
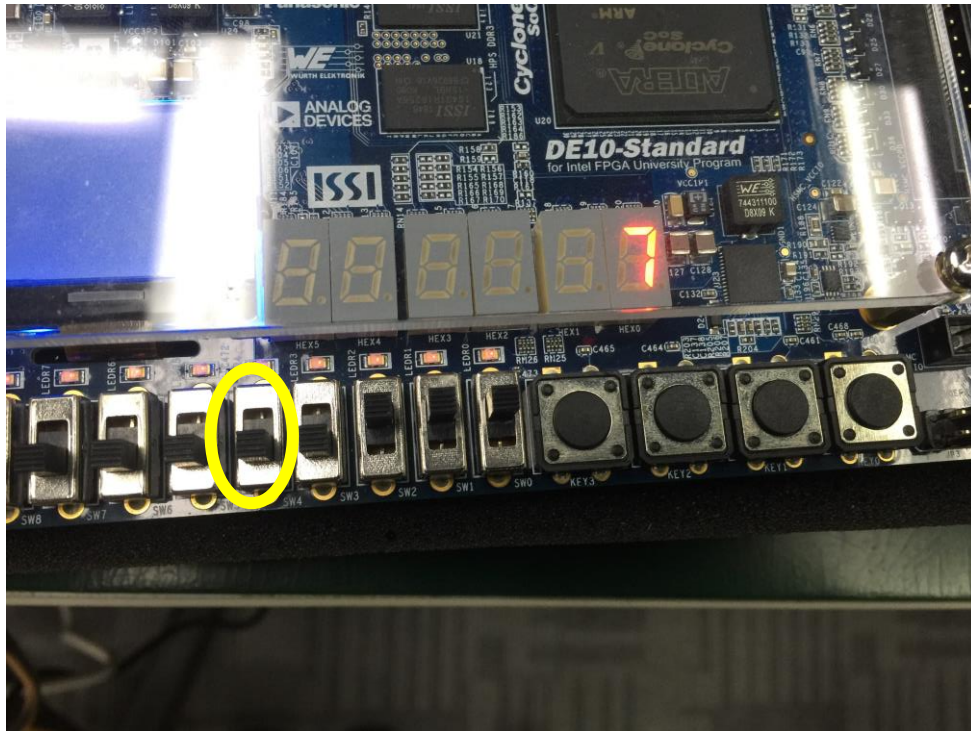


BCD解七段解碼器



選擇線多工器

實驗成果



當輸入" 0111" ，七段顯示器上顯示是十進制的" 7"
將 select 線 ON 後，b 與 d 的顯示位置便交換了。

問題與心得

110310138 劉千榮

此題只是再將上一題做延續，再多寫出多工器的電路，便能輕鬆解決。以上的題目依然非常基本，比較期待小專題，到時候就能比較自由發揮。只要熟悉語法，再加上一些創意，就能做出不錯的作品。

WIREFRAME FORMATION

工業推手一世紀 · 企業搖籃一百年

100 Years of Excellence · Cultivating Entrepreneurs of Tomorrow



國立臺北科技大學
National Taipei University of Technology