

# Digital Logic Design Experiments Experiment Report

WIREFRAME FORMATION

電機一甲 110310138 劉千榮



**TAIPEI  
TECH**  
Since 1912

**國立臺北科技大學**  
National Taipei University of Technology

# 數位邏輯設計實習報告

## 第 8 週：三位元乘法器

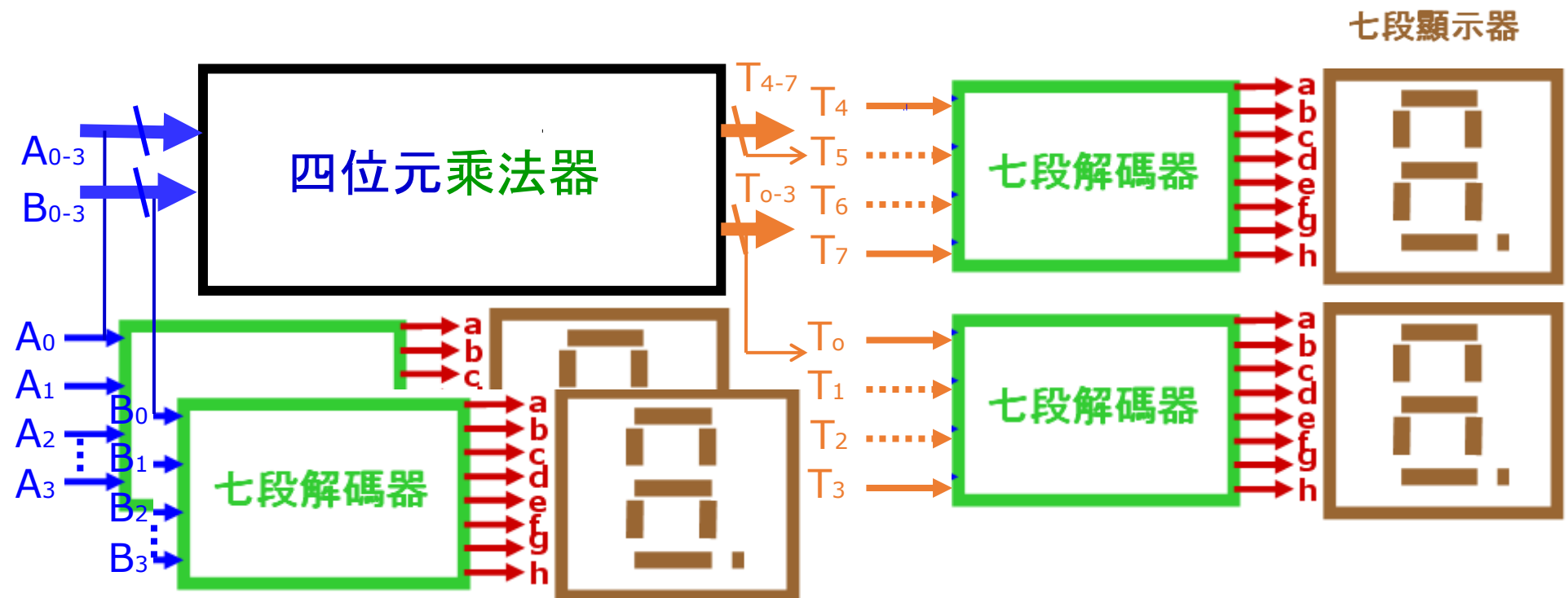
組員

110310138 劉千榮

110310147 王瑞鴻

# 壹、基本題

用VHDL設計一 四位元乘法器



# 實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。使用FPGA內部之乘法器，引用後直接輸出至解七段，最後在七段顯示器上輸出。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



# 設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

# 模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

# 設計程序 (Verilog HDL)

```
module hw7(a, b, seg7_a, seg7_b, seg7_s_7to4, seg7_s_3to0);  
  
    input  [3:0] a;  
    input  [3:0] b;  
    output [6:0] seg7_a;  
    output [6:0] seg7_b;  
    output [6:0] seg7_s_7to4;  
    output [6:0] seg7_s_3to0;  
    wire  [7:0] s;  
  
    assign s = a * b;  
  
    seg7 a_out(a, seg7_a);  
    seg7 b_out(b, seg7_b);  
    seg7 s_7to4_out(s[7:4], seg7_s_7to4);  
    seg7 s_3to0_out(s[3:0], seg7_s_3to0);  
  
endmodule
```

# 接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

in	a[3]	Input	PIN_AC30	5B	B5B_NO	PIN_AC30	2.5 V
in	a[2]	Input	PIN_AB28	5B	B5B_NO	PIN_AB28	2.5 V
in	a[1]	Input	PIN_Y27	5B	B5B_NO	PIN_Y27	2.5 V
in	a[0]	Input	PIN_AB30	5B	B5B_NO	PIN_AB30	2.5 V
in	b[3]	Input	PIN_AD30	5B	B5B_NO	PIN_AD30	2.5 V
in	b[2]	Input	PIN_AC28	5B	B5B_NO	PIN_AC28	2.5 V
in	b[1]	Input	PIN_V25	5B	B5B_NO	PIN_V25	2.5 V
in	b[0]	Input	PIN_W25	5B	B5B_NO	PIN_W25	2.5 V
out	seg7_a[6]	Output	PIN_W17	4A	B4A_NO	PIN_W17	2.5 V
out	seg7_a[5]	Output	PIN_V18	4A	B4A_NO	PIN_V18	2.5 V
out	seg7_a[4]	Output	PIN_AG17	4A	B4A_NO	PIN_AG17	2.5 V
out	seg7_a[3]	Output	PIN_AG16	4A	B4A_NO	PIN_AG16	2.5 V
out	seg7_a[2]	Output	PIN_AH17	4A	B4A_NO	PIN_AH17	2.5 V
out	seg7_a[1]	Output	PIN_AG18	4A	B4A_NO	PIN_AG18	2.5 V
out	seg7_a[0]	Output	PIN_AH18	4A	B4A_NO	PIN_AH18	2.5 V
out	seg7_b[6]	Output	PIN_AF16	4A	B4A_NO	PIN_AF16	2.5 V
out	seg7_b[5]	Output	PIN_V16	4A	B4A_NO	PIN_V16	2.5 V
out	seg7_b[4]	Output	PIN_AE16	4A	B4A_NO	PIN_AE16	2.5 V
out	seg7_b[3]	Output	PIN_AD17	4A	B4A_NO	PIN_AD17	2.5 V
out	seg7_b[2]	Output	PIN_AE18	4A	B4A_NO	PIN_AE18	2.5 V
out	seg7_b[1]	Output	PIN_AE17	4A	B4A_NO	PIN_AE17	2.5 V
out	seg7_b[0]	Output	PIN_V17	4A	B4A_NO	PIN_V17	2.5 V
out	seg7_s_3to0[6]	Output	PIN_AD21	4A	B4A_NO	PIN_AD21	2.5 V
out	seg7_s_3to0[5]	Output	PIN_AG22	4A	B4A_NO	PIN_AG22	2.5 V
out	seg7_s_3to0[4]	Output	PIN_AE22	4A	B4A_NO	PIN_AE22	2.5 V
out	seg7_s_3to0[3]	Output	PIN_AE23	4A	B4A_NO	PIN_AE23	2.5 V
out	seg7_s_3to0[2]	Output	PIN_AG23	4A	B4A_NO	PIN_AG23	2.5 V
out	seg7_s_3to0[1]	Output	PIN_AF23	4A	B4A_NO	PIN_AF23	2.5 V
out	seg7_s_3to0[0]	Output	PIN_AH22	4A	B4A_NO	PIN_AH22	2.5 V
out	seg7_s_7to4[6]	Output	PIN_AF21	4A	B4A_NO	PIN_AF21	2.5 V
out	seg7_s_7to4[5]	Output	PIN_AG21	4A	B4A_NO	PIN_AG21	2.5 V
out	seg7_s_7to4[4]	Output	PIN_AF20	4A	B4A_NO	PIN_AF20	2.5 V
out	seg7_s_7to4[3]	Output	PIN_AG20	4A	B4A_NO	PIN_AG20	2.5 V
out	seg7_s_7to4[2]	Output	PIN_AE19	4A	B4A_NO	PIN_AE19	2.5 V
out	seg7_s_7to4[1]	Output	PIN_AF19	4A	B4A_NO	PIN_AF19	2.5 V

# 輸出模擬 (ModelSim)

▶ a	B 0000	0000	0111	1010	0001	0111	0110	0001	0011
▶ b	B 0110	0110	0001	1110	1001	0010	0001	0010	0010
▶ seg7_a	B 0000001	0000001	0001111	0001000	1001111	0001111	1100000	1001111	0000110
▶ seg7_b	B 1100000	1100000	1001111	0110000	0001100	0010010	1001100	0001100	0010010
▶ seg7_s_...	B 0000001	0000001	0001000	0110000	0010010	1001100	0001100	1100000	0000001
▶ seg7_s_...	B 0000001	0000001	0010010	0000001	1100000	0100100	0000001	0000001	0000001



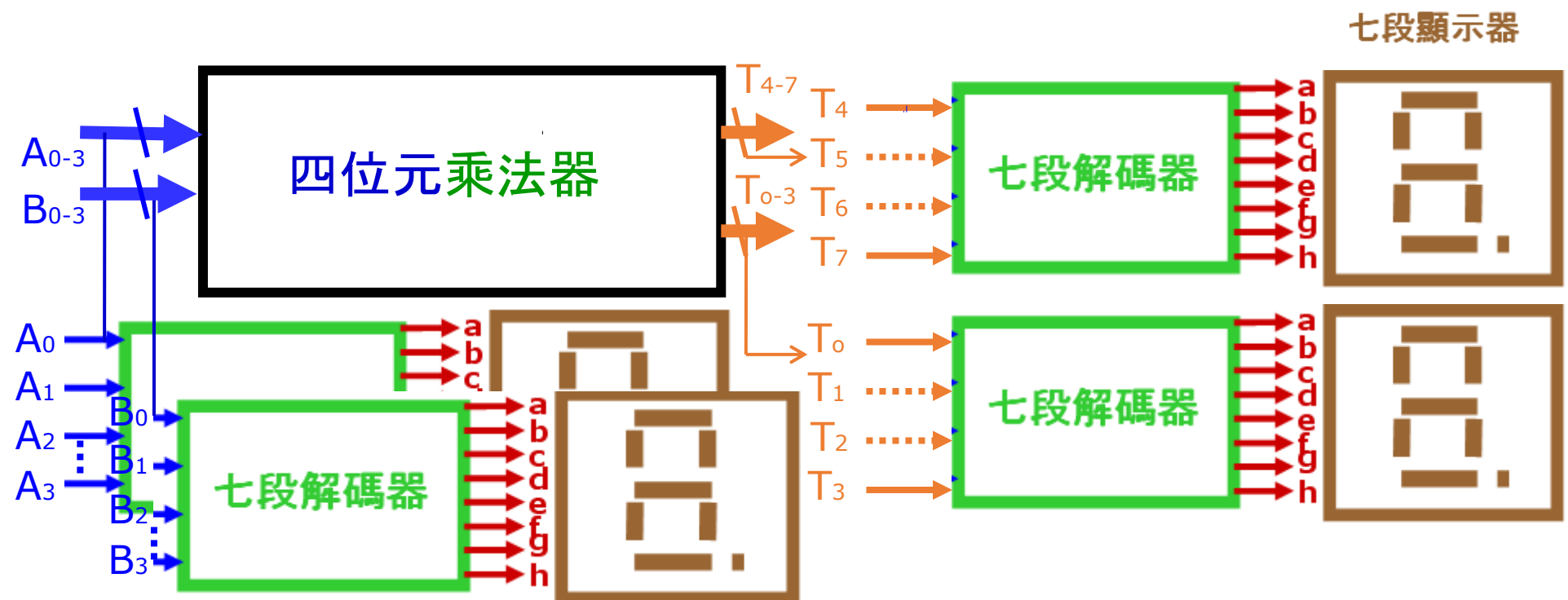
# 問題與心得

**110310138 劉千榮**

基本上如果是使用有內至乘法器的FPGA或CPLD，都直以直接使用乘法運算子「 $*$ 」來直接解決問題。所以從零到完成大概不用三分鐘，算是非常基本的題目。

# 壹、進階題

用BDF設計一 四位元乘法器



# 實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。使用FPGA內部之乘法器，引用後直接輸出至解七段，最後在七段顯示器上輸出。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



# 設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

# 模擬驗證

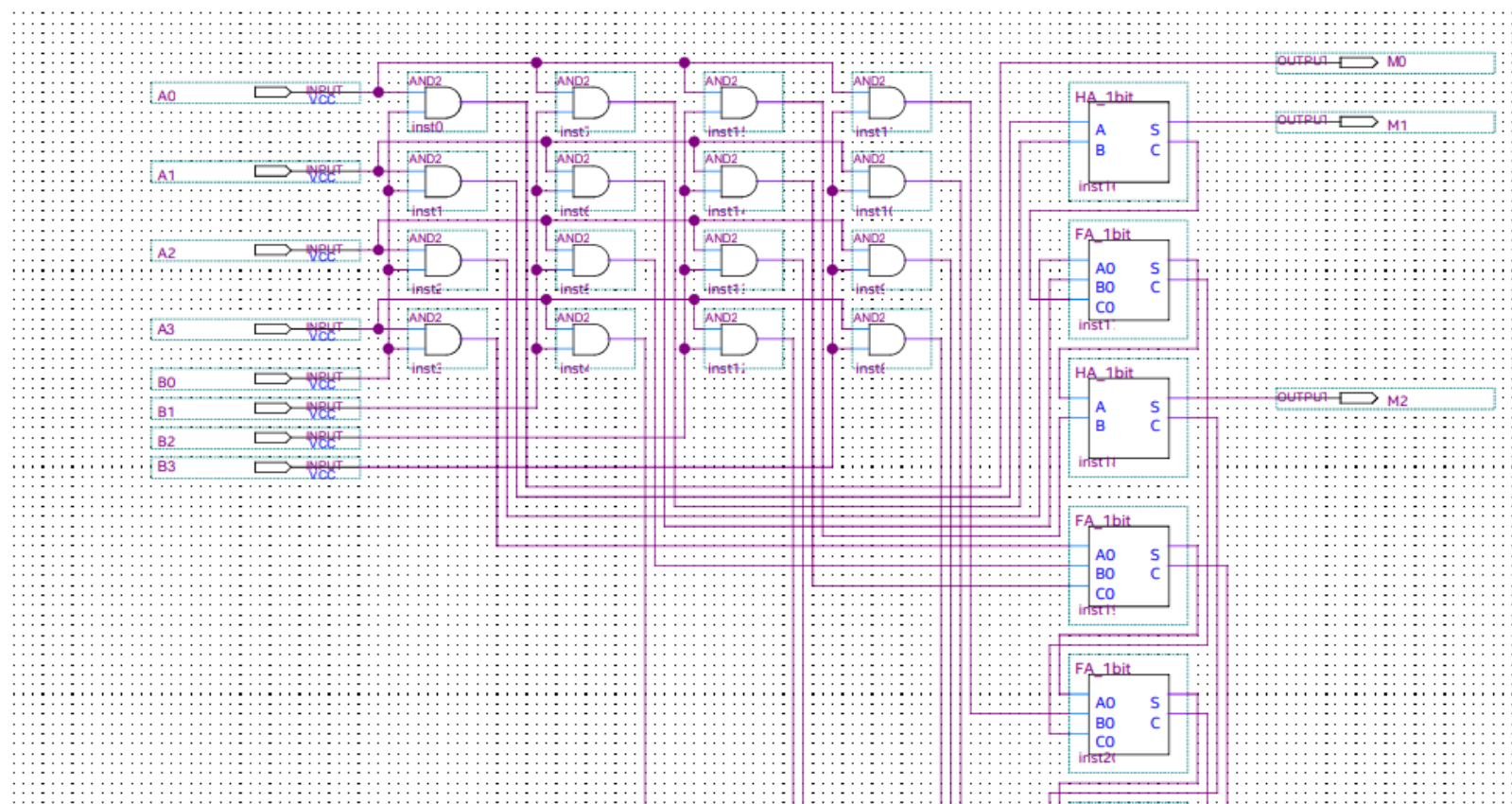
先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

# 設計程序 – 1/2

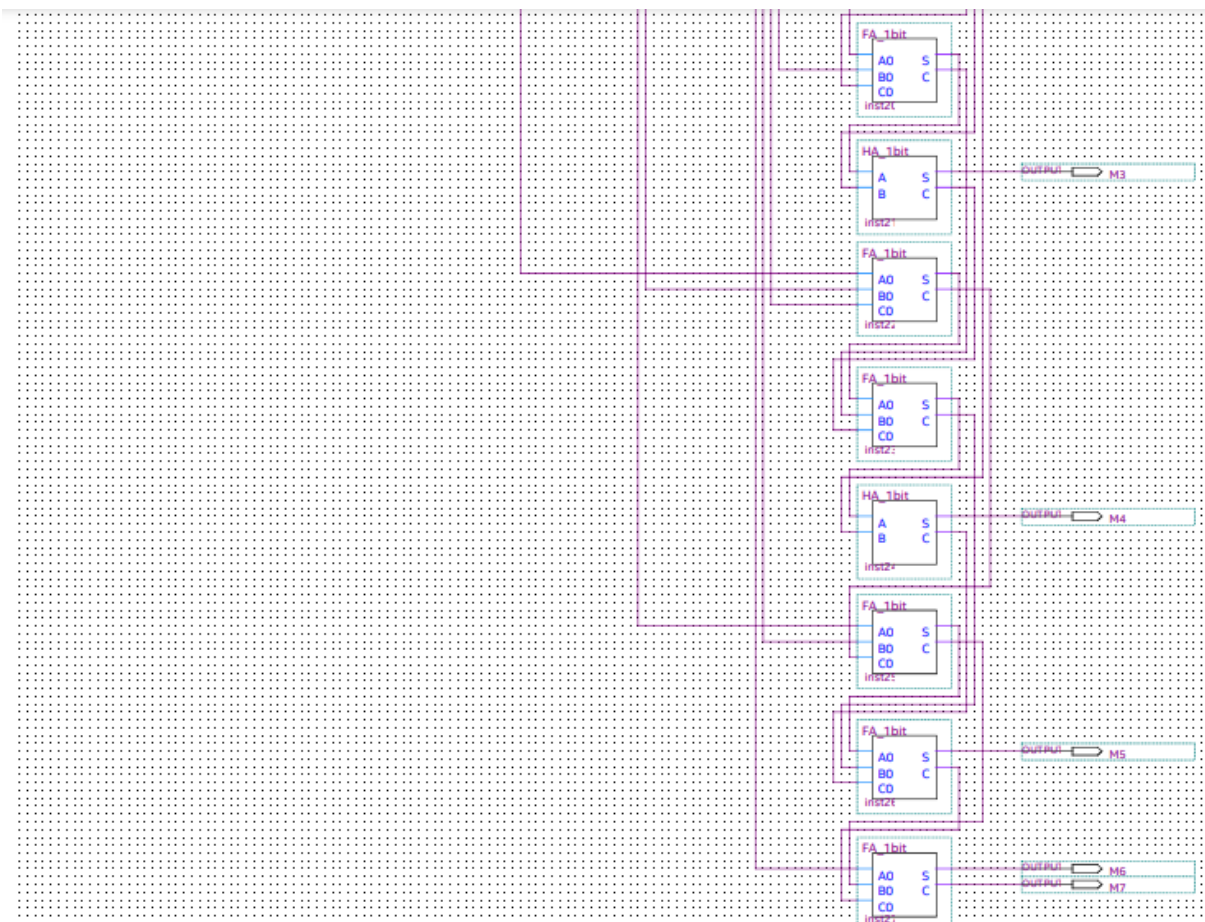
Date: April 17, 2022

4\_bit\_mutliplier.bdf

Project: 4\_bit\_mutliplier



# 設計程序 – 2/2









# 接腳設定簡介

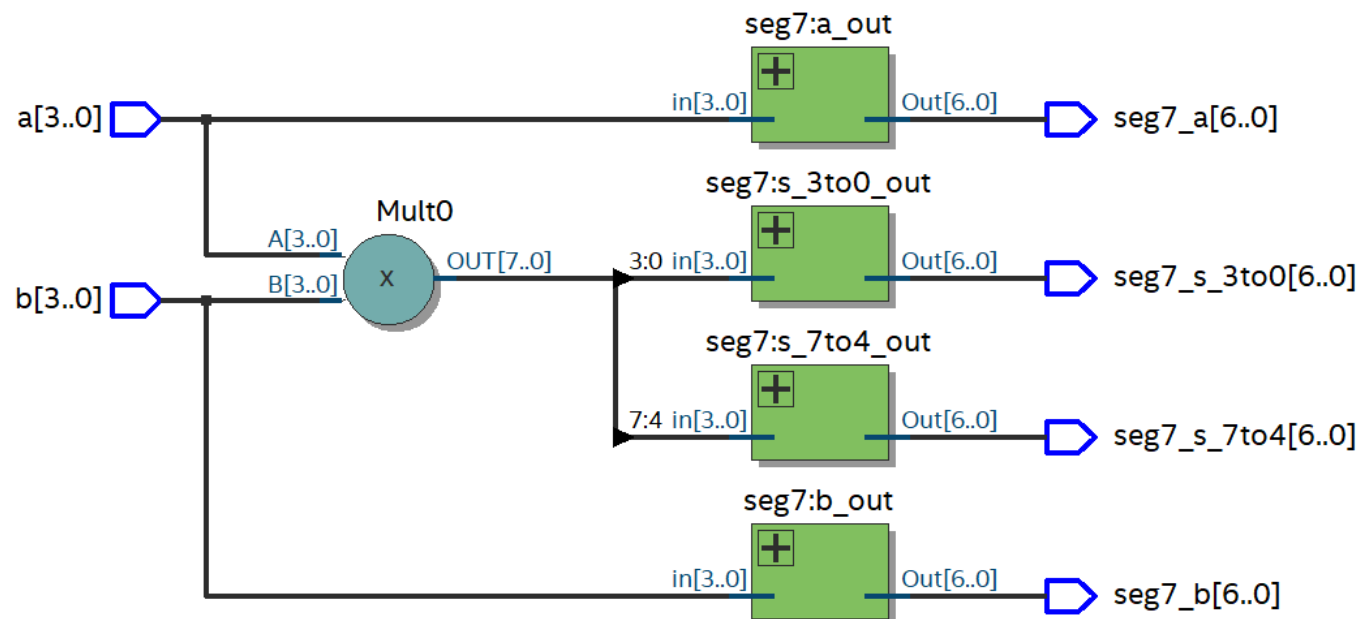
本次實驗我們把輸入與輸出端接角以下列表格定義。

in	a[3]	Input	PIN_AC30	5B	B5B_NO	PIN_AC30	2.5 V
in	a[2]	Input	PIN_AB28	5B	B5B_NO	PIN_AB28	2.5 V
in	a[1]	Input	PIN_Y27	5B	B5B_NO	PIN_Y27	2.5 V
in	a[0]	Input	PIN_AB30	5B	B5B_NO	PIN_AB30	2.5 V
in	b[3]	Input	PIN_AD30	5B	B5B_NO	PIN_AD30	2.5 V
in	b[2]	Input	PIN_AC28	5B	B5B_NO	PIN_AC28	2.5 V
in	b[1]	Input	PIN_V25	5B	B5B_NO	PIN_V25	2.5 V
in	b[0]	Input	PIN_W25	5B	B5B_NO	PIN_W25	2.5 V
out	seg7_a[6]	Output	PIN_W17	4A	B4A_NO	PIN_W17	2.5 V
out	seg7_a[5]	Output	PIN_V18	4A	B4A_NO	PIN_V18	2.5 V
out	seg7_a[4]	Output	PIN_AG17	4A	B4A_NO	PIN_AG17	2.5 V
out	seg7_a[3]	Output	PIN_AG16	4A	B4A_NO	PIN_AG16	2.5 V
out	seg7_a[2]	Output	PIN_AH17	4A	B4A_NO	PIN_AH17	2.5 V
out	seg7_a[1]	Output	PIN_AG18	4A	B4A_NO	PIN_AG18	2.5 V
out	seg7_a[0]	Output	PIN_AH18	4A	B4A_NO	PIN_AH18	2.5 V
out	seg7_b[6]	Output	PIN_AF16	4A	B4A_NO	PIN_AF16	2.5 V
out	seg7_b[5]	Output	PIN_V16	4A	B4A_NO	PIN_V16	2.5 V
out	seg7_b[4]	Output	PIN_AE16	4A	B4A_NO	PIN_AE16	2.5 V
out	seg7_b[3]	Output	PIN_AD17	4A	B4A_NO	PIN_AD17	2.5 V
out	seg7_b[2]	Output	PIN_AE18	4A	B4A_NO	PIN_AE18	2.5 V
out	seg7_b[1]	Output	PIN_AE17	4A	B4A_NO	PIN_AE17	2.5 V
out	seg7_b[0]	Output	PIN_V17	4A	B4A_NO	PIN_V17	2.5 V
out	seg7_s_3to0[6]	Output	PIN_AD21	4A	B4A_NO	PIN_AD21	2.5 V
out	seg7_s_3to0[5]	Output	PIN_AG22	4A	B4A_NO	PIN_AG22	2.5 V
out	seg7_s_3to0[4]	Output	PIN_AE22	4A	B4A_NO	PIN_AE22	2.5 V
out	seg7_s_3to0[3]	Output	PIN_AE23	4A	B4A_NO	PIN_AE23	2.5 V
out	seg7_s_3to0[2]	Output	PIN_AG23	4A	B4A_NO	PIN_AG23	2.5 V
out	seg7_s_3to0[1]	Output	PIN_AF23	4A	B4A_NO	PIN_AF23	2.5 V
out	seg7_s_3to0[0]	Output	PIN_AH22	4A	B4A_NO	PIN_AH22	2.5 V
out	seg7_s_7to4[6]	Output	PIN_AF21	4A	B4A_NO	PIN_AF21	2.5 V
out	seg7_s_7to4[5]	Output	PIN_AG21	4A	B4A_NO	PIN_AG21	2.5 V
out	seg7_s_7to4[4]	Output	PIN_AF20	4A	B4A_NO	PIN_AF20	2.5 V
out	seg7_s_7to4[3]	Output	PIN_AG20	4A	B4A_NO	PIN_AG20	2.5 V
out	seg7_s_7to4[2]	Output	PIN_AE19	4A	B4A_NO	PIN_AE19	2.5 V
out	seg7_s_7to4[1]	Output	PIN_AF19	4A	B4A_NO	PIN_AF19	2.5 V

# 模擬 Simulation

	▶ a	B 0000	0000	0111	1010	0001	0111	0110	0001	0011
	▶ b	B 0110	0110	0001		1110		1001	0010	
	▶ seg7_a	B 0000001	0000001	0001111	0001000	1001111	0001111	1100000	1001111	0000110
	▶ seg7_b	B 1100000	1100000	1001111		0110000		0001100	0010010	
	▶ seg7_s_...	B 0000001	0000001	0001000	0110000	0010010	1001100	0001100	1100000	
	▶ seg7_s_...	B 0000001	0000001	0010010	0000001	1100000	0100100	0000001		

## RTL Module





# 問題與心得

**110310138 劉千榮**

這題是以閘邏輯的概念實作乘法器，四位元只比三位元多加一行。所以我們繼續使用先前製作好的電路，將結果直接輸出，就會得到一模一樣的電路，只不過描述的方式不同而已。

WIREFRAME FORMATION

工業推手一世紀 · 企業搖籃一百年

*100 Years of Excellence · Cultivating Entrepreneurs of Tomorrow*



國立臺北科技大學  
National Taipei University of Technology