

Digital Logic Design Experiments Experiment Report

WIREFRAME FORMATION

電機一甲 110310138 劉千榮



國立臺北科技大學
National Taipei University of Technology

數位邏輯設計實習報告

第 6 週：半加器與全加器

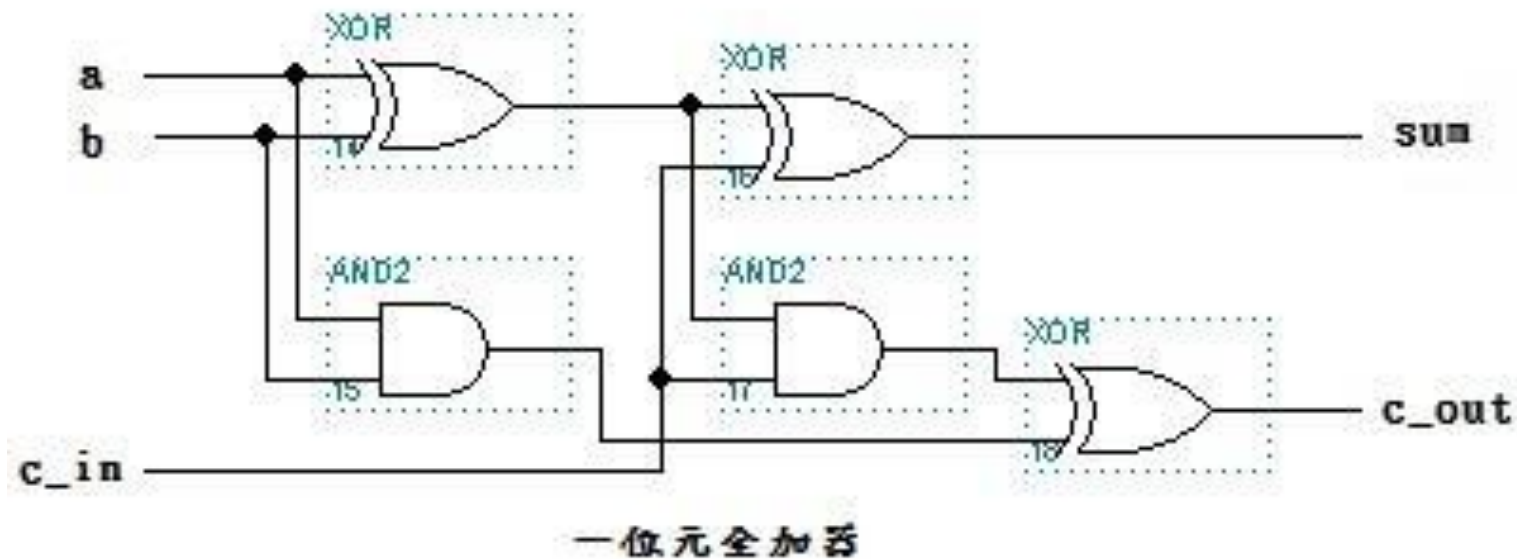
組員

110310138 劉千榮

110310147 王瑞鴻

壹、基本題

兩個1位元半加器組成之1位元全加器



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。先製作半加器模組，再利用剛做好的模組組成新的全加器模組。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證






先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

```
1  module hw5(a, b, cin, sum, cout);
2
3      // Input Port(s)
4      input a, b, cin;
5
6      // Output Port(s)
7      output sum, cout;
8
9      wire summary, carry, carryTocout;
10
11     assign cout = carry | carryTocout;
12
13     halfadder ha1(a, b, summary, carry);
14     halfadder ha2(summary, cin, sum, carryTocout);
15
16
17 endmodule
18
19 module halfadder(a, b, sum, cout);
20
21     // Input Port(s)
22     input a, b;
23
24     // Output Port(s)
25     output sum, cout;
26
27     assign {cout, sum} = a + b;
28
29 endmodule
```

接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location
 a	Input	PIN_AB30
 b	Input	PIN_Y27
 cin	Input	PIN_AB28
 cout	Output	PIN_AA24
 sum	Output	PIN_AB23

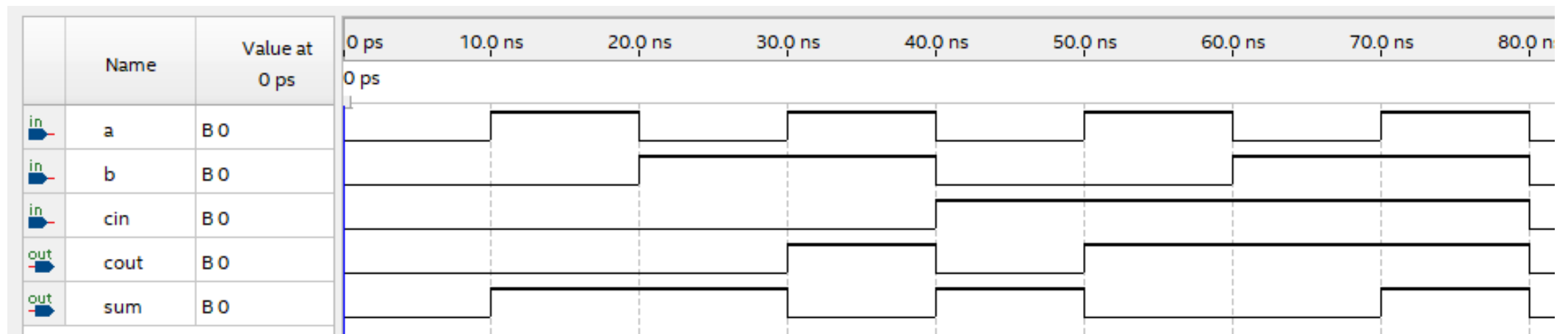
Pin Assignment of Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB30	Slide Switch[0]	Depend on JP3
SW[1]	PIN_Y27	Slide Switch[1]	Depend on JP3
SW[2]	PIN_AB28	Slide Switch[2]	Depend on JP3
SW[3]	PIN_AC30	Slide Switch[3]	Depend on JP3
SW[4]	PIN_W25	Slide Switch[4]	Depend on JP3
SW[5]	PIN_V25	Slide Switch[5]	Depend on JP3
SW[6]	PIN_AC28	Slide Switch[6]	Depend on JP3
SW[7]	PIN_AD30	Slide Switch[7]	Depend on JP3
SW[8]	PIN_AC29	Slide Switch[8]	Depend on JP3
SW[9]	PIN_AA30	Slide Switch[9]	Depend on JP3

Pin Assignment of LEDs

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
LEDR[0]	PIN_AA24	LED [0]	3.3V
LEDR[1]	PIN_AB23	LED [1]	3.3V
LEDR[2]	PIN_AC23	LED [2]	3.3V
LEDR[3]	PIN_AD24	LED [3]	3.3V
LEDR[4]	PIN_AG25	LED [4]	3.3V
LEDR[5]	PIN_AF25	LED [5]	3.3V
LEDR[6]	PIN_AE24	LED [6]	3.3V
LEDR[7]	PIN_AF24	LED [7]	3.3V
LEDR[8]	PIN_AB22	LED [8]	3.3V
LEDR[9]	PIN_AC22	LED [9]	3.3V

輸出模擬 (ModelSim)



問題與心得

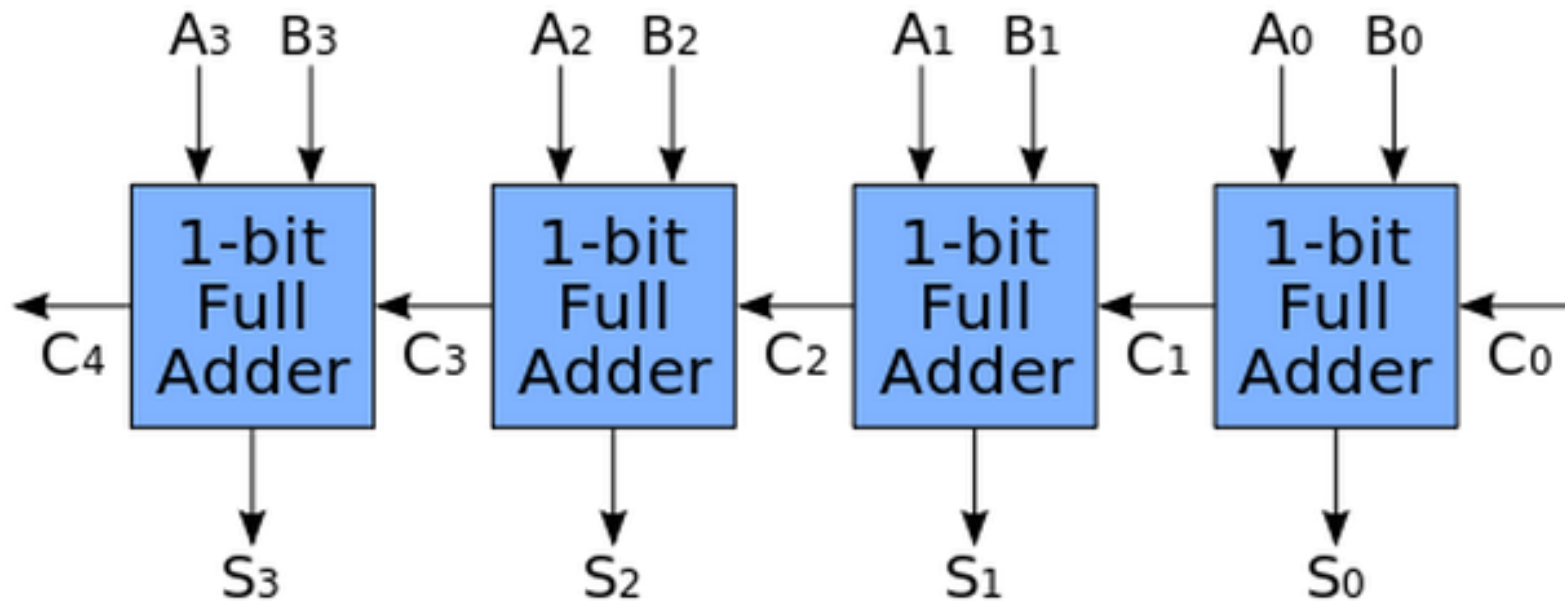
110310138 劉千榮

對於製作半加器模型，同學們可能會透過真值表來化簡電路，使用閘模型來敘述電路。Verilog HDL有支援使用行為模型的描述，便可以更簡單的製作出半加器模型。

貳、進階題(一)

請設計一個完整的4位元加法器

其中包括有**一個1位元半加器**和**3個1位元全加器**



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。將剛做好的全加器模型引入，再宣告內部接線後，便能完成HDL的撰寫。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證














先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

```
1  module hw5_extra1(a, b, s, cout);
2
3      // Input Port(s)
4      input [3:0] a;
5      input [3:0] b;
6
7      // Output Port(s)
8      output [3:0] s;
9      output cout;
10
11     wire f1Tof2, f2Tof3, f3Tof4;
12
13     fulladder fa1_LSB (a[0], b[0], 0, s[0], f1Tof2);
14     fulladder fa2      (a[1], b[1], f1Tof2, s[1], f2Tof3);
15     fulladder fa3      (a[2], b[2], f2Tof3, s[2], f3Tof4);
16     fulladder fa4_MSB (a[3], b[3], f3Tof4, s[3], cout);
17
18 endmodule
19
20 module fulladder(a, b, cin, sum, cout);
21
22     // Input Port(s)
23     input a, b, cin;
24
25     // Output Port(s)
26     output sum, cout;
27
28     assign {cout, sum} = a + b + cin;
29
30 endmodule
```

接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 a[3]	Input	PIN_AC30	5B	B5B_N0	PIN_AA26	2.5 V (default)
 a[2]	Input	PIN_AB28	5B	B5B_N0	PIN_AB30	2.5 V (default)
 a[1]	Input	PIN_Y27	5B	B5B_N0	PIN_AB27	2.5 V (default)
 a[0]	Input	PIN_AB30	5B	B5B_N0	PIN_AA28	2.5 V (default)
 b[3]	Input	PIN_AD30	5B	B5B_N0	PIN_Y26	2.5 V (default)
 b[2]	Input	PIN_AC28	5B	B5B_N0	PIN_V25	2.5 V (default)
 b[1]	Input	PIN_V25	5B	B5B_N0	PIN_AA30	2.5 V (default)
 b[0]	Input	PIN_W25	5B	B5B_N0	PIN_AE29	2.5 V (default)
 cout	Output	PIN_AG25	4A	B4A_N0	PIN_AB28	2.5 V (default)
 s[3]	Output	PIN_AD24	4A	B4A_N0	PIN_AC29	2.5 V (default)
 s[2]	Output	PIN_AC23	4A	B4A_N0	PIN_W25	2.5 V (default)
 s[1]	Output	PIN_AB23	5A	B5A_N0	PIN_AD29	2.5 V (default)
 s[0]	Output	PIN_AA24	5A	B5A_N0	PIN_AC28	2.5 V (default)

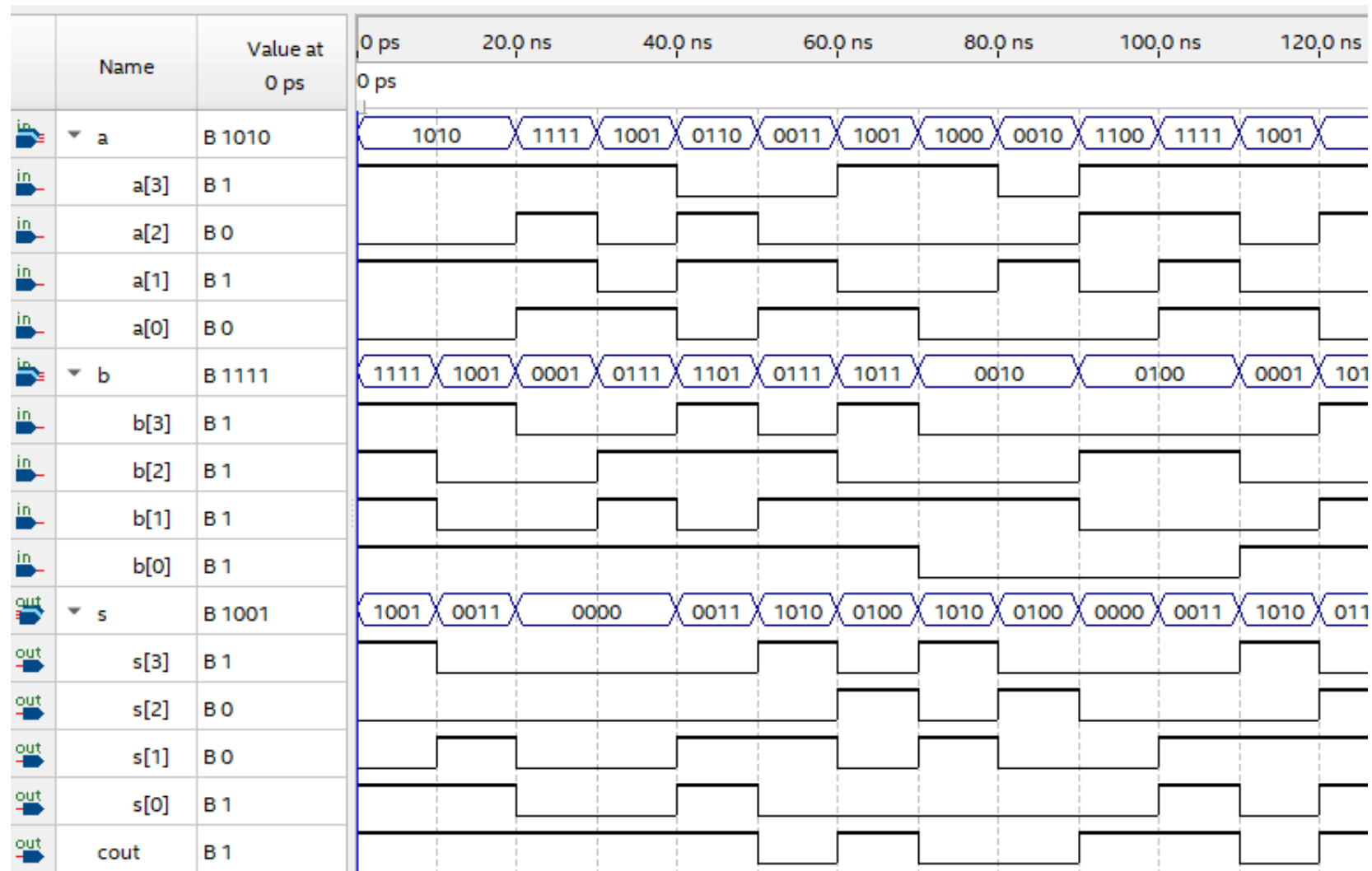
Pin Assignment of Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB30	Slide Switch[0]	Depend on JP3
SW[1]	PIN_Y27	Slide Switch[1]	Depend on JP3
SW[2]	PIN_AB28	Slide Switch[2]	Depend on JP3
SW[3]	PIN_AC30	Slide Switch[3]	Depend on JP3
SW[4]	PIN_W25	Slide Switch[4]	Depend on JP3
SW[5]	PIN_V25	Slide Switch[5]	Depend on JP3
SW[6]	PIN_AC28	Slide Switch[6]	Depend on JP3
SW[7]	PIN_AD30	Slide Switch[7]	Depend on JP3
SW[8]	PIN_AC29	Slide Switch[8]	Depend on JP3
SW[9]	PIN_AA30	Slide Switch[9]	Depend on JP3

Pin Assignment of LEDs

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
LEDR[0]	PIN_AA24	LED [0]	3.3V
LEDR[1]	PIN_AB23	LED [1]	3.3V
LEDR[2]	PIN_AC23	LED [2]	3.3V
LEDR[3]	PIN_AD24	LED [3]	3.3V
LEDR[4]	PIN_AG25	LED [4]	3.3V
LEDR[5]	PIN_AF25	LED [5]	3.3V
LEDR[6]	PIN_AE24	LED [6]	3.3V
LEDR[7]	PIN_AF24	LED [7]	3.3V
LEDR[8]	PIN_AB22	LED [8]	3.3V
LEDR[9]	PIN_AC22	LED [9]	3.3V

模擬 Simulation



問題與心得

110310138 劉千榮

此題與上題在DE-10上的展示效果不好，便只放出模擬訊號來。這題我直接使用4個FA來執行，只要將低一級FA的 C_{in} 接地，其功能就和HA相同，其他都只是將內部電路組合，便完成本次實習。

貳、進階題(二)

請利用4位元加法器之輸出於七段顯示器顯示

其中包括有一個**1位元半加器**和**3個1位元全加器**，並請利用3個先前實習實作之七段解碼器，將 $A_{0-3} + B_{0-3}$ 加後之和 S_{0-3} 顯示於**七段顯示器**中，請外加一個**進位輸出LED C1** 顯示進位。

實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。將會用到的模型引入，再宣告內部接線後，便能完成HDL的撰寫。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

設計程序 (Verilog HDL)

Top-Level Entity

```
1  module hw5_extra2(a, b, OutA, OutB, OutS, cout);
2
3      // Input Port(s)
4      input [3:0] a;
5      input [3:0] b;
6
7      // Output Port(s)
8      output [6:0] OutA;
9      output [6:0] OutB;
10     output [6:0] OutS;
11     output cout;
12
13     wire f1Tof2, f2Tof3, f3Tof4;
14     wire [3:0] s;
15
16     fulladder fa1_LSB (a[0], b[0], 0, s[0], f1Tof2);
17     fulladder fa2      (a[1], b[1], f1Tof2, s[1], f2Tof3);
18     fulladder fa3      (a[2], b[2], f2Tof3, s[2], f3Tof4);
19     fulladder fa4_MSB (a[3], b[3], f3Tof4, s[3], cout);
20
21     mydecoder decoderA(a, OutA);
22     mydecoder decoderB(b, OutB);
23     mydecoder decoderS(s, OutS);
24
25 endmodule
```


設計程序 (Verilog HDL)

Full Adder Module










```
27 module fulladder(a, b, cin, sum, cout);
28
29     // Input Port(s)
30     input a, b, cin;
31
32     // Output Port(s)
33     output sum, cout;
34
35     assign {cout, sum} = a + b + cin;
36
37 endmodule
```

Seven Segment Decoder Module

```
39 module mydecoder (input [3:0] in, output reg [6:0] Out);
40
41     always@(in)
42     begin
43
44         case(in)
45             4'b0000: Out <= 7'b000_0001; // 0
46             4'b0001: Out <= 7'b100_1111; // 1
47             4'b0010: Out <= 7'b001_0010; // 2
48             4'b0011: Out <= 7'b000_0110; // 3
49             4'b0100: Out <= 7'b100_1100; // 4
50             4'b0101: Out <= 7'b010_0100; // 5
51             4'b0110: Out <= 7'b110_0000; // 6
52             4'b0111: Out <= 7'b000_1111; // 7
53             4'b1000: Out <= 7'b000_0000; // 8
54             4'b1001: Out <= 7'b000_1100; // 9
55             4'b1010: Out <= 7'b000_1000; // A
56             4'b1011: Out <= 7'b110_0000; // b
57             4'b1100: Out <= 7'b011_0001; // C
58             4'b1101: Out <= 7'b100_0010; // d
59             4'b1110: Out <= 7'b011_0000; // E
60             4'b1111: Out <= 7'b011_1000; // F
61         endcase
62     end
63 endmodule
```






















接腳設定簡介(Input & Cout)

本次實驗我們把輸入與輸出端接角以下列表格定義。

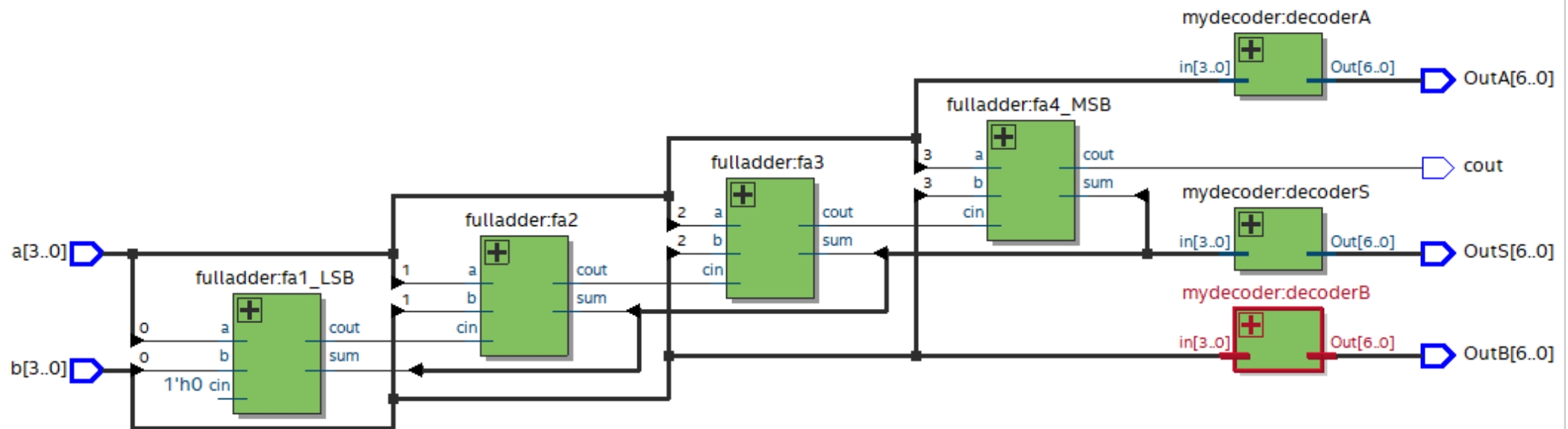
 in a[3]	Input	PIN_AC30	5B	B5B_N0	PIN_AC30	2.5 V
 in a[2]	Input	PIN_AB28	5B	B5B_N0	PIN_AB28	2.5 V
 in a[1]	Input	PIN_Y27	5B	B5B_N0	PIN_Y27	2.5 V
 in a[0]	Input	PIN_AB30	5B	B5B_N0	PIN_AB30	2.5 V
 in b[3]	Input	PIN_AD30	5B	B5B_N0	PIN_AD30	2.5 V
 in b[2]	Input	PIN_AC28	5B	B5B_N0	PIN_AC28	2.5 V
 in b[1]	Input	PIN_V25	5B	B5B_N0	PIN_V25	2.5 V
 in b[0]	Input	PIN_W25	5B	B5B_N0	PIN_W25	2.5 V
 out cout	Output	PIN_AA24	5A	B5A_N0	PIN_AA24	2.5 V

接腳設定簡介(Output)

本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
 OutA[6]	Output	PIN_W17	4A	B4A_N0	PIN_W17	2.5 V
 OutA[5]	Output	PIN_V18	4A	B4A_N0	PIN_V18	2.5 V
 OutA[4]	Output	PIN_AG17	4A	B4A_N0	PIN_AG17	2.5 V
 OutA[3]	Output	PIN_AG16	4A	B4A_N0	PIN_AG16	2.5 V
 OutA[2]	Output	PIN_AH17	4A	B4A_N0	PIN_AH17	2.5 V
 OutA[1]	Output	PIN_AG18	4A	B4A_N0	PIN_AG18	2.5 V
 OutA[0]	Output	PIN_AH18	4A	B4A_N0	PIN_AH18	2.5 V
 OutB[6]	Output	PIN_AF16	4A	B4A_N0	PIN_AF16	2.5 V
 OutB[5]	Output	PIN_V16	4A	B4A_N0	PIN_V16	2.5 V
 OutB[4]	Output	PIN_AE16	4A	B4A_N0	PIN_AE16	2.5 V
 OutB[3]	Output	PIN_AD17	4A	B4A_N0	PIN_AD17	2.5 V
 OutB[2]	Output	PIN_AE18	4A	B4A_N0	PIN_AE18	2.5 V
 OutB[1]	Output	PIN_AE17	4A	B4A_N0	PIN_AE17	2.5 V
 OutB[0]	Output	PIN_V17	4A	B4A_N0	PIN_V17	2.5 V
 OutS[6]	Output	PIN_AA21	4A	B4A_N0	PIN_AA21	2.5 V
 OutS[5]	Output	PIN_AB17	4A	B4A_N0	PIN_AB17	2.5 V
 OutS[4]	Output	PIN_AA18	4A	B4A_N0	PIN_AA18	2.5 V
 OutS[3]	Output	PIN_Y17	4A	B4A_N0	PIN_Y17	2.5 V
 OutS[2]	Output	PIN_Y18	4A	B4A_N0	PIN_Y18	2.5 V
 OutS[1]	Output	PIN_AF18	4A	B4A_N0	PIN_AF18	2.5 V
 OutS[0]	Output	PIN_W16	4A	B4A_N0	PIN_W16	2.5 V

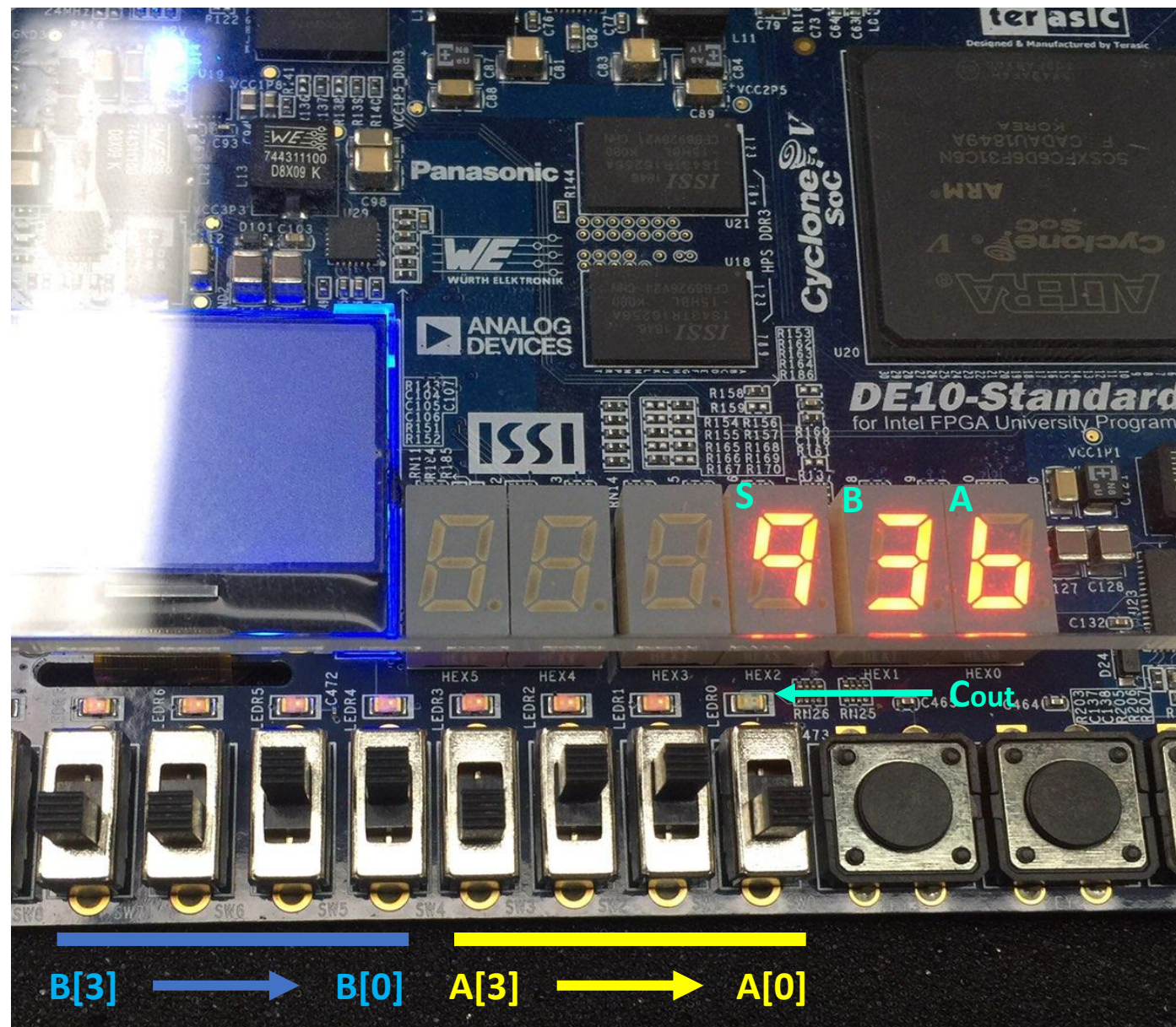
RTL Module



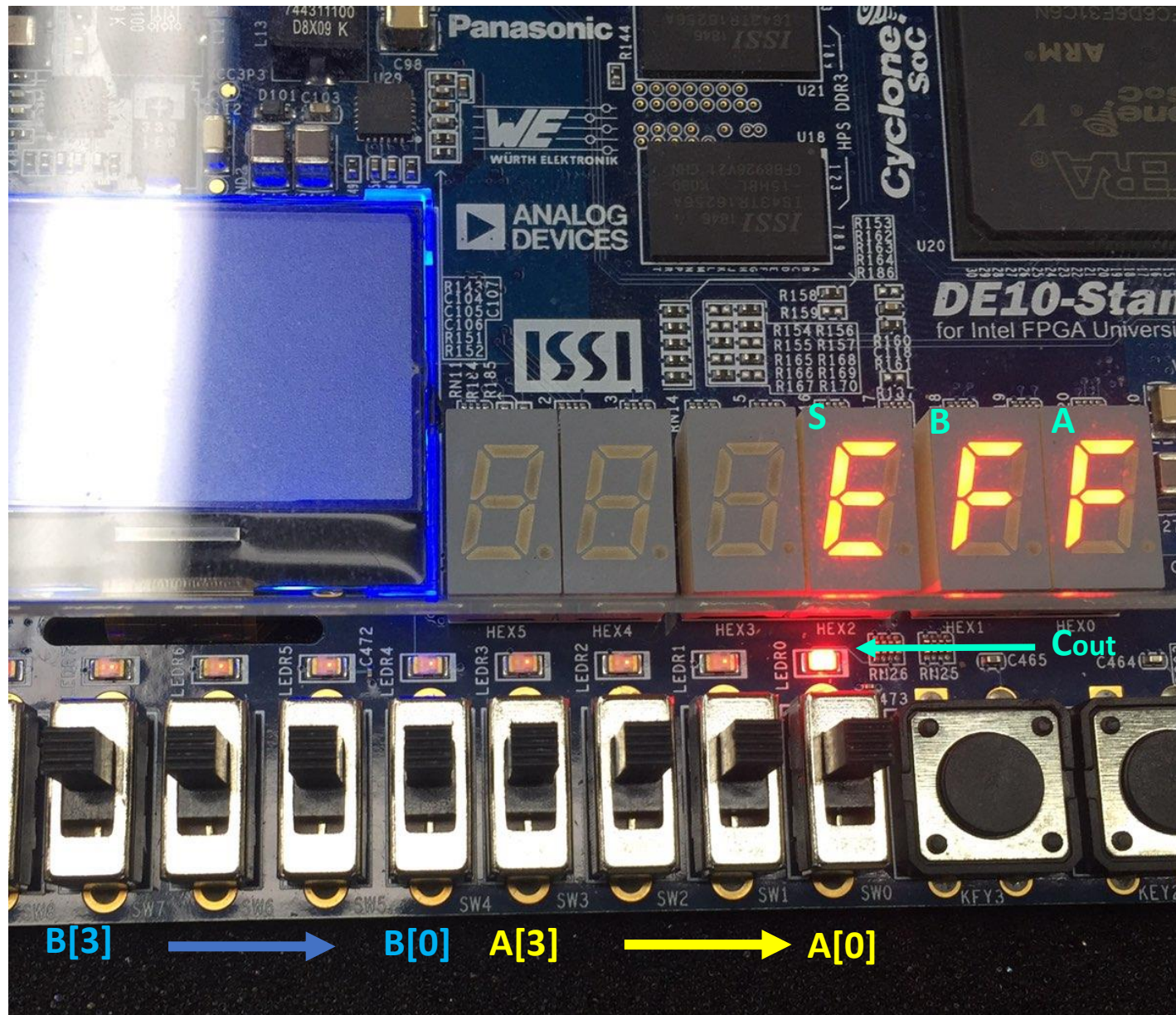
模擬 Simulation

	Name	Value at 0 ps	0 ps	10.0 ns	20.0 ns	30.0 ns	40.0 ns	50.0 ns	60.0 ns	70.0 ns	80.0 ns	90.0 ns	100.0 ns
in	a	B 1100	1100	1101	0101	1000	1110	0000	0001	0110		1010	
in	a[3]	B 1											
in	a[2]	B 1											
in	a[1]	B 0											
in	a[0]	B 0											
in	b	B 0011	0011	1100	1111	0111	1001	0100	0001	0100		1001	
in	b[3]	B 0											
in	b[2]	B 0											
in	b[1]	B 1											
in	b[0]	B 1											
out	OutA	B 0110001	0110001	1000010	0100100	0000000	0110000	0000001	1001111	1100000		0001000	
out	OutB	B 0000110	0000110	0110001	0111000	0001111	0001100	1001100	1001111	1001100		0001100	
out	OutS	B 0111000	0111000	0001100	1001100	0111000	0001111	1001100	0010010	0001000		0000110	
out	cout	B 0											

實驗成果



實驗成果



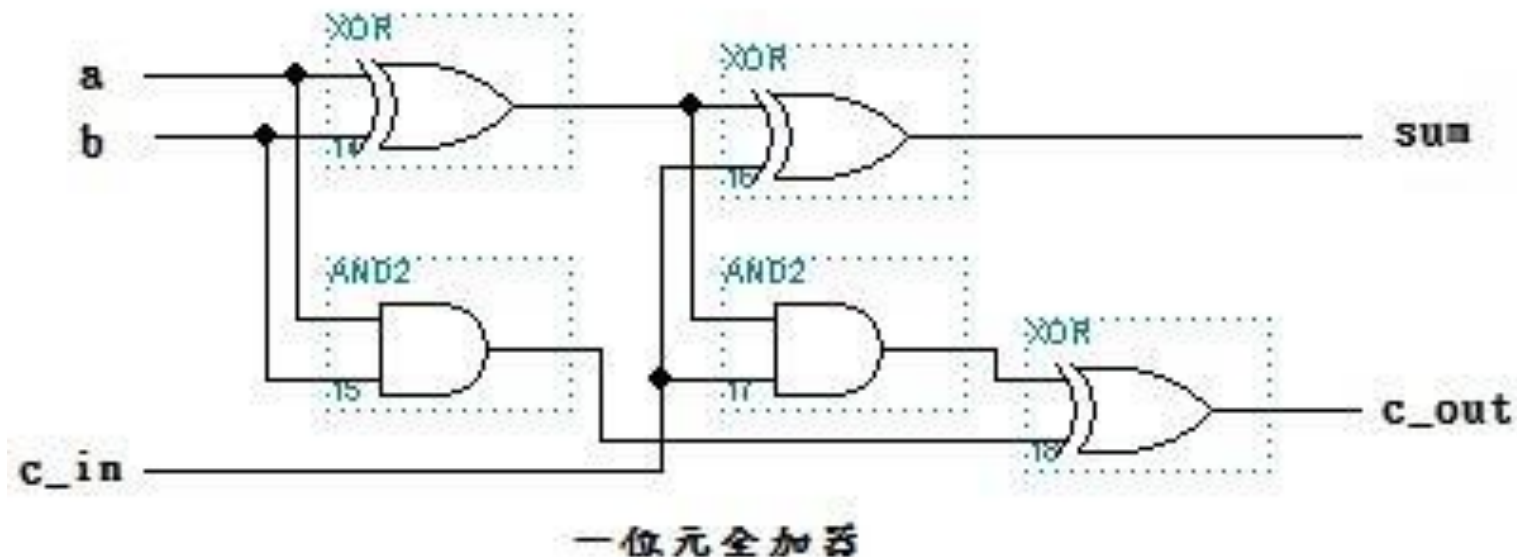
問題與心得

110310138 劉千榮

這是組合電路中，稍微複雜的一題。不是電路很複雜，只是要處理的Pin腳好多，定完Pin腳比我寫完程式還要久。整題只是無腦的把所有線接起來，基本上就是看起來複雜，做完只要10分鐘的題型。希望有有趣一些的題目。

貳、進階題(三)

兩個1位元半加器組成之1位元全加器
使用VHDL



實驗原理

使用Quartus prime lite編輯邏輯閘電路，燒入DE-10 stander板子，則可確認電路功能。先製作半加器模組，再利用剛做好的模組組成新的全加器模組。在完成實驗後，驗證波型輸出，再將其燒錄製至開發板，執行功能驗證。



設計程序

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。

模擬驗證

先確認電路功能，畫出真值表並且轉換成布林代數，則可以使用邏輯閘組合成電路。






設計程序 (VHDL)

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity hw5_extra3 is
5  port
6  (
7      a, b, cin    : in std_logic;
8      sum, cout    : out std_logic
9  );
10
11 end hw5_extra3;
12
13 architecture FA of hw5_extra3 is
14 component HA_VHDL
15 port
16 (
17     a, b      : in std_logic;
18     sum, carry : out std_logic
19 );
20
21 end component;
```

```
26 signal summary, HATocarry1, HATocarry2 : std_logic;
27
28 begin
29
30     cout <= HATocarry1 or HATocarry2;
31
32     HA1: HA_VHDL port map
33     (
34         a => a,
35         b => b,
36         sum => summary,
37         carry => HATocarry1
38     );
39
40     HA2: HA_VHDL port map
41     (
42         a => summary,
43         b => cin,
44         sum => sum,
45         carry => HATocarry2
46     );
47
48 end FA;
```

接腳設定簡介

本次實驗我們把輸入與輸出端接角以下列表格定義。

Node Name	Direction	Location
 a	Input	PIN_AB30
 b	Input	PIN_Y27
 cin	Input	PIN_AB28
 cout	Output	PIN_AA24
 sum	Output	PIN_AB23

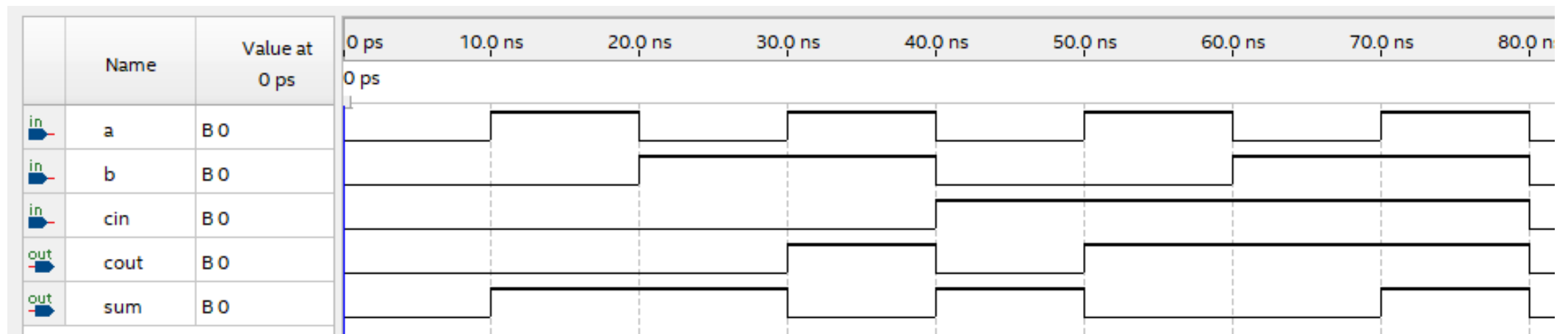
Pin Assignment of Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB30	Slide Switch[0]	Depend on JP3
SW[1]	PIN_Y27	Slide Switch[1]	Depend on JP3
SW[2]	PIN_AB28	Slide Switch[2]	Depend on JP3
SW[3]	PIN_AC30	Slide Switch[3]	Depend on JP3
SW[4]	PIN_W25	Slide Switch[4]	Depend on JP3
SW[5]	PIN_V25	Slide Switch[5]	Depend on JP3
SW[6]	PIN_AC28	Slide Switch[6]	Depend on JP3
SW[7]	PIN_AD30	Slide Switch[7]	Depend on JP3
SW[8]	PIN_AC29	Slide Switch[8]	Depend on JP3
SW[9]	PIN_AA30	Slide Switch[9]	Depend on JP3

Pin Assignment of LEDs

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
LEDR[0]	PIN_AA24	LED [0]	3.3V
LEDR[1]	PIN_AB23	LED [1]	3.3V
LEDR[2]	PIN_AC23	LED [2]	3.3V
LEDR[3]	PIN_AD24	LED [3]	3.3V
LEDR[4]	PIN_AG25	LED [4]	3.3V
LEDR[5]	PIN_AF25	LED [5]	3.3V
LEDR[6]	PIN_AE24	LED [6]	3.3V
LEDR[7]	PIN_AF24	LED [7]	3.3V
LEDR[8]	PIN_AB22	LED [8]	3.3V
LEDR[9]	PIN_AC22	LED [9]	3.3V

輸出模擬 (ModelSim)



問題與心得

110310138 劉千榮

VHDL的宣告比Verilog複雜許多，光是觀察本題與基本題就有明顯的差異，所以我才建議自學Verilog。雖然老師叫我當助教的助教，不過整段時間也都沒有人來問我問題，我就直接回家了。直到進入循序電路之前，這些組合電路都沒有難度可言。

WIREFRAME FORMATION

工業推手一世紀 · 企業搖籃一百年

100 Years of Excellence · Cultivating Entrepreneurs of Tomorrow



國立臺北科技大學
National Taipei University of Technology