

## 실험 Verilog-2: 예비보고서

전공: 컴퓨터공학

학년: 2

학번: 20171645

이름 박찬우

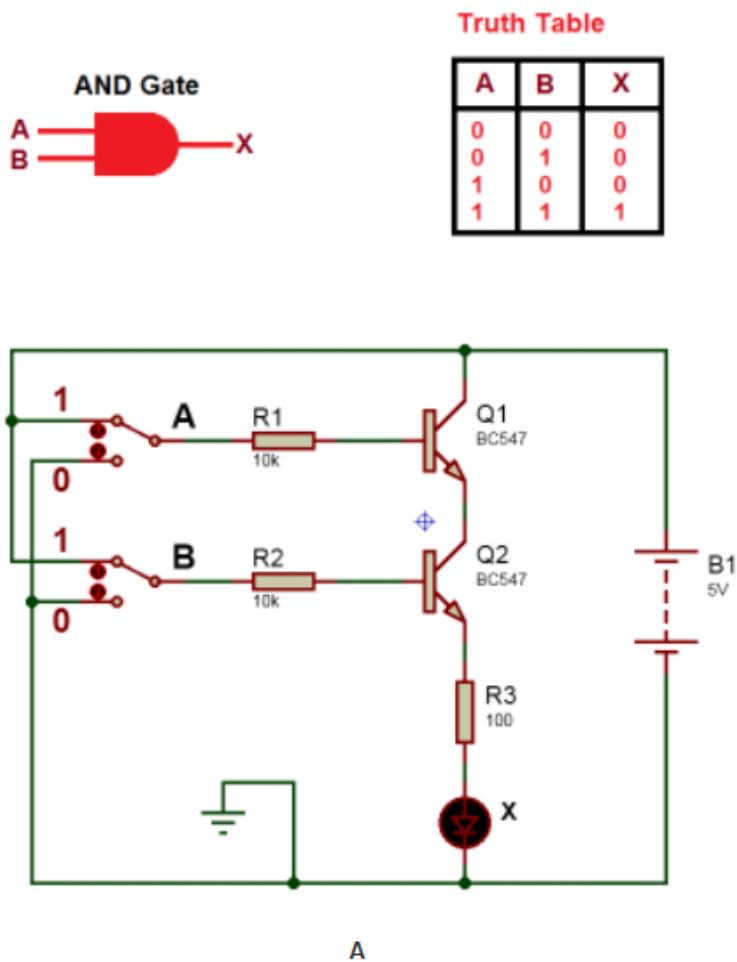
### 1. 목적

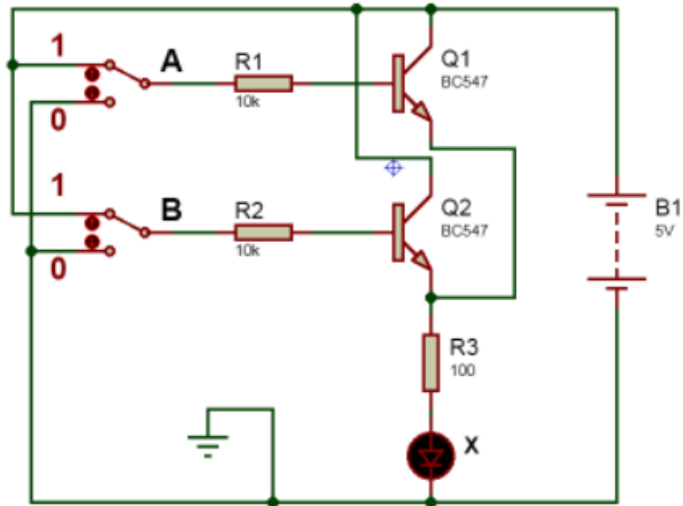
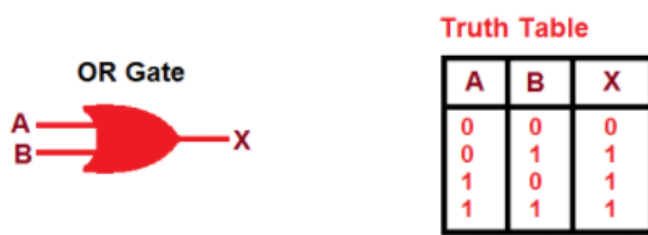
Verilog에 대해 이해한다.

### 2. 요구 사항

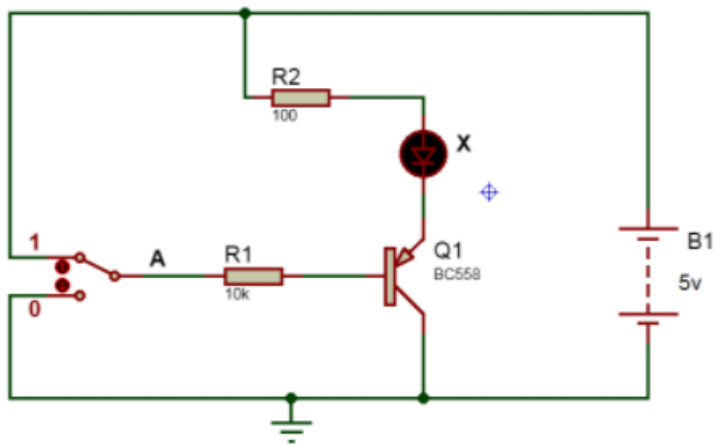
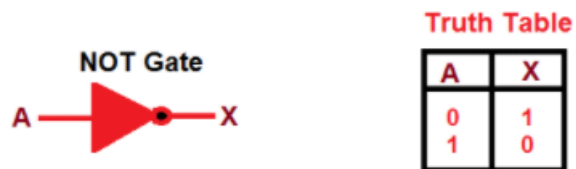
논리게이트 AND/OR/NOT의 구조를 Transistor-Level로 그리시오.

각각 and, or, not logic gate를 transistor-level로 그린 그림이다.





B



C

AND/OR/NOT Logic의 특성을 조사하시오.

AND logic은 두 개 이상의 입력에 하나의 출력을 갖는 logic으로, 모든 입력이 L일때 출력이 L이다. OR logic 역시 두 개 이상의 입력에 하나의 출력을 갖는 logic이지만, 하나 이상의 입력이 H이면 출력이 H이다. NOT logic은 입력과 출력이 반대 논리로 작동하는 logic으로, 하나의 입력과 하나의 출력을 갖는다. 즉, 입력이 H이면 L로 출력되고, L이면 H로 출력한다.

Fan-out에 대하여 조사하시오.

Fan-out은 하나의 logic에서 출력이 다음 logic의 입력으로 들어갈 때 수의 제한을 뜻하는데, 이렇게 입력의 수에 제한이 걸리는 이유는 두가지이다.  
첫번째는 signal quality 문제이다. 각 소자의 output driver에는 최대를 흐를 수 있는 전류에 제한이 있는데, Fan-out을 초과하여 logic을 연결하면 출력 전류가 지나치게 커 driver의 회로가 손상될 수 있기 때문에 제한을 거는 것이다.  
두번째는 timing 문제이다. input receiver가 늘어날수록 내부의 capacitance, 즉 전기용량이 늘어나므로 propagation delay, 전달 지연이 커지게 된다. 그 결과 회로에서 setup time과 hold time을 만족시키지 못하는 경우 치명적 결함이 발생할 수 있다.  
상기한 이유로, Fan-out을 적절히 계산해서 사용해야 한다.

전파 지연에 대하여 조사하시오.

전파 지연 혹은 전달 지연(propagation delay)는 논리 회로에 유효한 신호가 입력됐을 때부터 유효한 신호를 출력할때까지의 걸리는 시간을 의미한다. 때에 따라서는 입력신호가 변경되었을 때 출력신호가 최종출력의 50%에 도달하는데 걸리는 시간을 나타내기도 한다.  
주로 네트워크와 관련되어 등장하는데, 이때는 물리적인 통신선로를 통해 전기적 신호가 송신자로부터 수신자에게 도달하는 시간을 의미한다.

Verilog 의 task 및 function 에 대해 조사하시오.

task 및 function은 verilog에서 행위수준 설계의 종류로, 둘 모두 c에서의 함수와 비슷하지만 약간의 차이점이 존재한다.

task는

- 1) 다른 task 및 function을 사용할 수 있고,
- 2) non-zero 시뮬레이션 시간에 사용될 수 있으며,
- 3) 지연, 사건, 타이밍 제어 문장을 포함할 수 있고,
- 4) 입력과 출력을 하나도 가지지 않거나 다수를 가질수 있으며,
- 5) 값을 return 할 수 없다.

반면, function의 경우

- 1) 다른 function은 사용할 수 있지만 task는 사용할 수 없고,
- 2) 항상 시뮬레이션 시간이 0에서 수행되며,
- 3) 지연,사건, 타이밍 제어 문장을 포함할 수 없고,
- 4) 적어도 하나 이상의 입력 인수를 가져야 하며,
- 5) 항상 하나의 값을 return한다.

다음과 같은 차이를 구분하여 task 와 function을 적절히 사용해야 한다.