

## 실험 Verilog-2: 결과보고서

전공: 컴퓨터공학

학년: 2

학번: 20171645

이름 박찬우

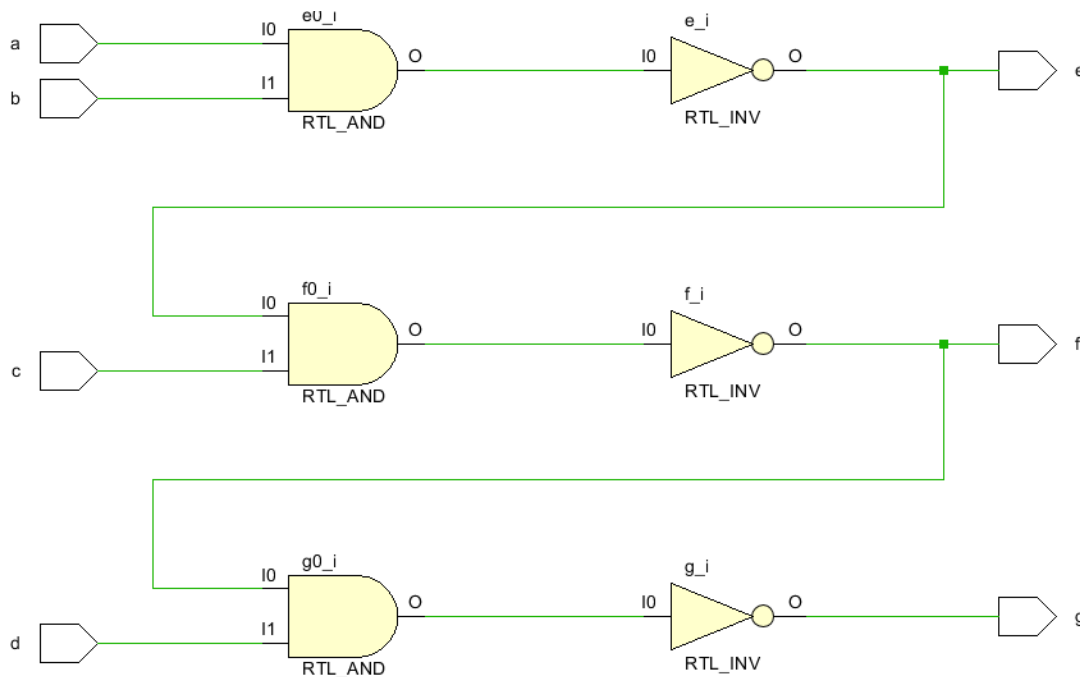
### 1. 목적

Verilog를 통해 NAND/NOR/XOR/AOI gate에 대해 이해한다.

### 2. 요구 사항

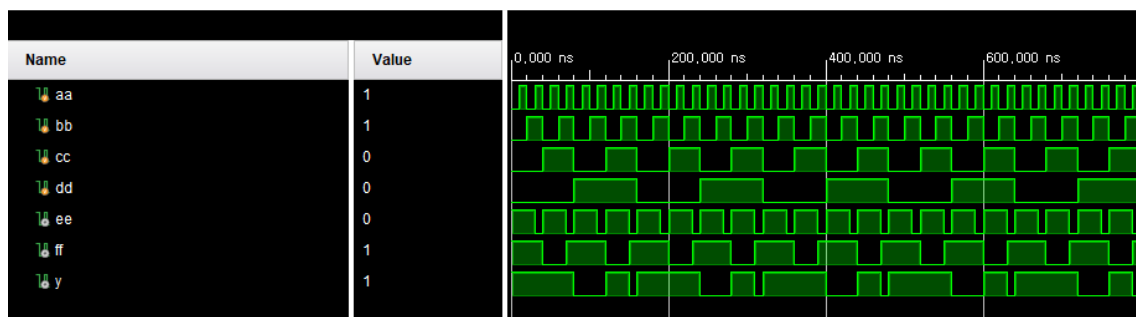
#### 1) 4-input NAND gate의 simulation 결과 및 과정에 대해 설명한다.

4장 ppt 8쪽에서의 4-input NAND gate의 (B) 회로의 schematic은 다음과 같다.



이는 ppt의 그림처럼 A와 B를 NAND 한 결과 output E를 갖고, E와 C를 NAND 한 output F를 얻고, F와 D를 NAND 한 output G를 갖는다.

이에 대해 a,b,c,d 입력값에 변화를 주며 simulation 한 결과는 다음과 같다.

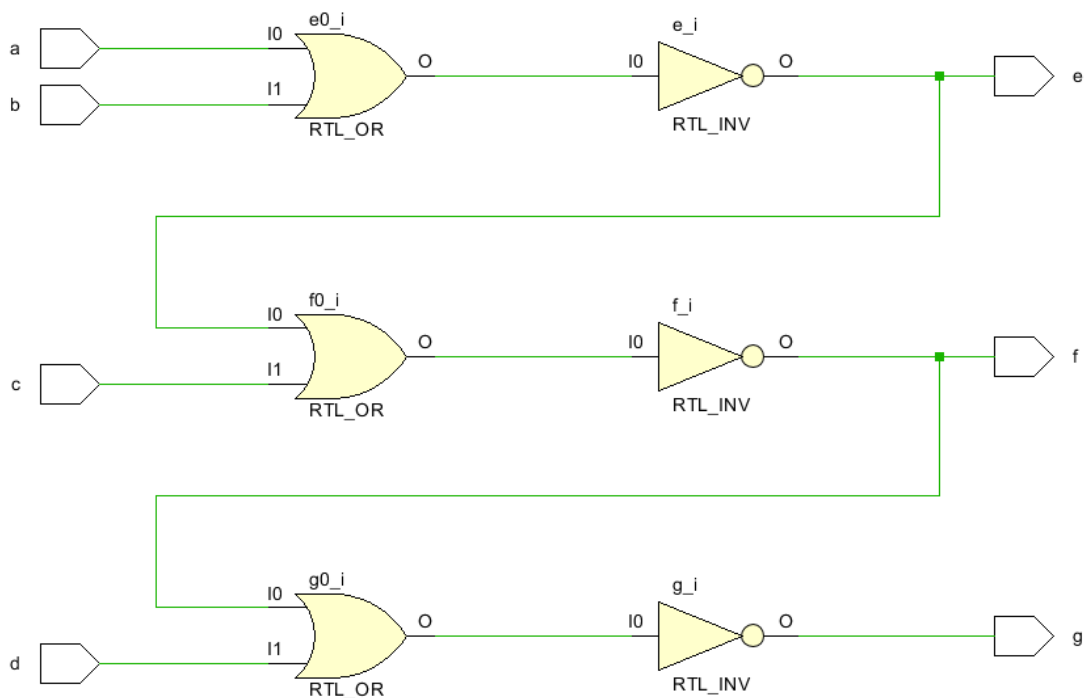


결과를 바탕으로 진리표를 작성하면, 다음과 같은 결과를 얻을 수 있다.

input A	input B	input C	input D	output E	output F	output G
0	0	0	0	1	1	1
0	0	0	1	1	1	0
0	0	1	0	1	0	1
0	0	1	1	1	0	1
0	1	0	0	1	1	1
0	1	0	1	1	1	0
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	1	1	1
1	0	0	1	1	1	0
1	0	1	0	1	0	1
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	0	1	0
1	1	1	0	0	1	1
1	1	1	1	0	1	1

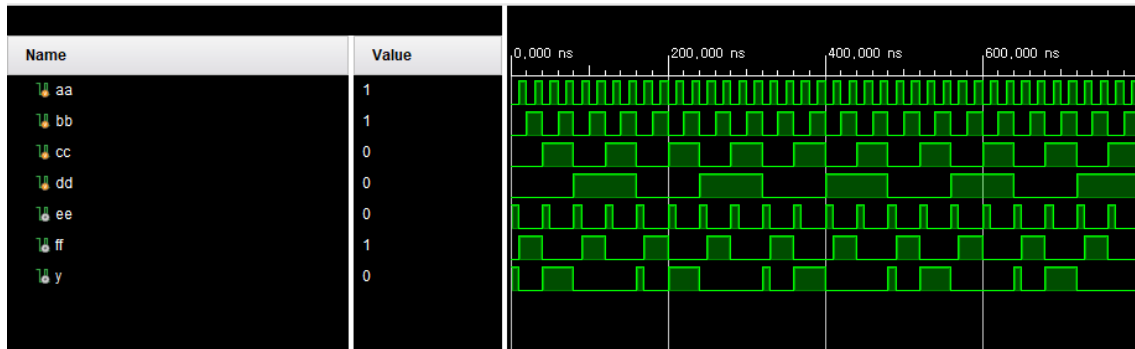
## 2) 4-input NOR gate의 simulation 결과 및 과정에 대해 설명한다.

4장 ppt 12쪽에서의 4-input NOR gate의 (B) 회로의 schematic은 다음과 같다.



이는 ppt의 그림처럼 A와 B를 NOR 한 결과 output E를 갖고, E와 C를 NOR 한 output F를 얻고, F와 D를 NOR 한 output G를 갖는다.

이에 대해 a,b,c,d 입력값에 변화를 주며 simulation 한 결과는 다음과 같다.

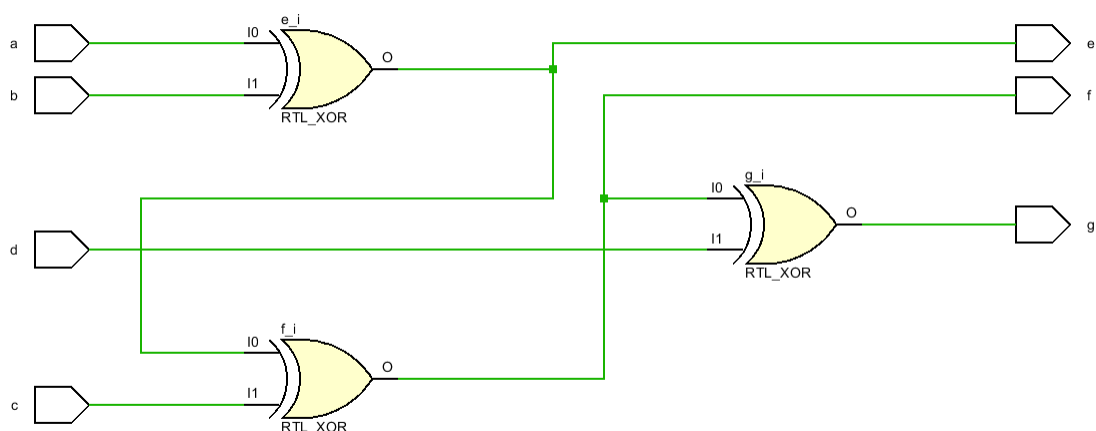


결과를 바탕으로 진리표를 작성하면, 다음과 같은 결과를 얻을 수 있다.

input A	input B	input C	input D	output E	output F	output G
0	0	0	0	1	0	1
0	0	0	1	1	0	0
0	0	1	0	1	0	1
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1
1	0	1	1	0	0	0
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	0	0	1
1	1	1	1	0	0	0

### 3) 4-input XOR gate의 simulation 결과 및 과정에 대해 설명한다.

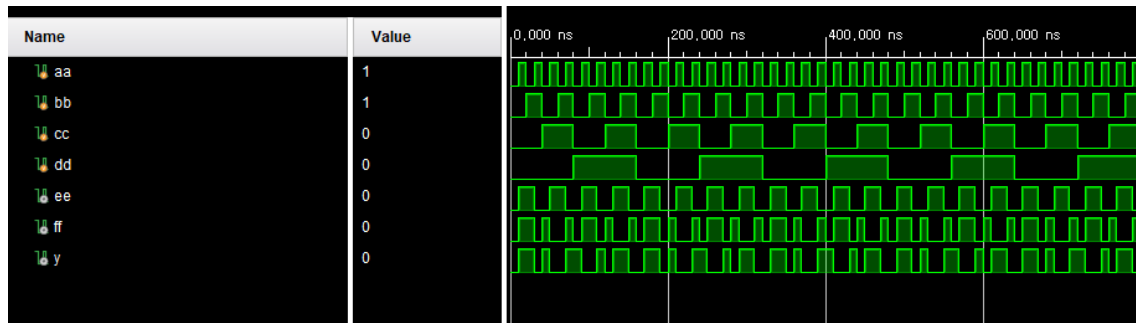
4장 ppt 14쪽에서의 4-input XOR gate의 (B) 회로의 schematic은 다음과 같다.



이는 ppt의 그림처럼 A와 B를 XOR 한 결과 output E를 갖고, E와 C를 XOR 한 output F

를 얻고, F와 D를 XOR 한 output G를 갖는다.

이에 대해 a,b,c,d 입력값에 변화를 주며 simulation 한 결과는 다음과 같다.

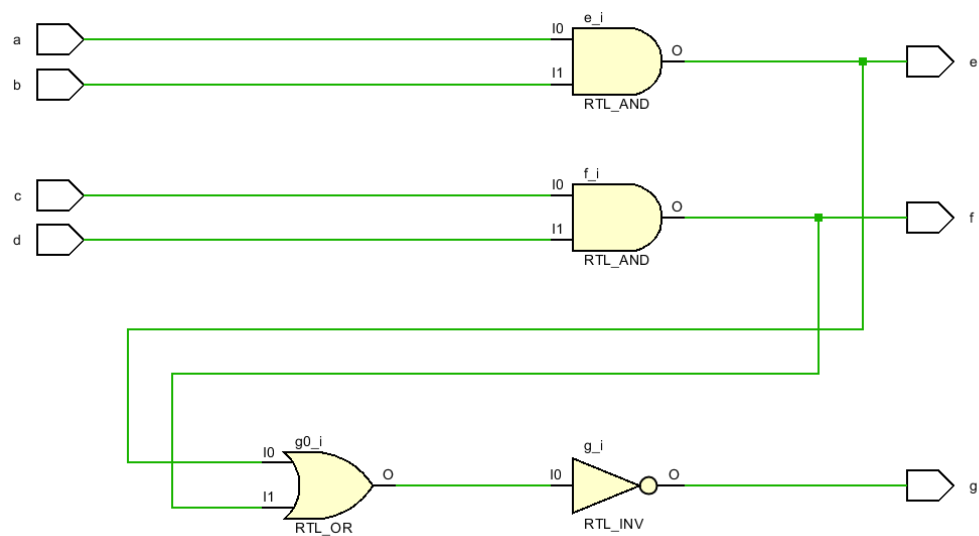


결과를 바탕으로 진리표를 작성하면, 다음과 같은 결과를 얻을 수 있다.

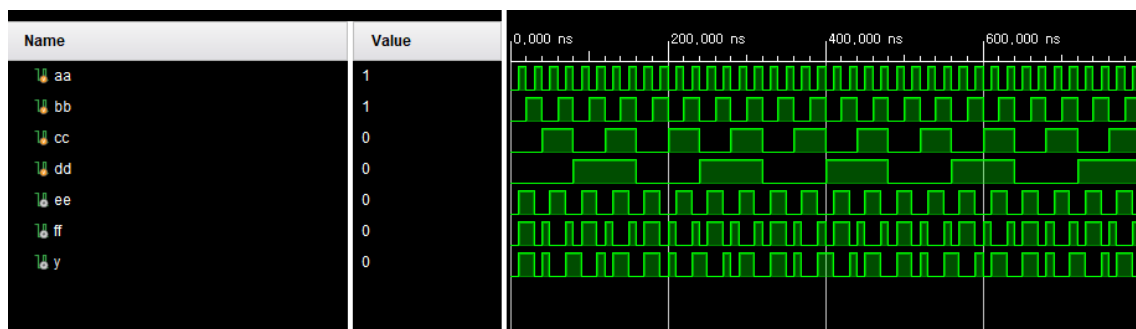
input A	input B	input C	input D	output E	output F	output G
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	0	1	1	0	1	0
0	1	0	0	1	1	1
0	1	0	1	1	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	1
1	0	0	0	1	1	1
1	0	0	1	1	1	0
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	1	0	0	1
1	1	1	0	0	1	1
1	1	1	1	0	1	0

#### 4) 4-input AOI gate의 simulation 결과 및 과정에 대해 설명한다.

4장 ppt 16쪽에서의 4-input XOR gate의 (B) 회로의 schematic은 다음과 같다.



이는 ppt의 그림처럼 A와 B를 AND 한 결과 output E를 얻고, C와 D를 AND 한 결과 output F를 얻고, E와 F를 NOR 한 결과 output G를 얻는다.  
 이에 대해 a.b.c.d 값에 변화를 주며 simulation 한 결과는 다음과 같다.



결과를 바탕으로 진리표를 작성하면, 다음과 같은 결과를 얻을 수 있다.

input A	input B	input C	input D	output E	output F	output G
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	1	0

## 5) 결과 검토 및 논의 사항

먼저 4-input NAND gate에 대해 살펴보자. NAND gate의 기본 logic은 입력이 모두 1일때 0이고, 나머지는 1이다. 따라서 4가지 input에 대해 NAND 할 경우 4가지 입력 모두 1이어야 0이 나오고, 나머지는 1이 나올 것이라 생각할 수 있으나, 위 결과처럼 A,B,C,D 네가지 input에 대해 A nand B 한 결과를 E, E nand C 한 결과를 F로, F nand D 한 결과를 G로 생각할 경우 최종 output G는 생각한 것과 다른 결과가 나오는 걸 simulation 결과 및 truth table 표를 통해 확인할 수 있었다. 추가로, 결과를 레포트에 첨부하지는 않지만 같은 4-input NAND gate의 (A) 형 회로의 경우와 결과가 다르게 나오는 것 역시 simulation을 통해 확인할 수 있었다. 즉, Verilog를 통해  $output = \sim(A \& B \& C \& D)$  한 결과와  $output = \sim(\sim(\sim(A \& B) \& C) \& D)$  두 가지 회로의 결과가 다르다는 걸 알 수 있다.

4-input NOR gate 역시 마찬가지이다. NOR gate의 기본 logic은 입력이 모두 0일때 1이 나오고, 나머지는 0이 나오는 것이므로 4가지 input에 대해 NOR할 경우 4가지 입력이 모두 0일때만 1이 나올것이라고 생각할 수 있는데, simulation 결과 및 truth table을 통해 A,B,C,D 4가지 input과 A nor B 한 E, E nor C 한 F, F nor D 한 G에 대해 최종 결과 G가 다양한 상황에서 1이 나오는 걸 확인할 수 있다. 추가로, 결과를 레포트에 첨부하지는 않지만 같은 4-input NOR gate의 (A) 형 회로의 경우와 결과가 다르게 나오는 것 역시 simulation을 통해 확인할 수 있었다. 즉, Verilog를 통해  $output = \sim(A | B | C | D)$  한 결과와  $output = \sim(\sim(\sim(A | B) | C) | D)$  두 가지 회로의 결과가 다르다는 걸 알 수 있다.

4-input XOR gate의 기본 logic은 입력이 서로 같으면 0, 다르면 1을 출력하는 logic으로 simulation 및 truth table을 통해 4가지 모두 같지 않은 상황에서 때에 따라 0이 나올수도, 1이 나올수도 있음을 확인할 수 있다. 위의 다른 gate와 달리, XOR gate는 (A)와 (B)의 gate 모두 동일한 결과를 보여주는 걸 simulation을 통해 확인할 수 있다. 즉,  $output = A \wedge B \wedge C \wedge D$ 와  $output = (((A \wedge B) \wedge C) \wedge D)$  모두 같은 결과를 출력하는 걸 알 수 있다.

4-input AOI gate의 경우 A와 B의 and 결과 E와, C와 D의 and 결과 F 두 값을 NOR 시킨 결과 output G를 출력하는 logic gate로, 그 결과는 truth table 및 simulation을 통해 확인할 수 있었다.