

실험 Verilog-12: 예비보고서

전공: 컴퓨터공학

학년: 2

학번: 20171645

이름 박찬우

1. 목적

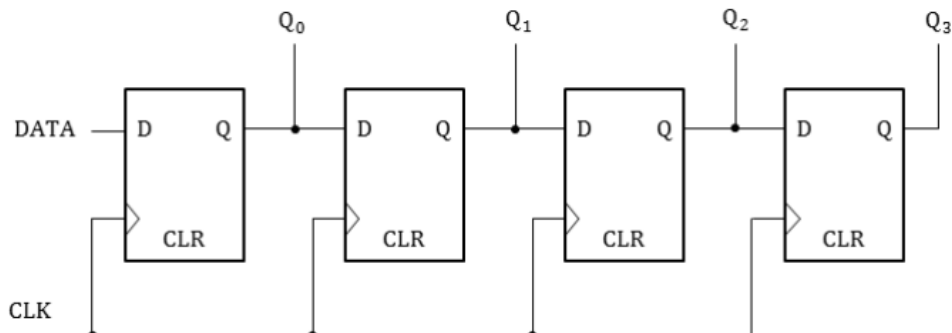
Shift register, Ring Counter, UP-DOWN Counter, Ripple Counter에 대해 조사한다.

2. 요구 사항

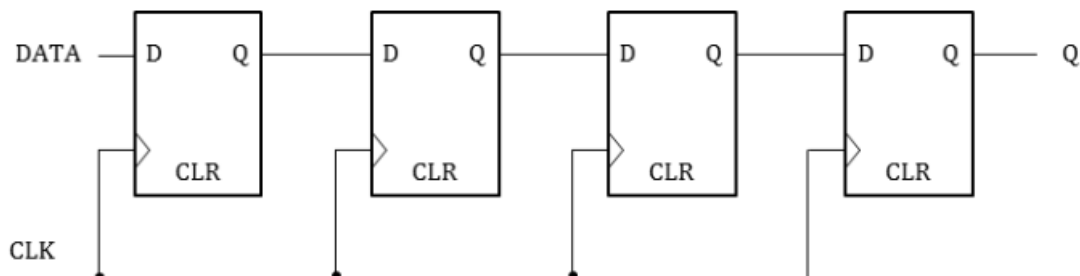
Shift register에 대해 조사하시오.

Shift register는 데이터를 저장하거나 데이터를 옆으로 이동할 때 사용하는 회로로, 메모리, 프로세서, CPU 등의 디지털 중요 부품들의 기능의 기본이라고 생각할 수 있다. 시프트 레지스터의 종류는 SIPO, SISO, PISO, PIPO 4가지로 나눌 수 있다.

먼저 SIPO 시프트 레지스터는 단일의 데이터가 시프트 레지스터를 거쳐 다수의 출력으로 나타나는 구조로, 클럭이 발생할 때마다 순차적으로 데이터를 이동시키는 회로로 볼 수 있다.

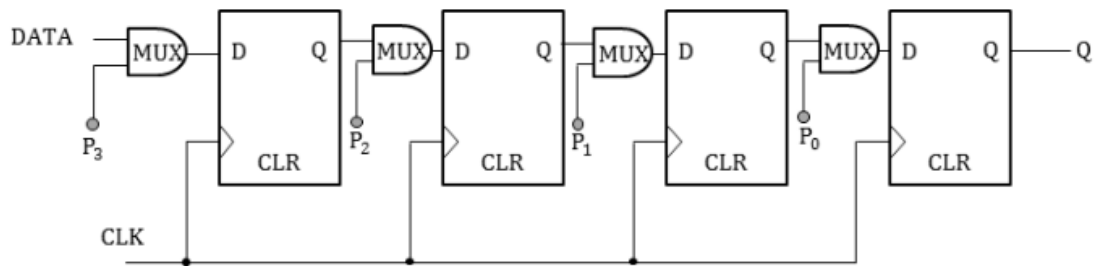


SISO 시프트 레지스터는 입력 데이터를 그대로 저장하고있다가 클럭에 따라 플립플롭을 거치면서 지연시간을 거쳐 출력되는 회로로, SIPO와 달리 중간에 데이터를 출력하지 않고 맨 마지막 플립플롭의 출력만을 본다는 특징이 있다.

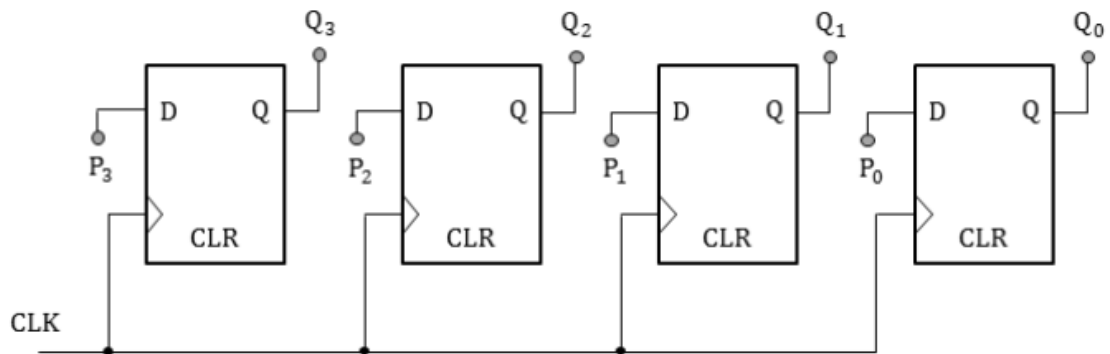


PISO 시프트 레지스터는 SIPO와 반대로, 다수의 입력 데이터를 한개의 출력으로 내보내는 회로로,

클럭의 펄스에 맞게 다수의 데이터를 병렬적으로 받아들여 하나씩 순서대로 출력하는 회로이다.

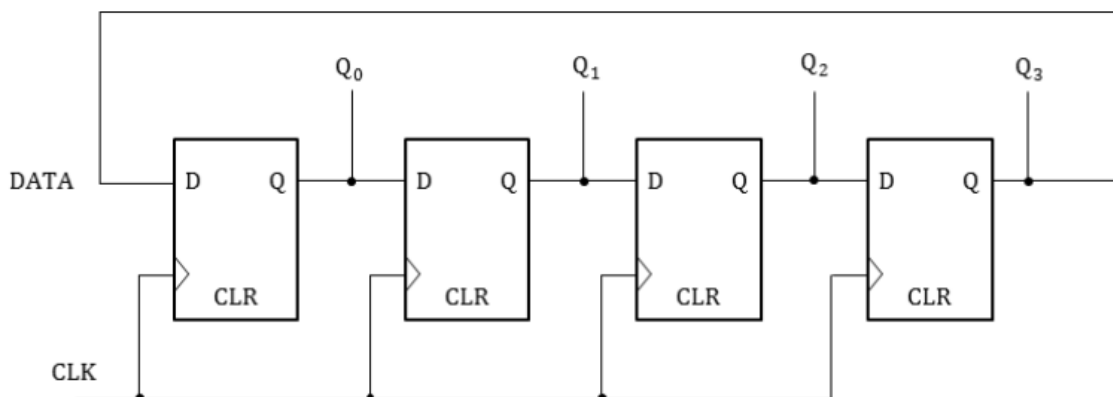


마지막으로 PIPO 시프트 레지스터는 SISO처럼 입력데이터를 그대로 저장하고있다가 클럭에 따라 플립플롭을 거치며 지연시간을 거쳐 출력하는 회로이다.



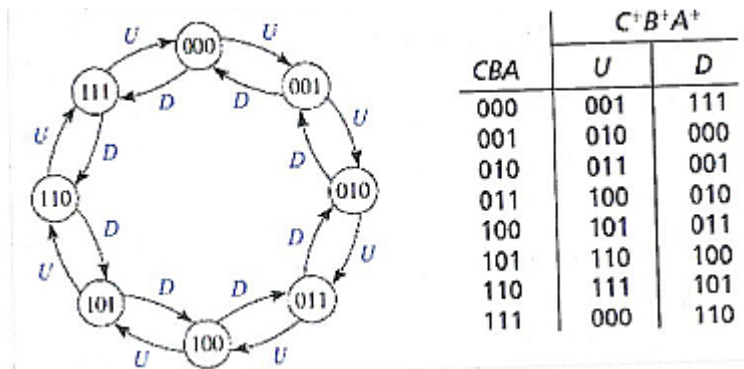
Ring Counter에 대해서 조사하시오.

링 카운터는 전체적으로 데이터가 회전하는 시프트 레지스터를 말하며, 맨 마지막 플립플롭의 출력이 첫번째 플립플롭의 입력으로 연결되어 있는 구조이다. 입력된 데이터는 클럭의 펄스마다 한칸씩 이동하게 된다. 이러한 구조를 그림으로 나타내면 아래와 같은 회로 형태를 갖는다.

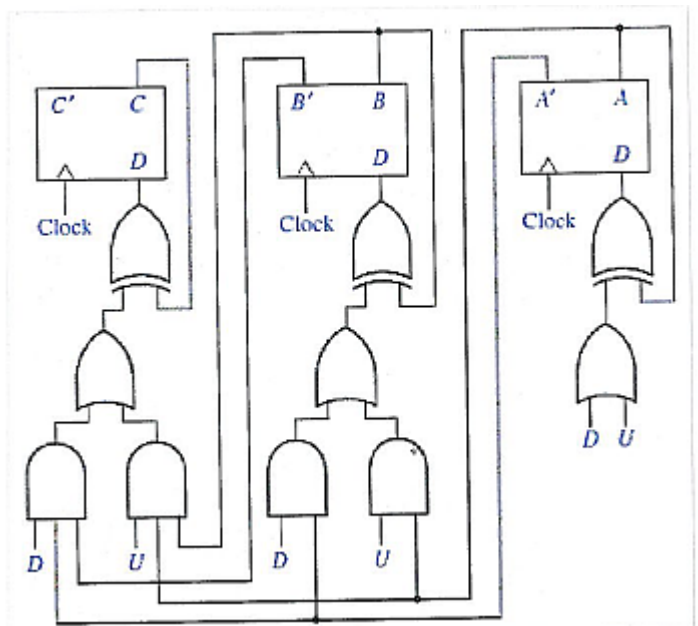


UP-DOWN Counter에 대해서 조사하시오.

업다운 카운터는 일반적인 카운터에 U, D 두개의 입력을 추가로 받아 U가 1이면 시계방향으로, D가 1이면 반시계방향으로, 둘다 0일경우 정지하는 방식으로 동작하는 카운터를 말한다. 만약 counter가 3-bit 업다운 카운터일 경우 현재 값이 1일때 U가 1이면 2로, D가 1이면 0으로 값이 변화하는 방식이다. 3-bit 업다운 카운터의 truth table은 아래와 같다.

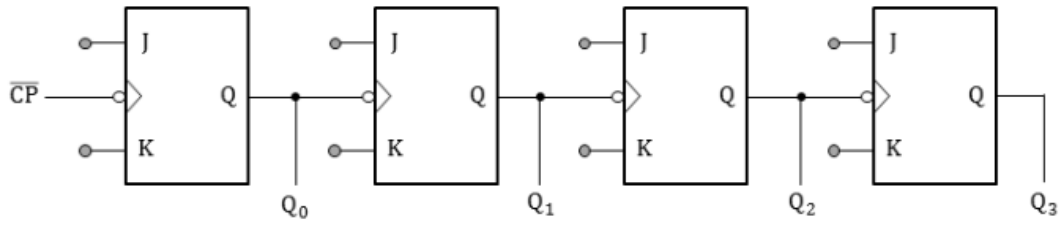


이러한 truth table을 바탕으로 회로를 구성하면 아래와 같은 회로를 구성할 수 있다.



Ripple Counter에 대해서 조사하시오.

이전에 본 동기식 카운터들과 다르게, 리플 카운터는 비동기식 카운터라고 하며, JK 플립플롭이나 T 플립플롭을 일렬로 구성하는 방식으로 구성된 회로이다. 4-bit 리플 카운터의 회로도에는 아래와 같은 구성을 따른다.



이때 리플 카운터의 모든 플립플롭에서 동시에 출력이 발생하는 게 아니라, 이전의 플립플롭에 의해 다음 플립플롭이 동작하기 때문에 전달 지연시간이 발생하게 된다. 이러한 전달지연시간 때문에 카운터의 값이 변할 때 글리치 또는 리플현상이라고 일컫는, 값이 튀는 현상이 발생하게 되는데 이를 방지하려면 글리치가 발생할 시간을 예측하여 고의로 delay를 주어 글리치를 방지할 수 있다.