

실험 Verilog-2: 결과보고서

전공: 컴퓨터공학

학년: 2

학번: 20171645

이름 박찬우

1. 목적

Vivado 실습을 통해 AND/OR/NOT 게이트의 동작 원리를 이해하고 더 나아가 다중입력 AND/OR 게이트의 작동을 구현해 simulation을 통해 어떻게 동작하는지 파악한다.

2. 요구 사항

1) FPGA의 동작법을 설명하시오.

FPGA가 동작하는 과정은 5가지 과정을 통해 확인할 수 있다.

1. Verilog Coding

이 과정에서 명령어를 Verilog 언어를 통해 입력한다.

2. Run synthesis

이 과정에서 HDL 언어를 해석하여 동일한 하드웨어 포틀로지를 생성한다.

3. Device / Pin assignment

이 과정에서 fpga 핀 리스트에서 회로의 Pin과 verilog의 port를 할당하게 된다.

4. Synthesis / Implement

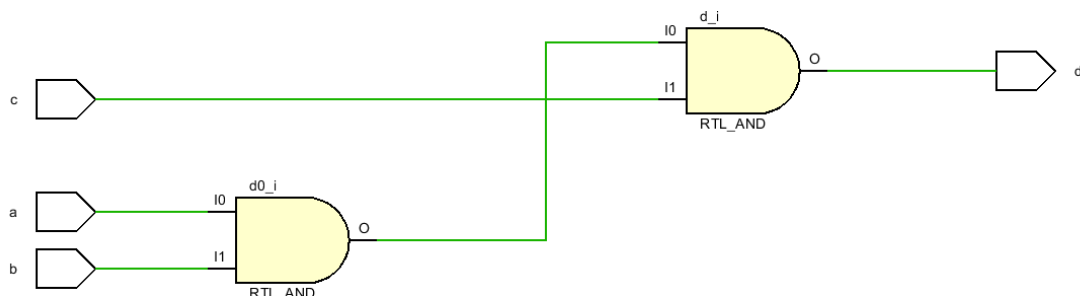
이 과정에서 Run synthesis -> Run implement -> Generate Bitstream 단계를 거친다.

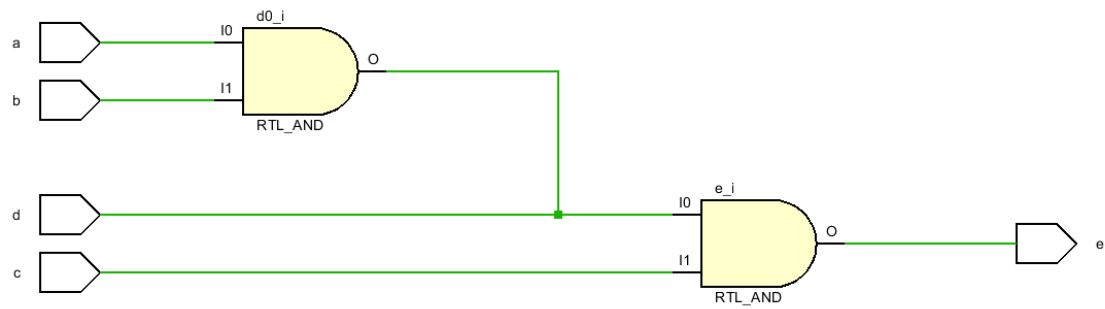
5. Device Configuration

이 과정에서 최종적으로 기기를 설정한다.

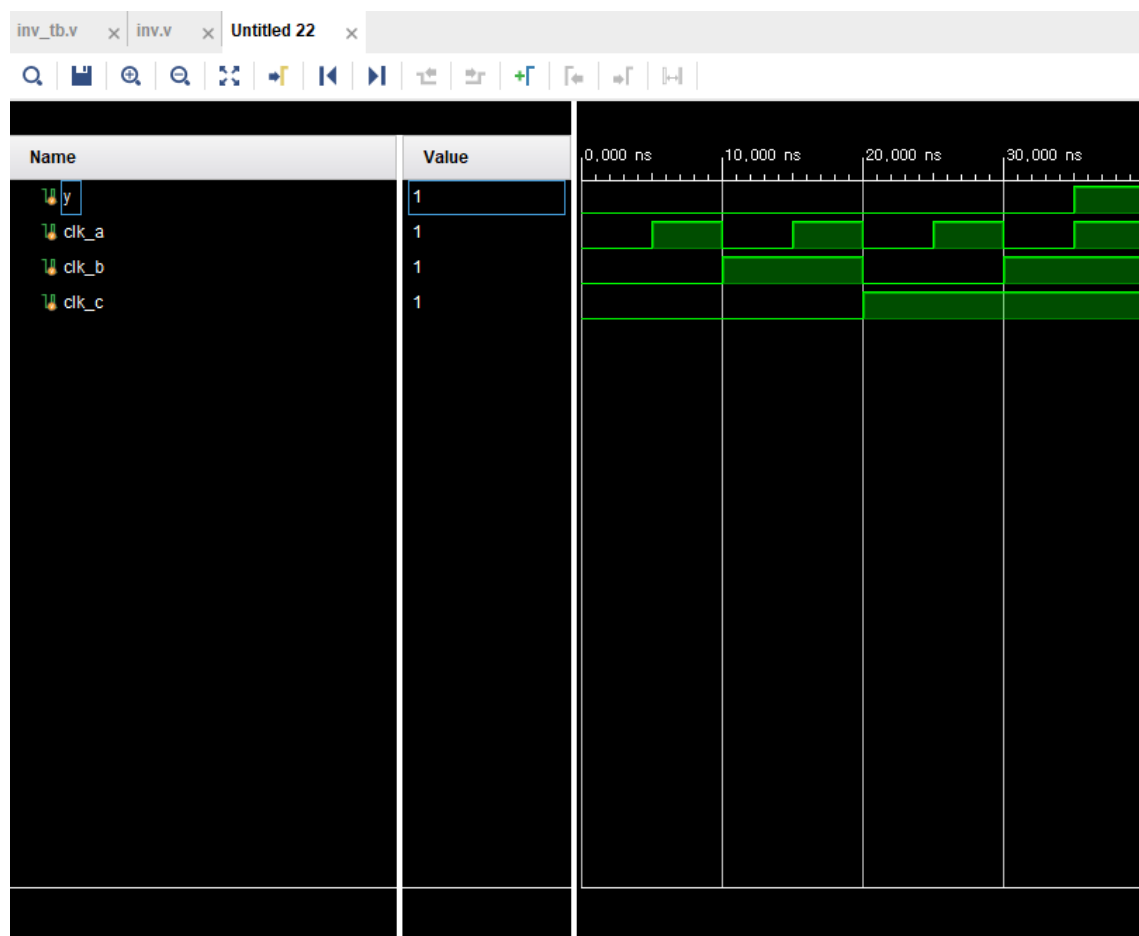
2) 실험 결과 및 과정 토의

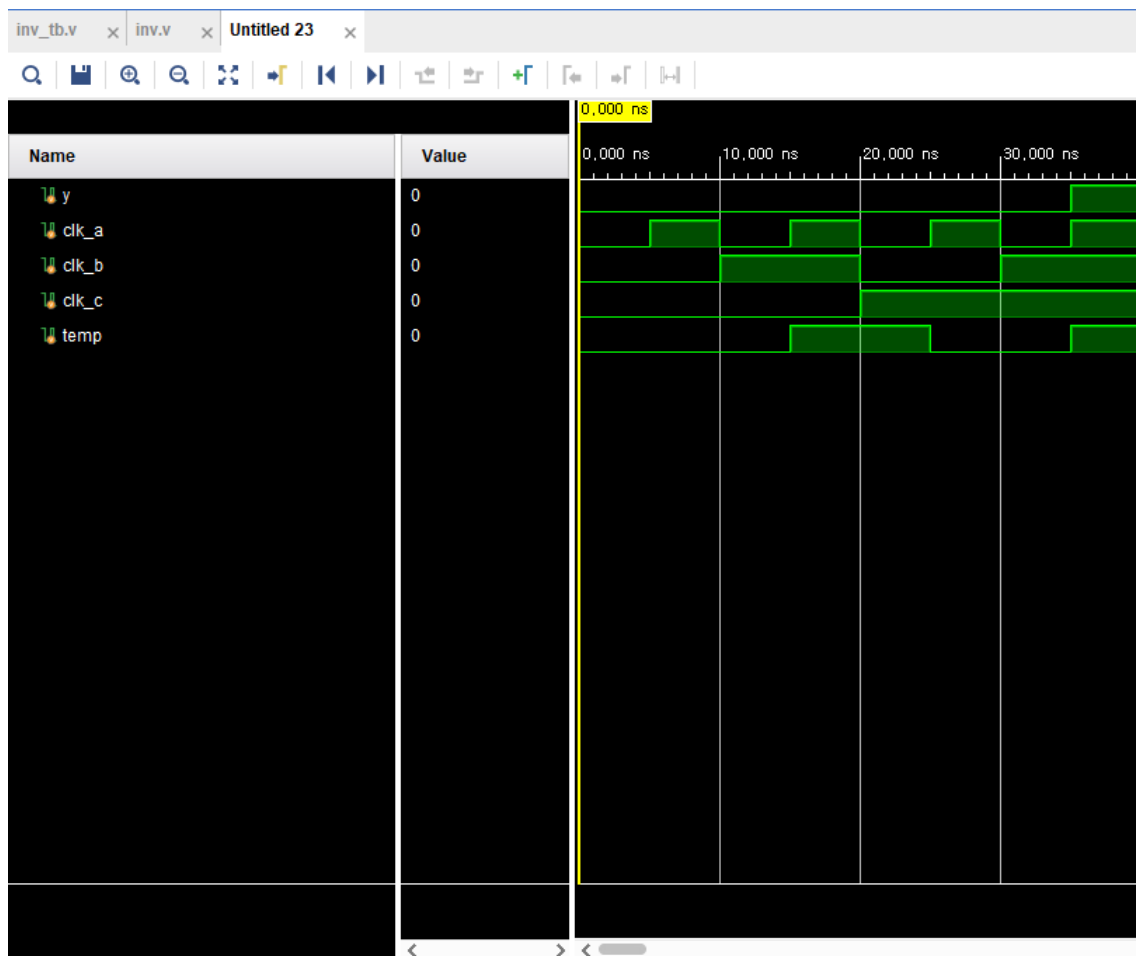
3-input and gate의 A와 B의 그림은 다음과 같다.





그리고, 각각의 결과는 다음과 같다.

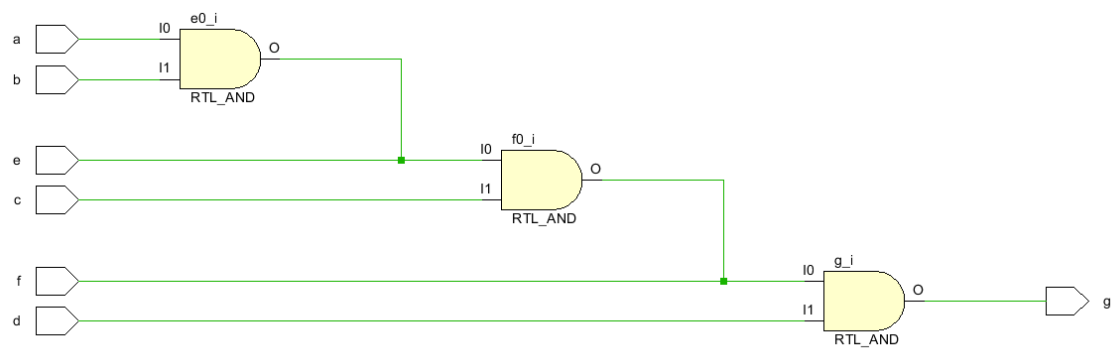
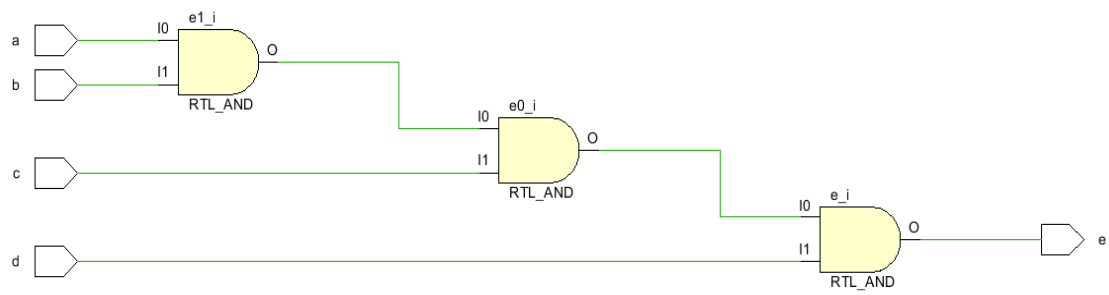




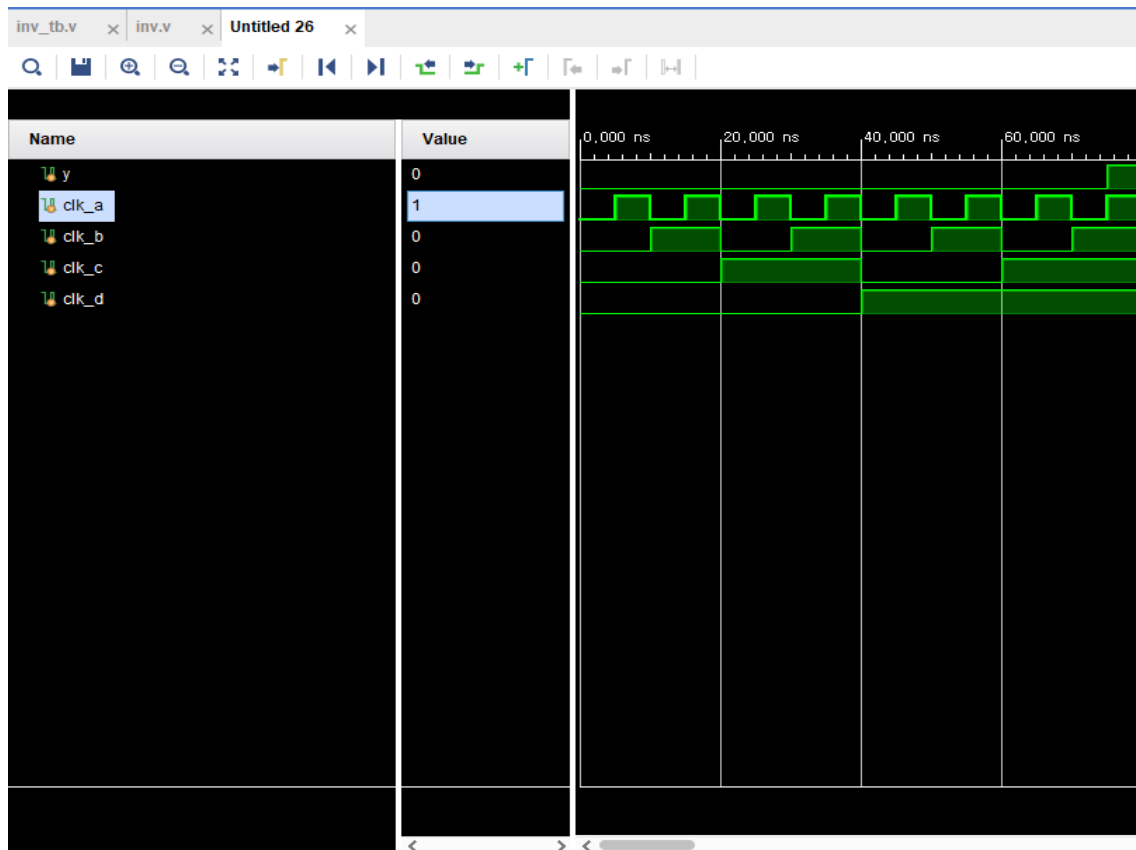
simulation 결과를 통해 알 수 있듯, A와 B의 차이 없이 동일한 결과가 나왔고, AND 게이트인 만큼 input인 a,b,c 모두 1인 경우에만 output인 y가 1로 변화했고, 다른 상황에서는 항상 0을 유지한다. 즉, 3-input and gate의 경우 세 input 모두 1이어야 1이 출력되고, 아닐 경우 0이 출력된다. 그 결과를 진리표로 표현하면 아래와 같고, result of d의 경우 a와 b의 and 연산이 진행된 결과가 temp에 저장되므로, 이를 참조하면 되겠다.

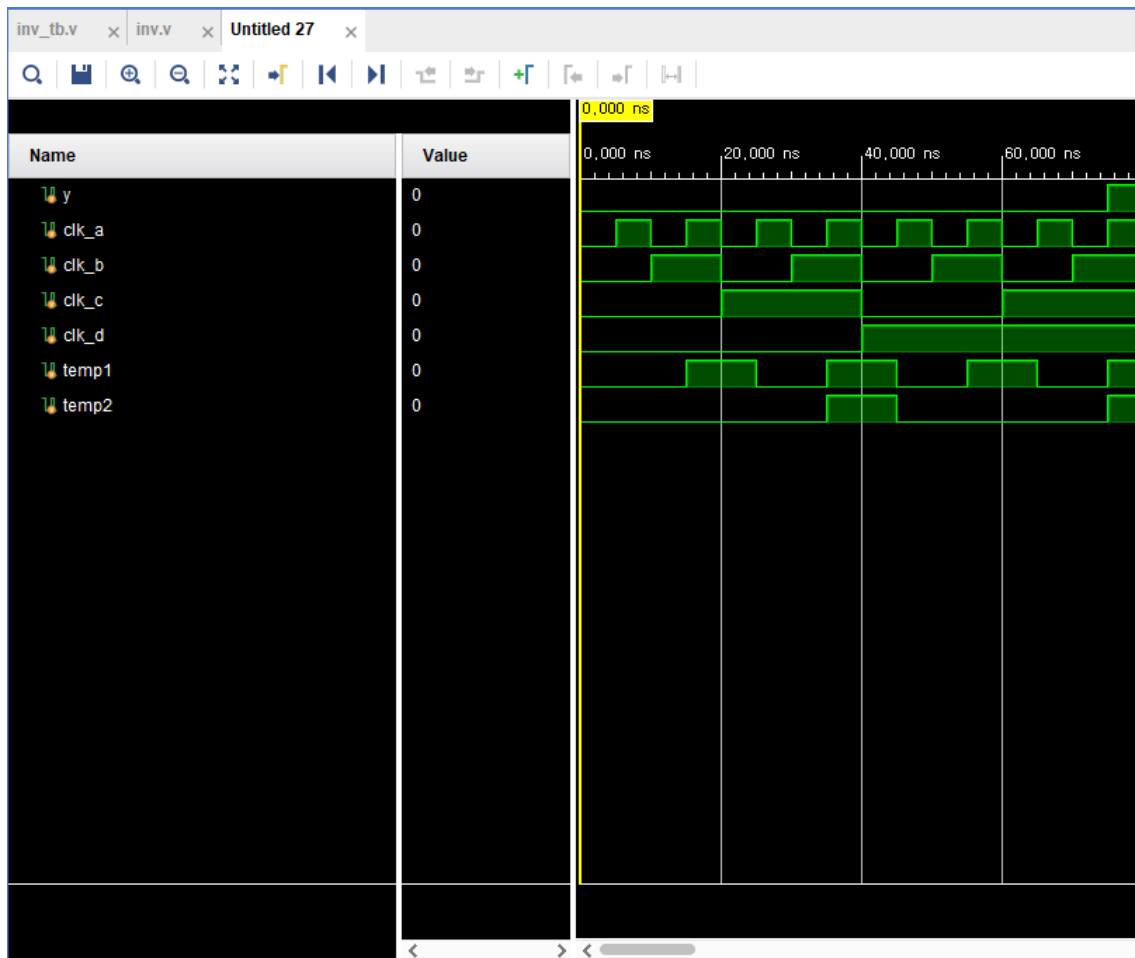
in A	in B	in C	out D	out E
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

4-input and gate의 A와 B 그림은 다음과 같다.



각각의 simulation 결과는 다음과 같다.



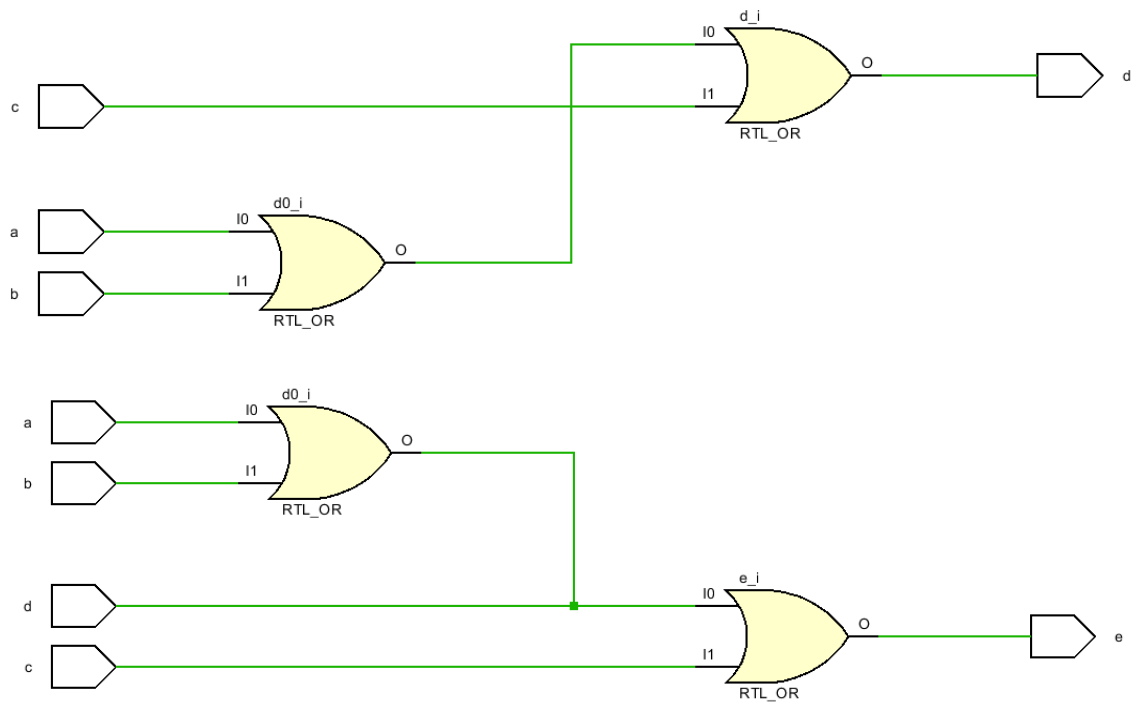


이번 결과 역시, A와 B 모두 동일한 결과를 보여주었다. simulation 결과를 보면, 4가지 input a,b,c,d 모두 1인 경우에만 output인 y의 값이 1이고, 다른 경우 전부 0으로 유지되었다. 즉, 4-input and gate의 경우 4가지 input 모두 1이어야 1을 출력하고, 아니면 0을 출력한다. 결과를 진리표로 표현하면 아래와 같고, 이때 out D와 out E는 각각 temp1, temp2의 값의 변화를 참조하면 된다.

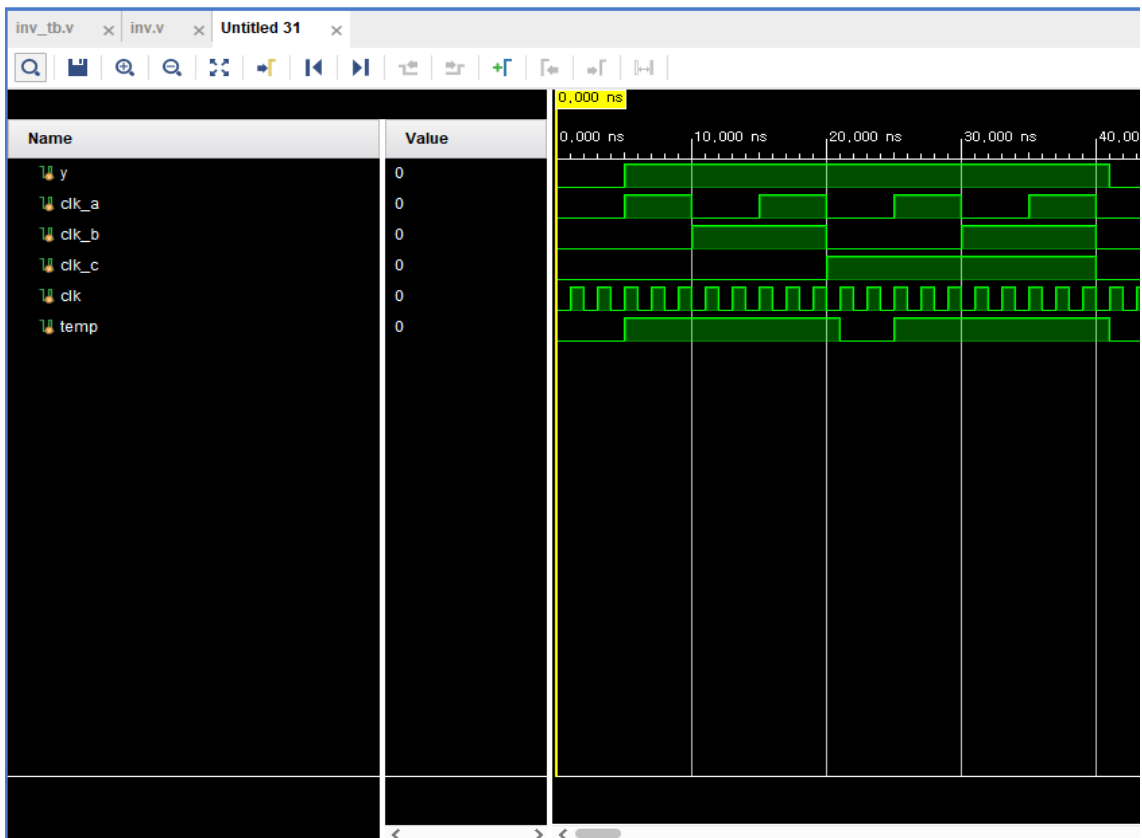
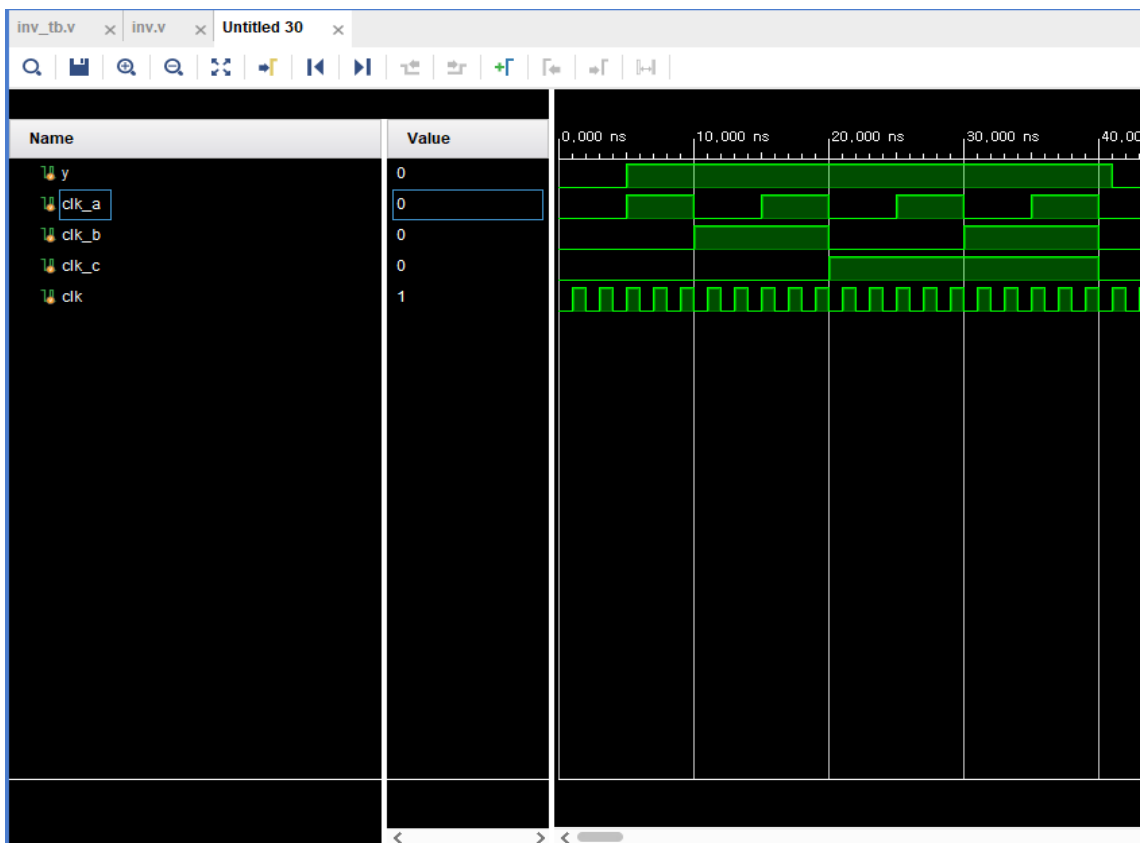
in A	in B	in C	in D	out E	out F	out G
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	0	0	0
0	1	1	1	0	0	0
1	0	0	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0

1	1	1	0	1	1	0
1	1	1	1	1	1	1

3-input or gate의 A와 B 그림은 아래와 같다.



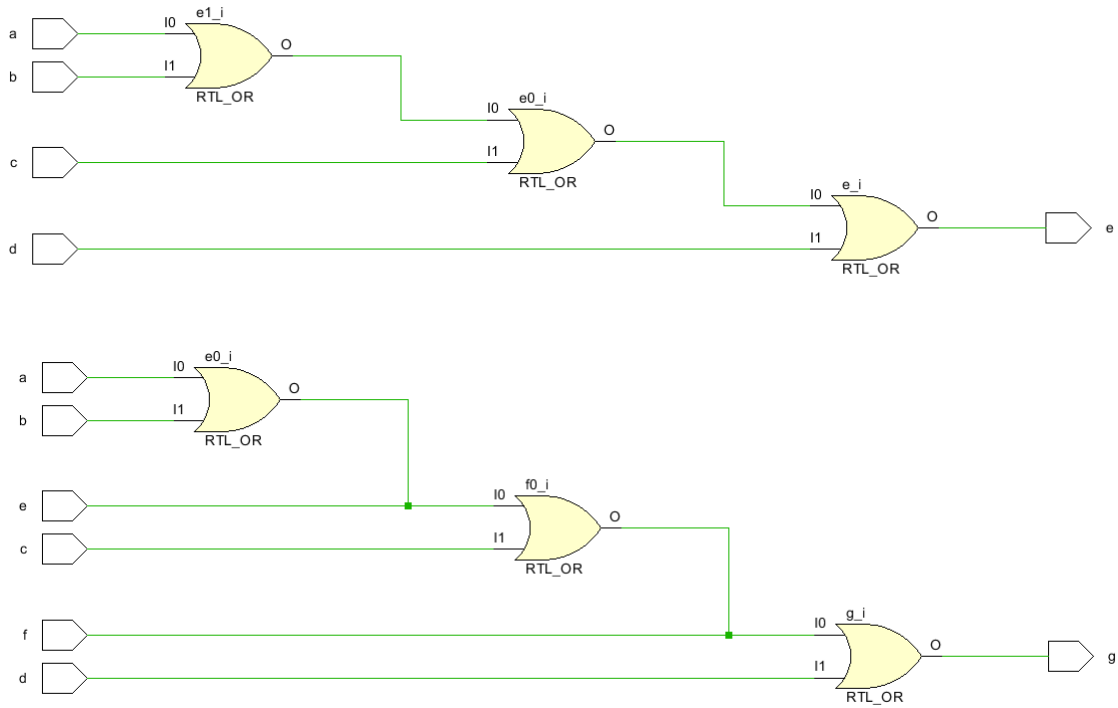
simulation 결과는 아래와 같다.



위 simulation 결과를 통해 A와 B에 차이가 없는 것을 볼 수 있고, OR gate의 경우 3가지 input 중 하나라도 1이면 output이 1이 출력되고, 전부 0일때만 0이 출력된다는 걸 확인할 수 있다. 결과를 진리표로 정리하면 다음과 같다. out D의 경우 역시 temp를 참고한다.

in A	in B	in C	out D	out E
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

4-input or gate의 A와 B의 그림은 아래와 같다.



simulation 결과는 아래와 같다.

이번 역시 A와 B 모두 동일한 결과가 나오는 걸 확인할 수 있고, 4가지 input a,b,c,d중 하나라도 1이면 output인 y가 1이고, 전부 0일경우만 0이 되는걸 확인 할 수 있다.
out D, E는 각각 temp1, temp2를 참조하면 아래와 같은 진리표가 나온다.

in A	in B	in C	in D	out E	out F	out G
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	0	1	1	0	1	1
0	1	0	0	1	1	1
0	1	0	1	1	1	1
0	1	1	0	1	1	1
0	1	1	1	1	1	1
1	0	0	0	1	1	1
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	1	1

종합해보면, ppt에서 제시한 A와 B 두 가지 종류의 게이트에 차이점은 존재하지 않으며, input 게이트는 모든 입력이 1이어야만 출력이 1이 되고, 나머지는 0이 출력된다. 반면, output 게이트는 모든 입력이 0이어야만 0이 출력되고, 나머지는 1이 출력된다.