

실험 Verilog-6: 예비보고서

전공: 컴퓨터공학

학년: 2

학번: 20171645

이름 박찬우

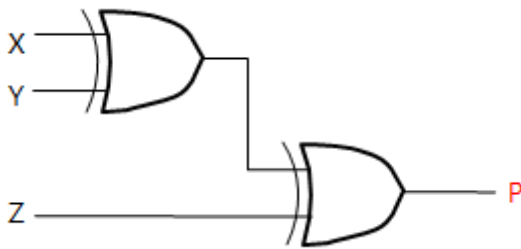
1. 목적

Parity Bit 생성기, 검사기, 검출기, 정정기 등과 비교기에 대해 이해한다.

2. 요구 사항

Parity Bit 생성기에 대해 조사하시오.

패리티 비트는 데이터 전달 과정에서 필연적으로 발생하는 데이터의 에러를 검출해 내는데 사용된다. 짝수 패리티의 경우 전체 전달되는 비트의 1의 갯수가 짝수인데, 예를 들면 전달하려는 4비트 단위 메시지 내용이
1/0/1일 경우 패리티 비트는 0 (1이 2개)
1/1/1일 경우 패리티 비트는 1 (1이 4개)
가 되는 식이다. 이처럼 3비트의 메시지를 짝수패리티를 가지고 보낼 경우 홀수함수를 통해 카르노맵을 그리고, 출력이 1이 되는 경우를 찾아 확인할 수 있다.
이처럼, 짝수 패리티에 대한 패리티 비트의 생성기는 다음과 같은 회로임을 알 수 있다.

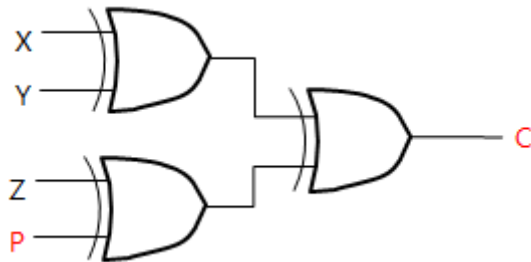


Parity Bit 검사기에 대해 조사하시오. (검사 부호 종류 포함)

이처럼 패리티 비트 P와 X,Y,Z가 수신자 측에 전달되면, 수신자는 이들에 대해 홀수합수를 취한다. 그럴 경우 아래와 같은 식이 성립한다.

$$X \oplus Y \oplus Z \oplus P = C$$

짝수 패리티이므로 결과값이 0이 되어야 정상이고, 결과값이 1일 경우 에러가 발생했음을 확인할 수 있다. 다음과 같은 과정을 따르는 패리티 검사기 회로는 다음과 같다.



위 경우 패리티 검사 부호는 짝수(even) 이고, 이에따라 선형 부호의 일종으로 all zero의 특성을 갖는다. 하지만, 홀수 패리티의 경우 검사 부호가 홀수(odd)이고 all zero 부호가 존재하지 않으므로 선형 부호가 아님을 유념해야한다.

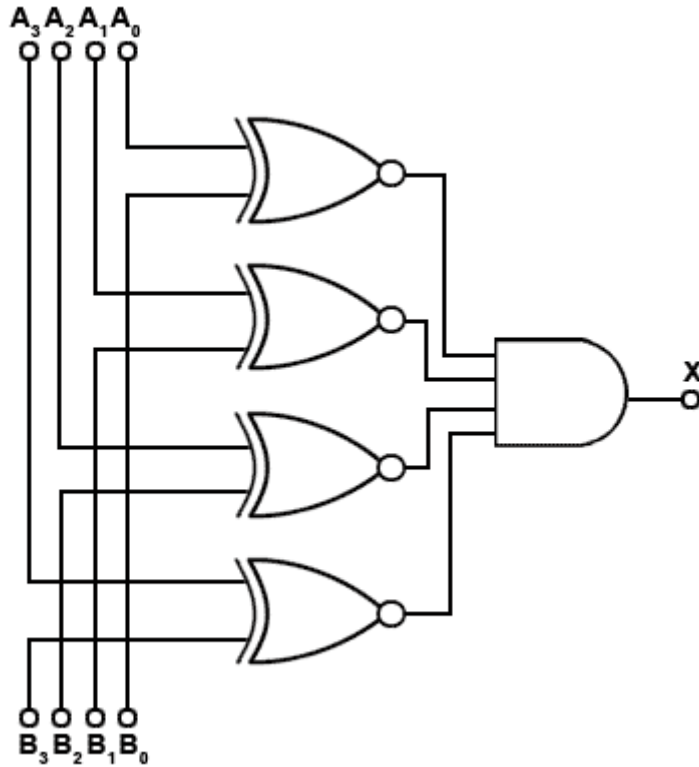
Parity Bit 검사기 외의 다른 오류 검출기 및 오류 정정기를 조사하시오.

패리티 검사 외에도 주요한 다른 방식중 검사합(Checksum)이라는 오류검출 방법이 있다. Checksum의 경우 송신측에서 전송할 모든 데이터를 16비트 워드 단위로 구분하고, 1의 보수를 취해 그 합에 대한 결과를 전송하면 수신측에서 같은 합을 해보아 오류를 검출하는 방식이다. 상당히 간단하다는 장점이 있지만, 워드 순서가 달라지는 오류는 검출하지 못한다는 단점이 있어, CRC라는 다른 오류검출 방식으로 대체되는 추세이다. 하지만 구현의 편리성으로 인해 아직 일부 사용중에 있다.

CRC는 순환중복검사라고도 하는데, 송신측에서 데이터에 대해 특정 다항식으로 나눈 결과를 여분의 FCS(Frame Check Sequence)에 덧붙여 보내면 수신측에서 동일한 방법으로 계산한 결과와 일치하는지 확인해 오류를 검사하는 기술이다. random한 오류뿐만 아니라 burst 오류에서도 오류를 추출하는 능력이 뛰어나고, 하드웨어로 구현하기도 어렵지 않아 많이 사용되는 방법이다.

N bit 비교기에 대해서 조사하시오.

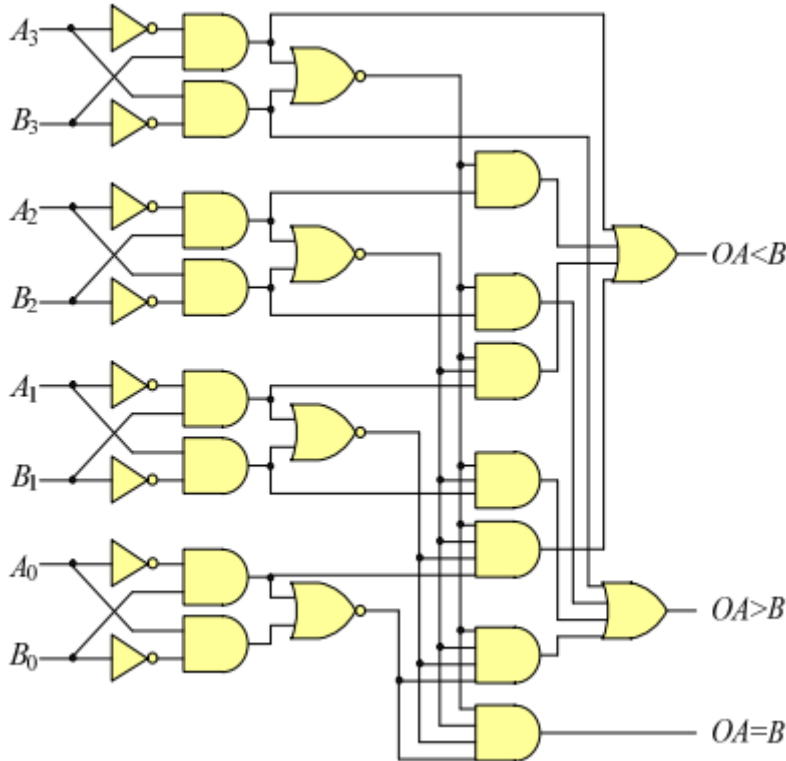
exclusive-or gate가 두 입력이 다를때 1을, 같을때 0을 출력하므로 이를 기본적인 비교기로 이용할 수 있다. 이를 응용하여, 두 input의 각 bit를 exclusive-or gate와 nor gate를 통해 비교해 두 input이 같은지 다른지를 확인할 수 있다. exclusive-or gate와 nor gate는 exclusive-nor gate와 and 게이트로 대체할 수 있다. 이와 같은 예시는 아래와 같은 회로에서 확인할 수 있다.



위 그림은 4-bit 비교기로, 4bit의 두 수 A,B의 각 자리를 exclusive-nor gate를 통과시켜 and gate를 통해 같은지 다른지 확인할 수 있다.

IC 7485 비교기에 대하여 조사하시오.

IC 7485 비교기는 4비트 비교기로, 아래와 같은 회로도를 따른다.



7485는 A3-A0와 B3-B0의 크기를 비교하여,

A>B일때 AGBO의 출력이 1,

A<B일때 ALBO의 출력이 1,

A=B일때 AEBO의 출력이 1이된다.

확장입력 AGBI, ALBI, AEBI는 LSB로 입력되며, 아랫단의 AGBO, ALBO, AEBO의 출력이 윗단의 AGBI, ALBI, AEBI의 입력이 된다. 맨 아랫단의 AGBI, ALBI는 0을 AEBI는 1을 입력한다.

이러한 IC 7458의 진리표는 아래와 같이 정리할 수 있다.

입 력							출 력		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	AGBI	ALBI	AEBI	AGBO $A>B$	ALBO $A<B$	AEBO $A=B$
$A_3>B_3$	X	X	X	X	X	X	1	0	0
$A_3<B_3$	X	X	X	X	X	X	0	1	0
$A_3=B_3$	$A_2>B_2$	X	X	X	X	X	1	0	0
$A_3=B_3$	$A_2<B_2$	X	X	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	X	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	0	0	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	0	1	1	0

기타이론

홀수 함수란 여러 변수에 대한 XOR을 말한다. XOR은 2개의 변수를 비교할 때만 XOR이라고 지칭하고, 3개 이상의 변수를 비교하는 경우 홀수함수라고 말한다. 3변수 X,Y,Z에 대한 홀수 연산의 경우,

$$X \oplus Y \oplus Z$$

$$(\overline{X \oplus Y})Z + (X \oplus Y)\overline{Z}$$

$$(\overline{X}\overline{Y} + XY)Z + (\overline{X}Y + X\overline{Y})\overline{Z}$$

$$\overline{X}\overline{Y}Z + XYZ + \overline{X}Y\overline{Z} + X\overline{Y}\overline{Z}$$

와 같은 식으로 정리할 수 있고, 이를 카르노맵으로 나타내면,

X \ YZ		00		01	
		10		11	
X	0		1		1
	1	1		1	

다음과 같이 정리할 수 있다. 짝수함수의 경우 카르노맵 상에서 보수를 취해주면 된다.