

## 실험 Verilog-4: 결과보고서

전공: 컴퓨터공학

학년: 2

학번: 20171645 이름 박찬우

### 1. 목적

Verilog를 통해 De-Morgan의 법칙과 Boolean Expression, 1bit 비교기에 대해 이해한다.

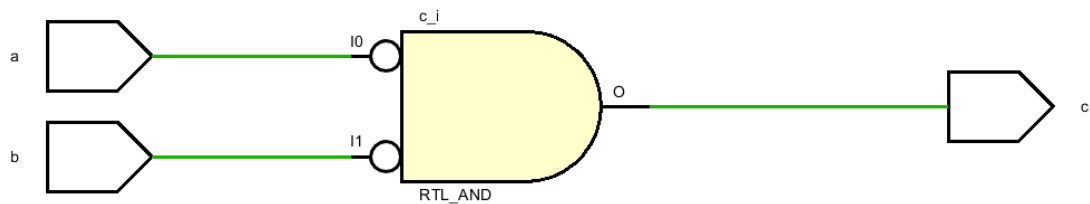
### 2. 요구 사항

1) De-Morgan의 제 1,2법칙의 simulation 결과 및 과정에 대해서 설명하시오.

다음은 드모르간의 제1법칙을 확인하는 회로의 design이다.

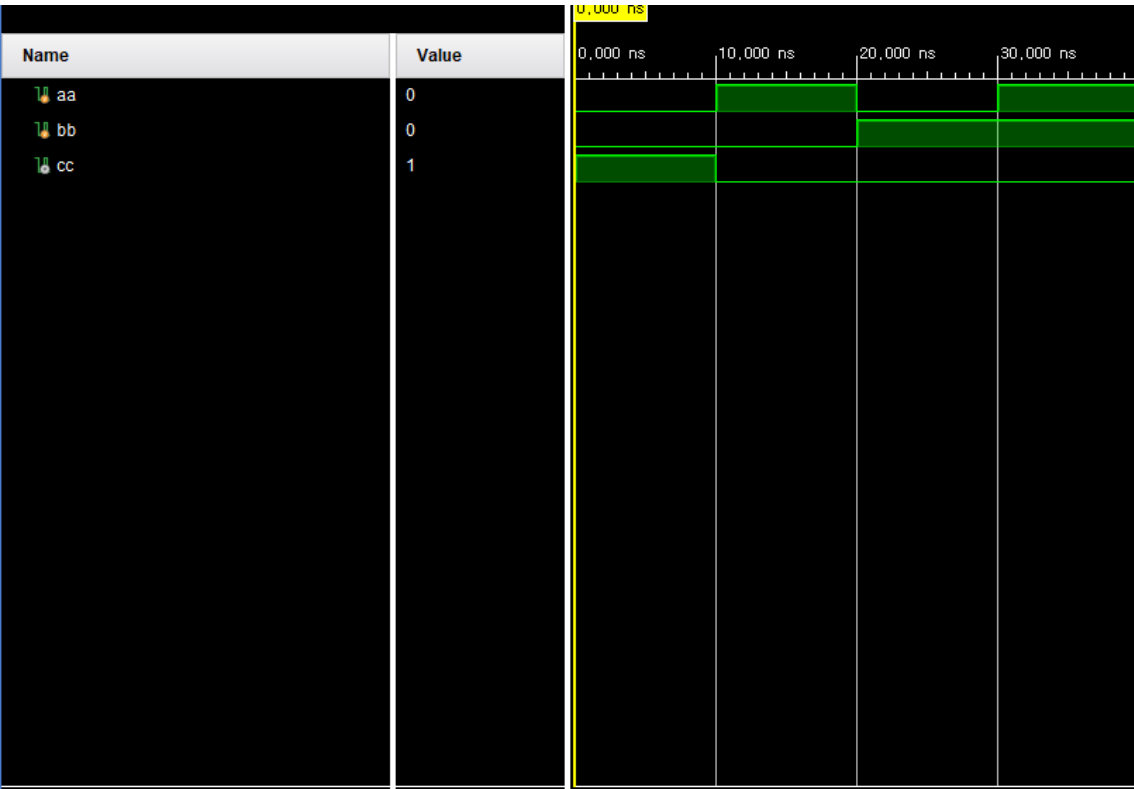
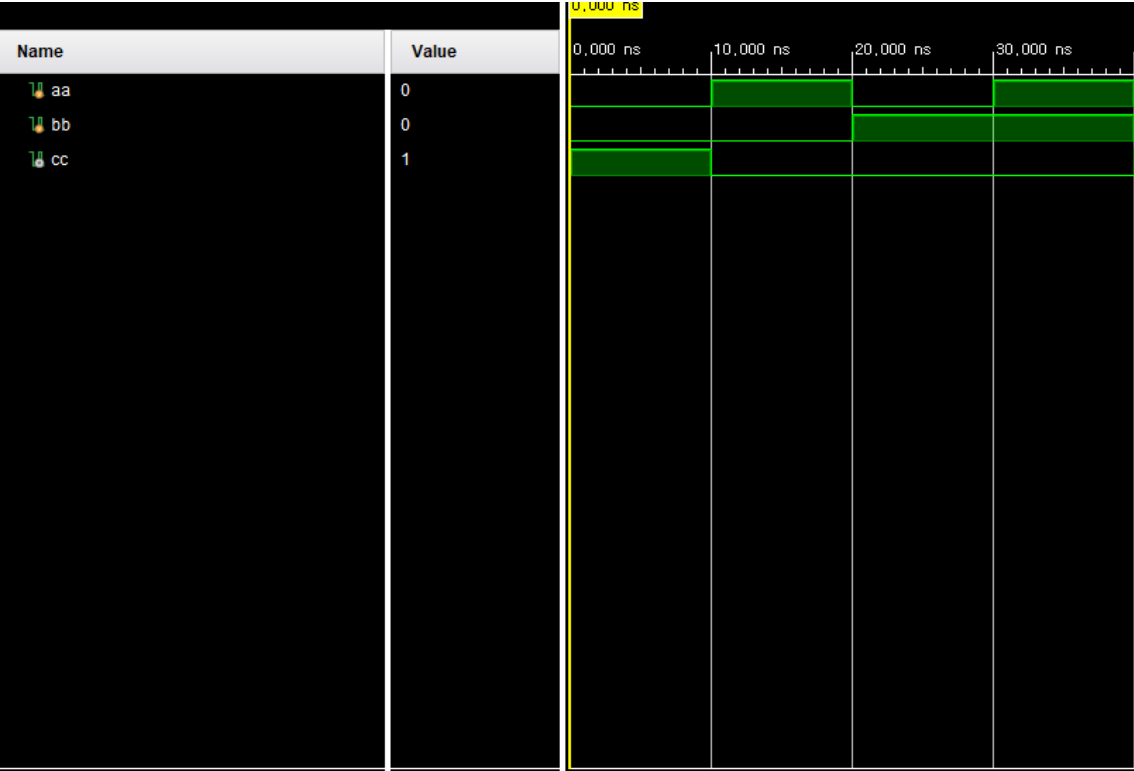


위 회로는  $\sim(A \mid B)$  혹은  $\sim(A + B)$  를 나타낸다.



위 회로는  $(\sim A) \& (\sim B)$  혹은  $(\sim A) * (\sim B)$  를 나타낸다.

다음 두 회로의 simulation 결과는 각각 다음과 같다.



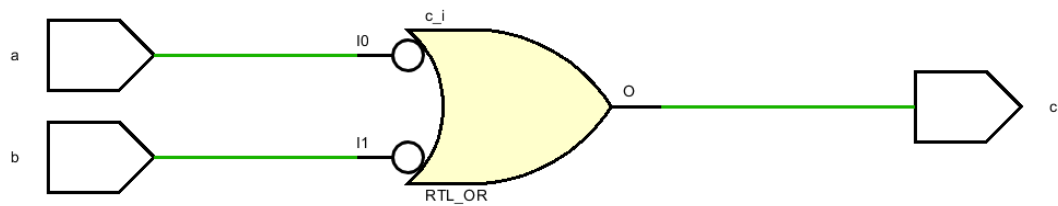
두 회로의 simulation 결과가 완전히 동일한 것을 확인할 수 있다. 즉, 드모르간의 제1법칙이 성립함을 알 수 있다.

이때, 두 결과 모두 input이 모두 0일때 output이 1이고, 둘중 하나라도 1이면 output이 0이 나오는 걸 simulation 결과를 통해 확인할 수 있는데, 이는 지난 4주차에 학습한 gate 중 하나인 NOR gate와 동일한 logic임을 알 수 있다. 즉, 드모르간의 제1법칙 결과는 모두 NOR gate 결과와 동일하다는 걸 확인할 수 있다.

이번에는 드모르간의 제2법칙을 확인하는 회로의 design이다.

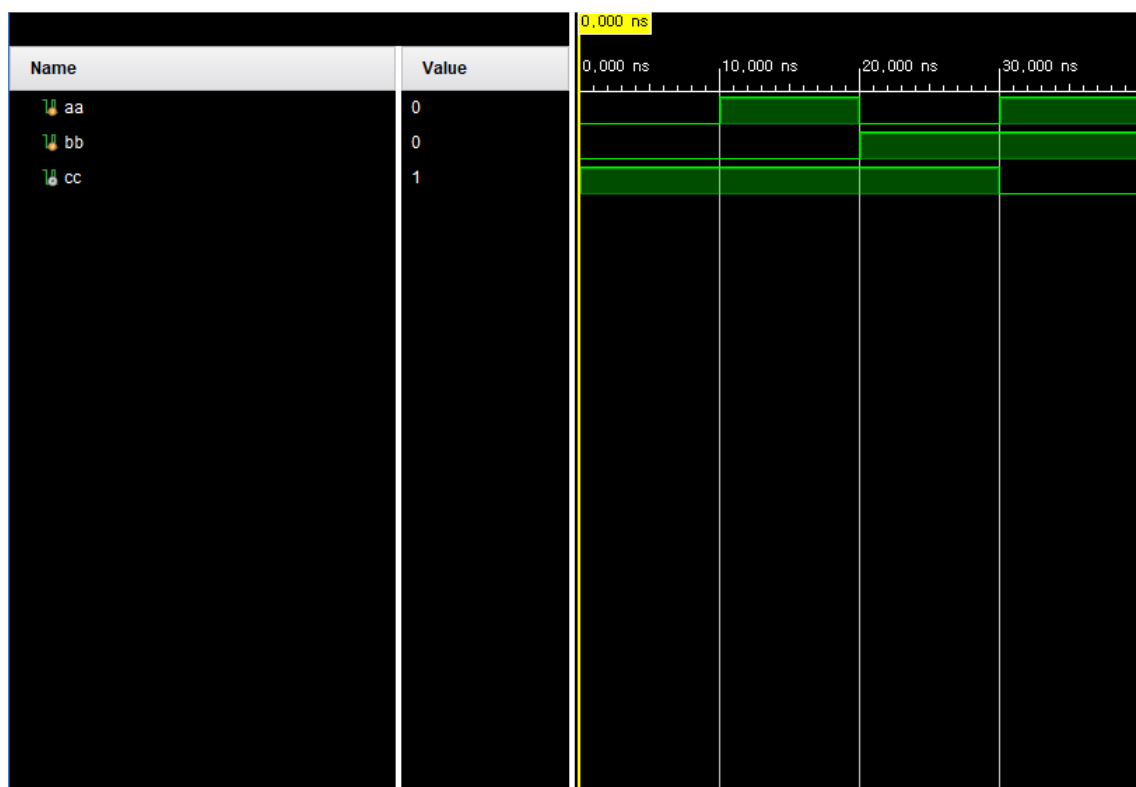
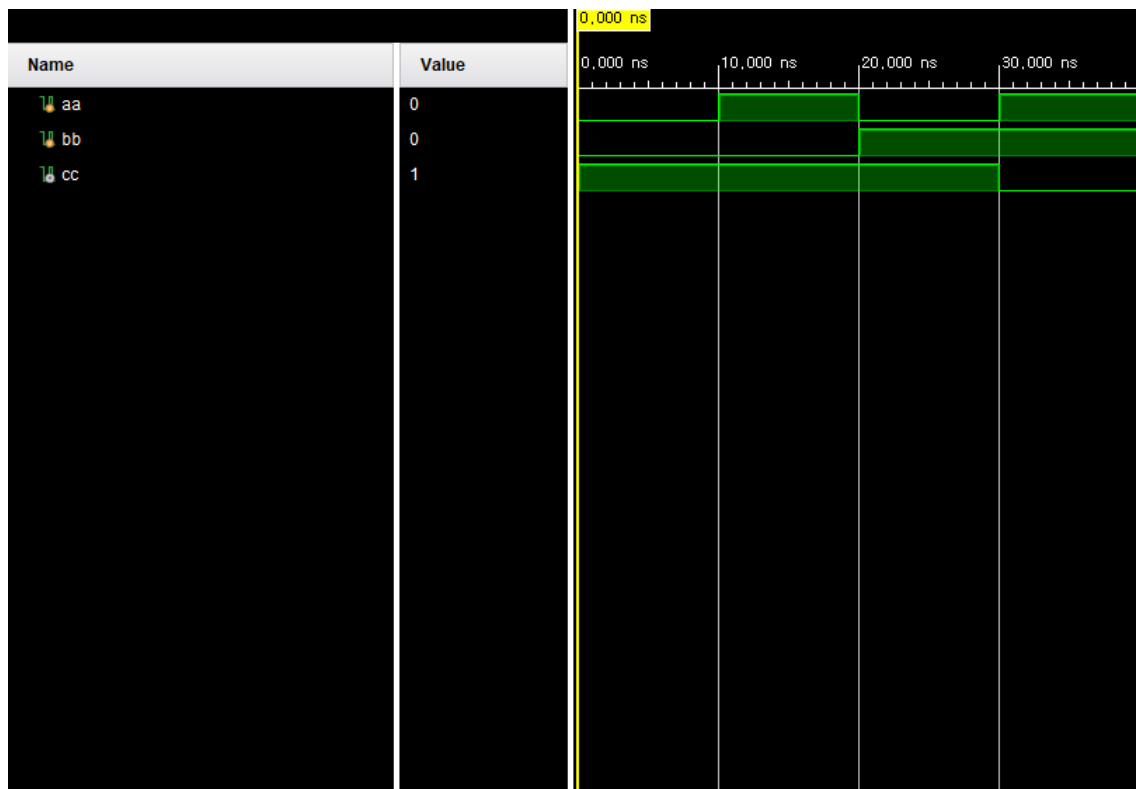


위 회로는  $\sim (A \& B)$  혹은  $\sim (A * B)$  를 나타낸다.



위 회로는  $(\sim A) | (\sim B)$  혹은  $(\sim A) + (\sim B)$  를 나타낸다.

두 회로의 simulation 결과는 아래와 같다.



두 simulation의 결과가 완전히 동일한 것을 확인할 수 있다. 즉, 드모르간의 제2법칙 역시 성립함을 확인할 수 있다.

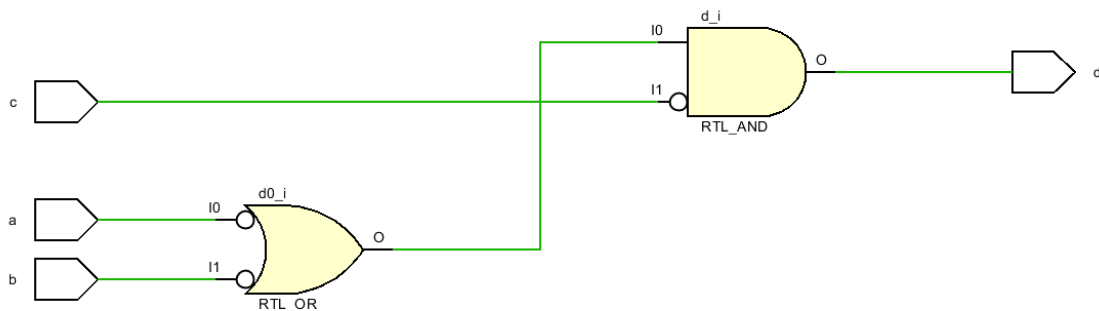
이때, 두 결과 모두 input이 모두 1일때 output이 0이고, 둘중 하나라도 0이면 output이 1이 나오는 걸 simulation 결과를 통해 확인할 수 있는데, 이는 지난 4주차에 학습한 gate 중 하나인 NAND gate와 동일한 logic임을 알 수 있다. 즉, 드모르간의 제1법칙 결과는 모두 NAND gate 결과와 동일하다는 걸 확인할 수 있다.

이렇게 얻은 결과를 바탕으로 작성한 진리표는 다음과 같다.

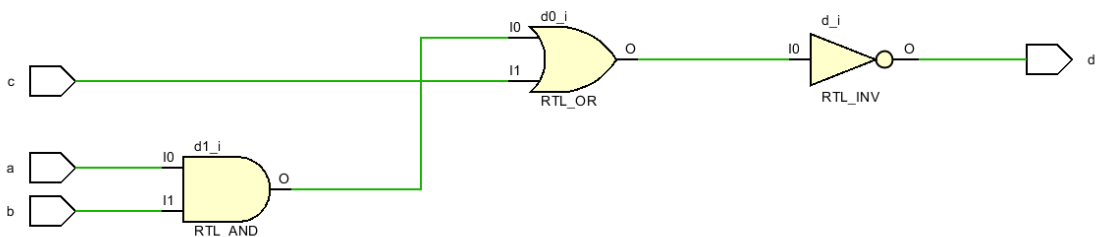
A	B	A+B	A*B	A'	B'	(A+B)'	A'*B'	(A*B)'	A'+B'
0	0	0	0	1	1	1	1	1	1
0	1	1	0	1	0	0	0	1	1
1	0	1	0	0	1	0	0	1	1
1	1	1	1	0	0	0	0	0	0

2)  $(A' + B') * C' = ((A * B) + C)'$  의 simulation 결과 및 과정에 대해서 설명하시오. + 와 \* 위치를 바꾼 모양에 대해서도 설명하시오.

위 식을 구현한 회로의 desing은 다음과 같다.

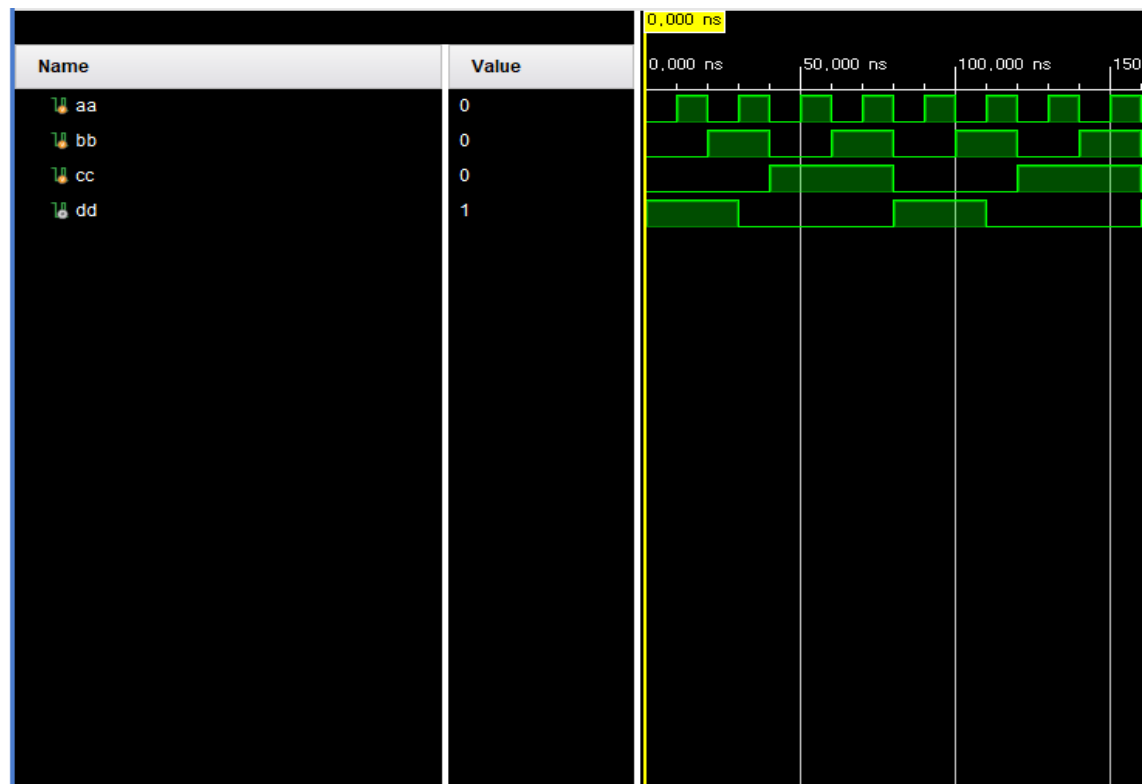
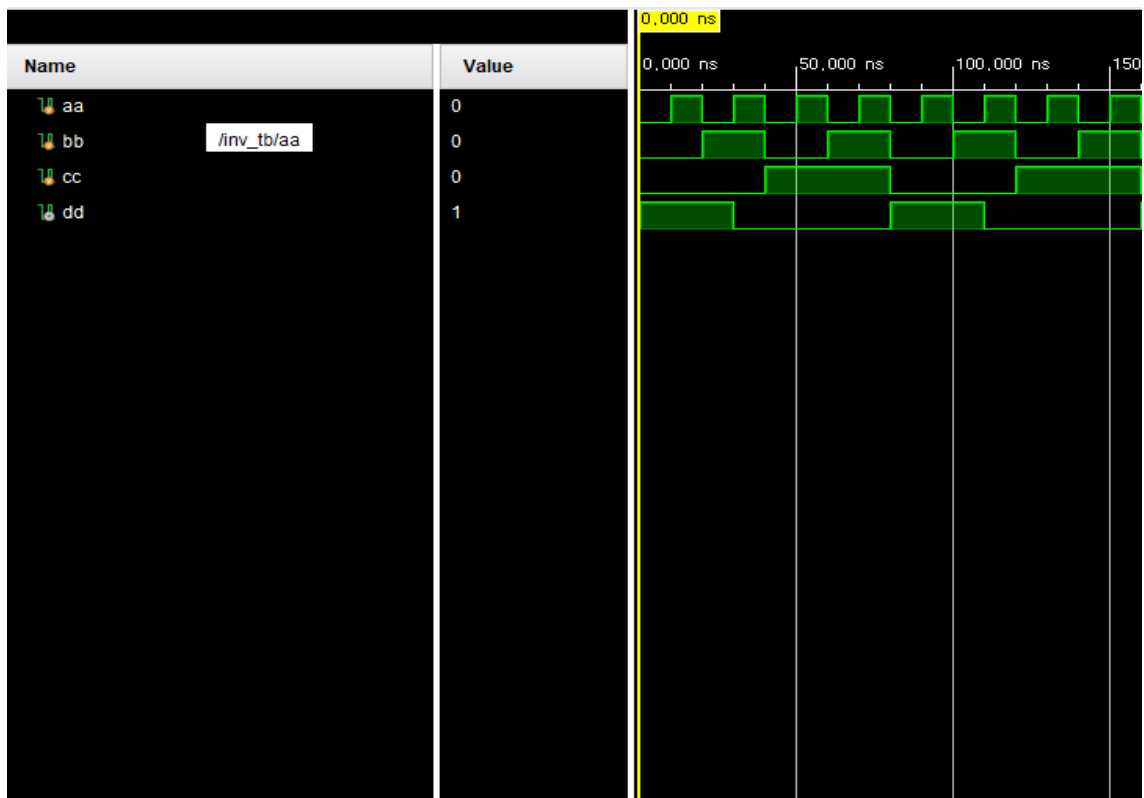


위 회로는  $(A' + B') * C'$  을 나타낸다.



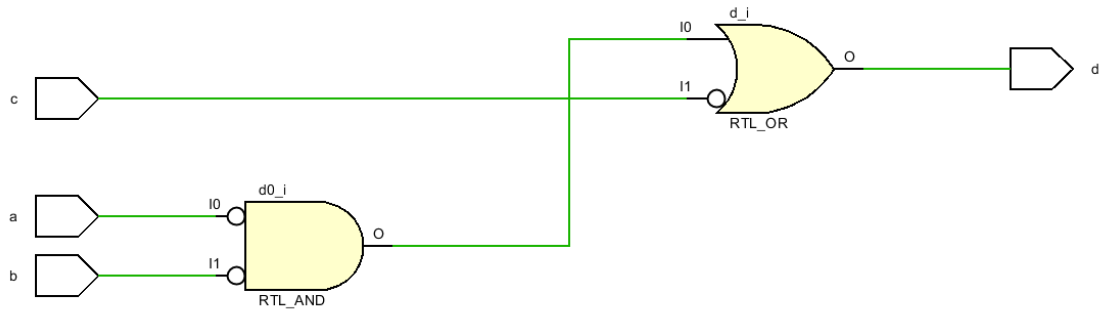
위 회로는  $((A * B) + C)'$  을 나타낸다.

다음 두 회로의 simulation 결과는 아래와 같다.

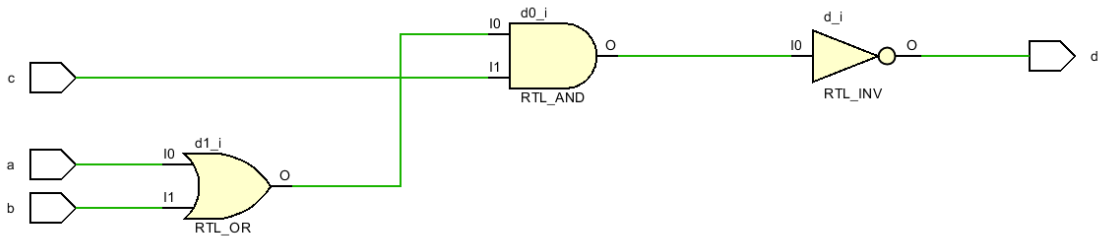


두 회로의 결과가 완전히 동일함을 확인할 수 있다. 즉,  $(A' + B') * C' = ((A * B) + C)'$  등식은 성립함을 알 수 있다.

다음은  $(A' * B') + C' = ((A + B) * C)'$  등식이 성립하는지를 확인한다.

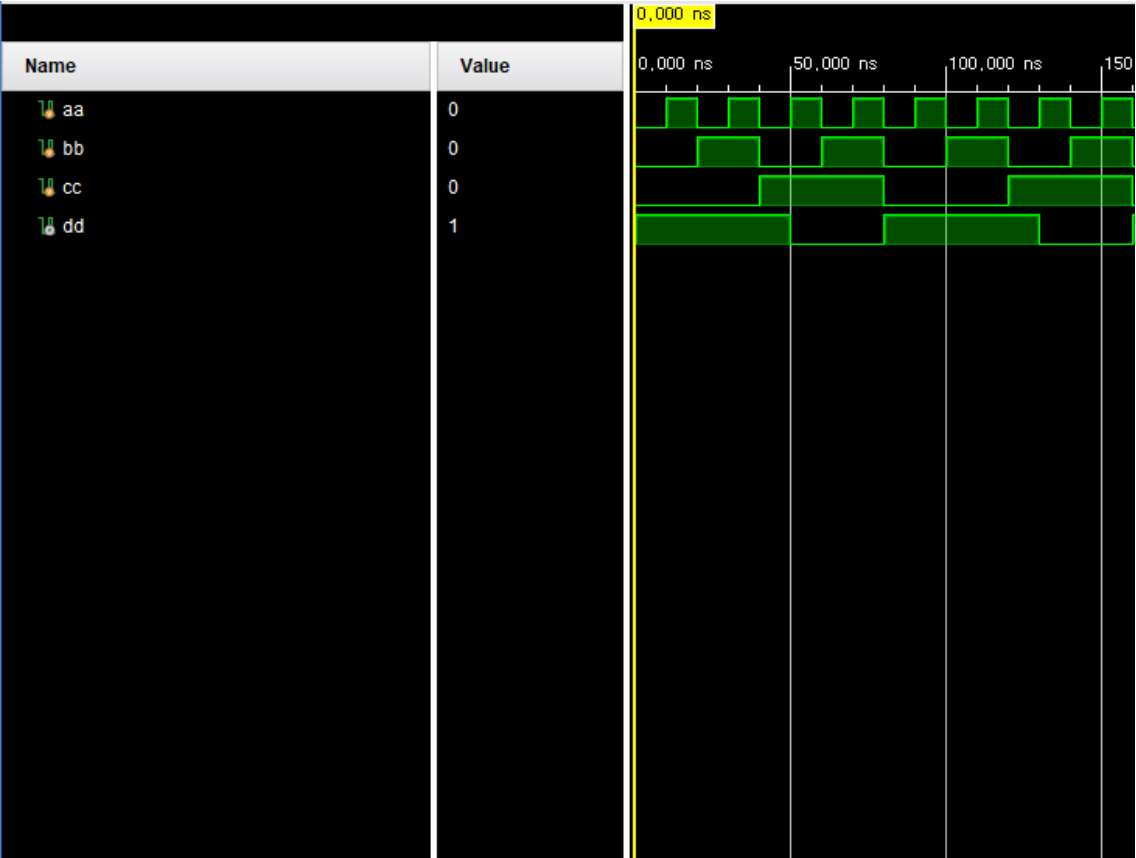
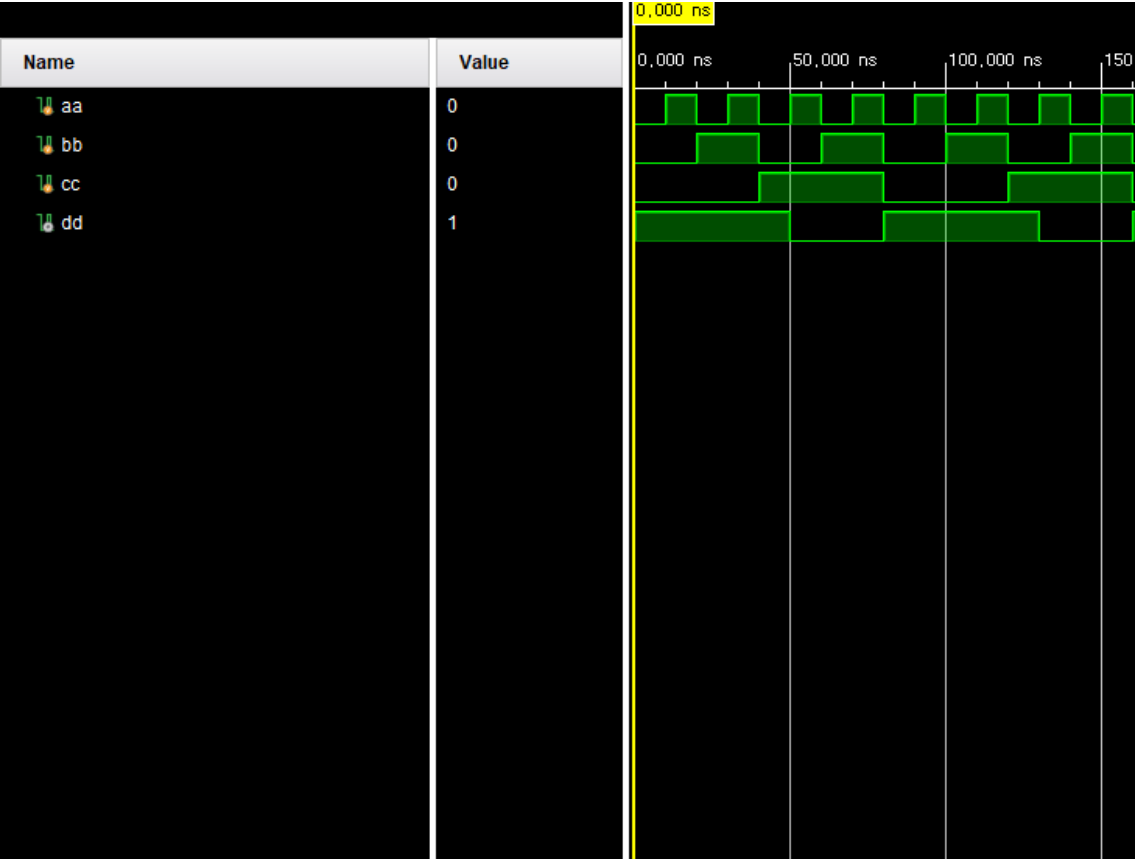


위 회로는  $(A' * B') + C'$  을 나타내는 회로이다.



위 회로는  $((A + B) * C)'$  을 나타내는 회로이다.

두 회로의 simulation 결과는 아래와 같다.

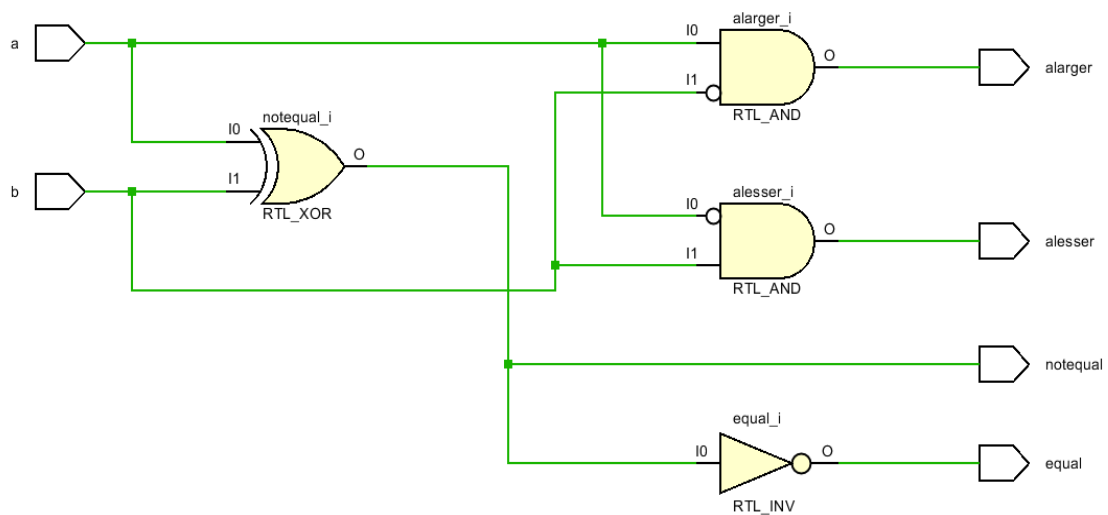




두 simulation의 결과가 완전히 동일함을 확인할 수 있다. 즉,  $(A' * B') + C' = ((A + B) * C)'$  등식이 성립함을 확인할 수 있다.

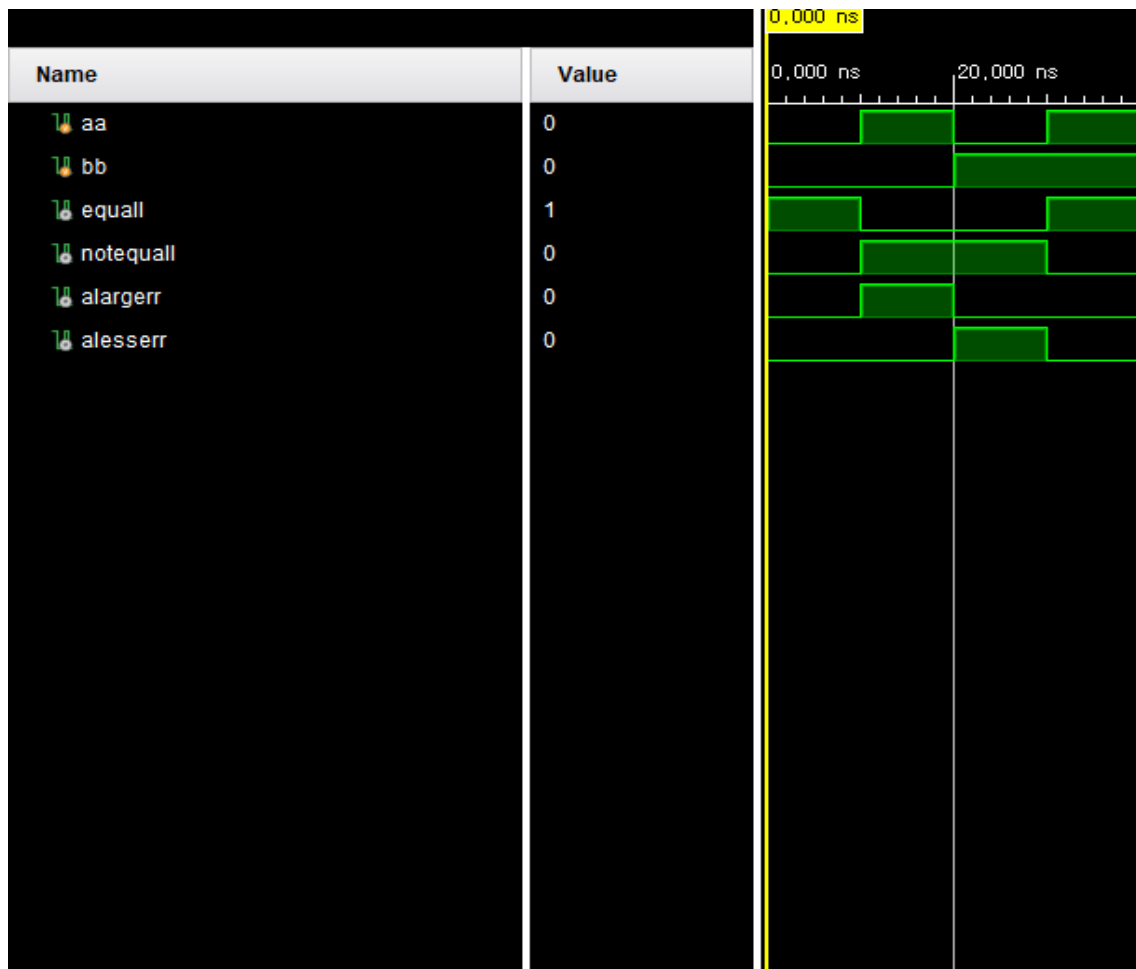
### 3) 1Bit 비교기의 simulation 결과 및 과정에 대해 설명하시오. (2 input, 4 output)

1bit 비교기를 구현한 회로의 design은 아래와 같다.



a와 b의 값을 비교해서 같을경우 equal output이 1이되고, 다를경우 notequal output이 1이 된다. a와 b의 값을 비교했을때 a가 크면 alarger output이 1이되고, a가 작으면 alesser output이 1이 되는 회로이다.

다음과 같은 회로를 바탕으로 simulation한 결과는 다음과 같다.



위 결과를 보면, a,b가 모두 0일때 equal은 1이고, notequal은 0이다. alarger 및 alesserr 역시 0이다. a가 1, b가 0일때는 notequal 및 alarger이 1이고, a가 0, b가 1일때는 notequal 및 alesserr가 1임을 확인할 수 있다. 둘 모두 1일때는 equal이 1이 됨이 보인다.

다음과 같은 결과를 진리표로 작성하면 다음과 같다.

A	B	A=B	A!=B	A>B	A<B
0	0	1	0	0	0
0	1	0	1	0	1
1	0	0	1	1	0
1	1	1	0	0	0