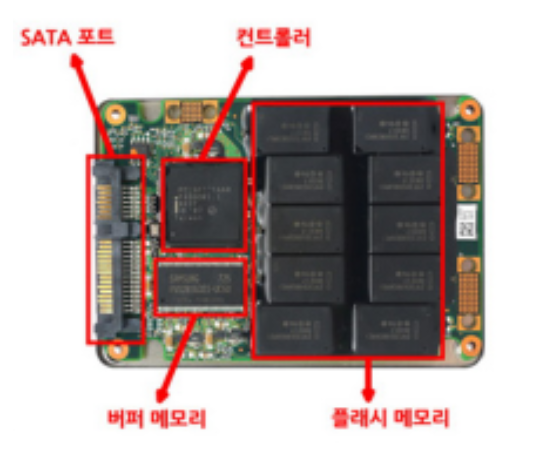
Quiz #4

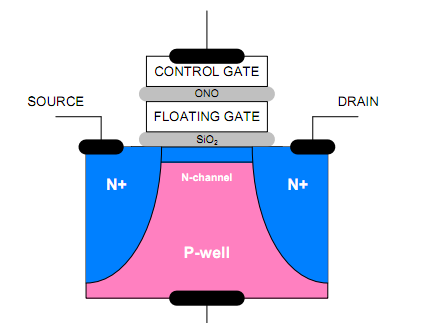
학번: 20171645 이름: 박찬우

1. SSD의 구조 및 구동과정을 조사한 뒤 정리하시오.

SSD의 내부는 PC와 연결되는 인터페이스, 데이터 저장용 플래시 메모리, 인터페이스와 메모리 사이의 데이터 교환 작업을 제어하는 컨트롤러, 외부 장치와 SSD 사이의 처리 속도 차이를 줄여주는 버퍼메모리로 구성되어있다.



SSD는 플래시 메모리의 셀에 전압을 주어 전자를 메모리 셀에 채우고 비우는 과정으로 데이터 읽기, 쓰기, 삭제 동작을 수행한다. 이때 절연체인 화산막에 갇혀있어 전자가 빠져나가지 않고 그 안에 유지되기 때문에 데이터 읽기가 가능하다.



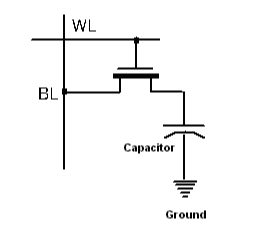
플래시 메모리의 셀에 큰 전압을 주게 되면, 강력한 자기장이 발생하고 그 영향으로 전자의 일부가 산화막을 통과하며 SSD의 플로팅 게이트로 주입된다. 이를 터널 주입이라고 하는데, 이렇게 갇힌 전자는 전기가 공급되지 않아도 그대로 유지가 된다. 이러한 과정으로 쓰기 작업이 이루어진다.

반대로, 큰 전압을 줘 강력한 자기장으로 갇힌 전자를 다시 비우게 되면 데이터 삭제 작업이 이루어지게 된다. 만약 플래시 메모리 셀 안의 전하량을 측정하게 되면, 측정량을 바탕으로 내부의 데이터를 파악할 수 있다. 이러한 과정으로 읽기 작업이 이루어진다.

1. RAM의 구조 및 구동과정을 조사한 뒤 정리하시오.

RAM은 크게 DRAM과 SRAM으로 나눌 수 있다.

DRAM(Dynamic Random Access Memory)는 1개의 트랜지스터와 capacitor로 구성되어있고, 비트 라인(BL)과 워드 라인(WL)이 존재한다.



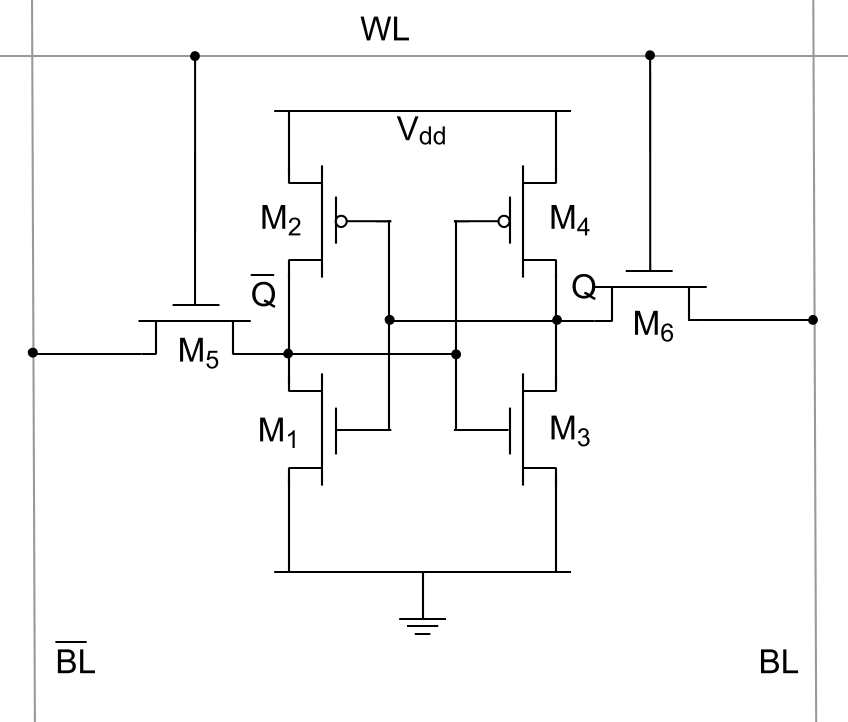
DRAM에서 WL에 high 신호를 인가해 트랜지스터를 ON 상태로 만들어 준 후, BL에 쓰려고 하는 데이터의 전압값인 VDD를 인가시켜준다. 데이터가 1이면 capacitor는 충전되고, 데이터가 0이면 capacitor는 전압을 방출하게 되는데, 이런 방식으로 데이터 쓰기 과정이 이루어진다.

DRAM에서 WL에 high 신호를 인가해 트랜지스터를 ON 상태로 만들어 준 후, 이번에는 BL에 VDD/2 를 인가시켜 주면, DRAM의 데이터 값에 따라 서로 다른 결과가 나오게 된다.

만약 DRAM 데이터 값이 1이면 capacitor의 전하들이 BL 쪽으로 서서히 이동하면서 VDD/2 값이 약간씩 증가하게된다. 반대로, DRAM의 데이터 값이 0이면, VDD/2 의 전하들이 capacitor 쪽으로 이동하며 VDD/2 값이 조금씩 감소할 것이다.

이렇게 발생되는 전위차를 바탕으로 해당 데이터 값이 0인지 1인지 판단하게 되는데, 이러한 방식으로 데이터의 읽기 과정이 이루어진다.

SRAM(Static Random Access Memory)은 4개의 트랜지스터와 2개의 인버터로 구성되어있다. 또한, DRAM처럼 BL과 WL이 존재한다.



WL에 high 신호를 인가하고 BL에 1을, ~BL에 0을 입력하게 되면 첫번째 인버터에 1이 들어가 0을 출력하고, 0을 두번째 인버터가 입력받아 1을 출력해 A의 입력으로 들어가게 된다. 이러한 상태에서 WL 신호를 Low로 바꾸게되면, 양쪽의 NMOS는 OFF되어 새로운 데이터가 들어가거나 나갈 수 없게 되는데, 그렇게되면 인버터에서 데이터가 1과 0으로 계속해서 돌게된다. 이렇게 되면 전원이 차단되지 않는 한 데이터가 사라지지 않고 계속 유지되게 된다. 이런 과정으로 SRAM에서의 쓰기 동작을 수행한다.

따라서, WL에 1을 입력하면 양쪽의 NMOS가 다시 ON되어 인버터의 출력값이 BL로 나오게된다. 이 데이터를 읽음으로써 SRAM에서의 읽기 동작을 수행한다.