

晶圓級封裝凸塊介電層製程技術之改進

蔡佳星¹、張嘉蒂^{2,3}、洪明億²、陳勁宏²、何宗漢^{2*}

¹日月光半導體製造股份有限公司

²國立高雄應用科技大學化學工程與材料工程系

³敏惠醫護管理專科學校

*通訊作者電子郵件：E-mail: thho@cc.kuas.edu.tw

摘要

晶圓級封裝 (Wafer Level Packaging, WLP) 製程中的凸塊製程 (Bumping) 在重佈線路 (Redistribution) 製程時，因電鍍銅的線路與重新塗佈聚合物介電層 (Polymer Dielectric layer) 間的黏著度不好，易造成聚合物介電層與線路分層 (delamination) 的缺陷。此分層缺陷不僅造成產品在長期可靠度測試中失敗，然而在可靠度溫度循環測試 (Thermal Cycling Test, TCT) 過程中，因材料間之熱膨脹係數的差異，導致裂縫 (Crack) 現象的產生於線路與重新塗佈高分子保護層之間，而影響產品功能及壽命。本研究針對電鍍銅的表面粗糙度 (Surface Roughness)，使用電漿去殘膠機 (Descum) 調整製程參數 Ar 蝕刻時間與 RF power 瓦數去增加電鍍銅的表面粗糙度來改善電鍍銅線路與重新塗佈聚合物介電層間的黏著度，並利用原子力顯微鏡 (AFM) 去量測電鍍銅表面粗糙度，實驗結果得知 Ar 蝕刻時間 30 秒與 RF power 350 瓦可獲得最大的表面粗度 (Root-mean-square, R_q)，另外藉由掃描式電子顯微鏡 (SEM) 在產品完成覆晶凸塊與 ball mount 製程後確認有無發現有分層缺陷產生。

關鍵詞：晶圓級封裝、覆晶凸塊、介電層分層、電漿處理、表面粗糙度

1. 前 言

晶圓級封裝前段製程為晶圓凸塊 (Wafer Bumping)，就凸塊製程而言，其主要包括球下金屬層 (UBM : Under Bump Metallurgy) 與錫凸塊 (Solder Bump) 兩部份；在 UBM 的進階製程裡則引進線路重佈技術以調整元件的 I/O 位置，進而提升元件的結構穩定性。其產品就分為直接凸塊 (Direct Bump)、保護層重佈 (Re-passivation)、線路重佈 (Re-distribution) 三種結構。如圖 1.1 所示。以國內一線封裝廠產品為例，Direct Bump 細分為 Printing bump; Plating bump，Re-passivation 細分為 Ball drop (for WLCSP); Printing bump，Re-distribution 細分為 Sputtering (Al RDL); Plating (Cu RDL); aWLP (Fan in and out Cu RDL)。[1]

Bumping Product Structures

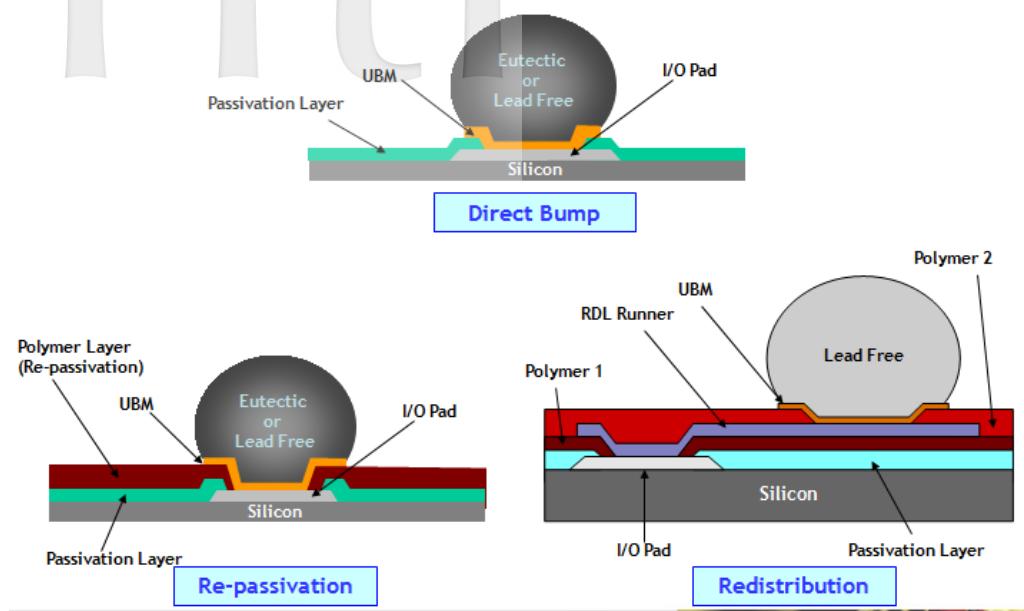


圖 1.1 凸塊產品型式結構圖[1]

凸塊製程在主要是在晶圓上進行介電層塗佈、焊點凸塊（Bump）與球下金屬層製備三種程序，本段中，將先介紹凸塊製程流程，其整個製程包含聚合物保護層區（Polymer Re-passivation）、UBM&RDL 濺鍍區（UBM&RDL Sputter）、黃光區（Photoresist）、UBM&RDL 蝕刻區（UBM&RDL Etch）、光阻去除區（Photoresist Strip）、UBM&RDL 電鍍區（UBM&RDL Plating）、凸塊 A 區（Solder A）、凸塊 B 區（Solder B）等主要站別，而依凸塊產品不同會依序進行的流程順序則不盡相同。Re-distribution 中的 Plating（Cu RDL）製程流程所經過的站點如圖 1.2 所示，其產品結構圖如圖 1.3 所示，結構流程如圖 1.4 所示。Plating（Cu RDL）技術中，此製程的第一層 Polymer 厚度（5 或 7.5um），第二層 Polymer 厚度（5 或 10um）；RDL 金屬層位於 Polymer1 與 Polymer2 兩個介電層之間，Polymer1/Cu/Polymer2 之間的銅鍍層，乃先以濺鍍方式沉積 Ti/Cu 薄層（充當電極）再電鍍較厚的銅鍍層（4μm 厚度），而最後的球下金屬層也是先以濺鍍方式沉積 Ti/Cu 薄層（充當電極）再電鍍較厚的銅鍍層（8μm 厚度）。

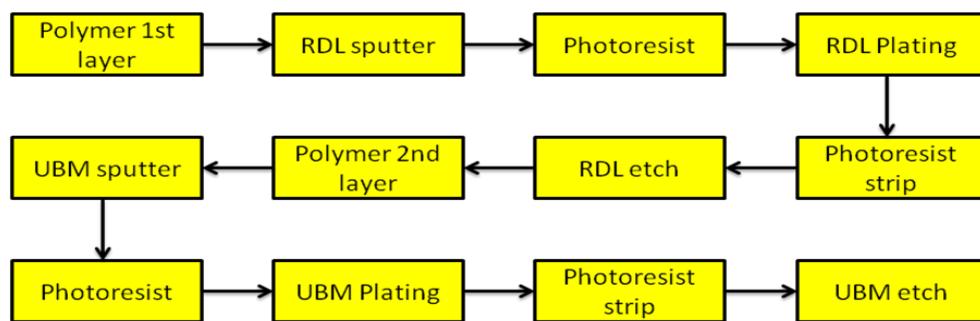
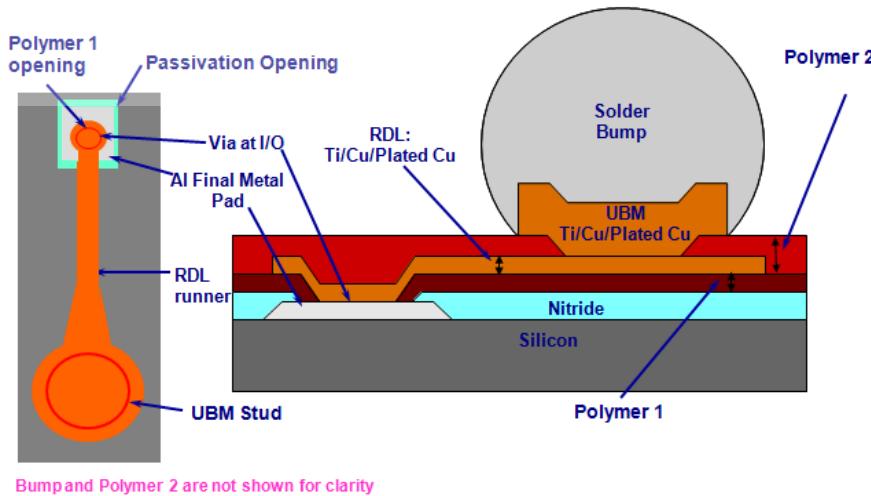


圖 1.2 Plating (Cu RDL) 產品之 Bumping 製程流程圖

Profile Diagram of Plated RDL/UBM

- Structure
- 2 layer Polymer + Plated Cu RDL/UBM



Bump and Polymer 2 are not shown for clarity

圖 1.3 Plating (Cu RDL) 產品結構圖[1]

Plated Redistribution Process Flow

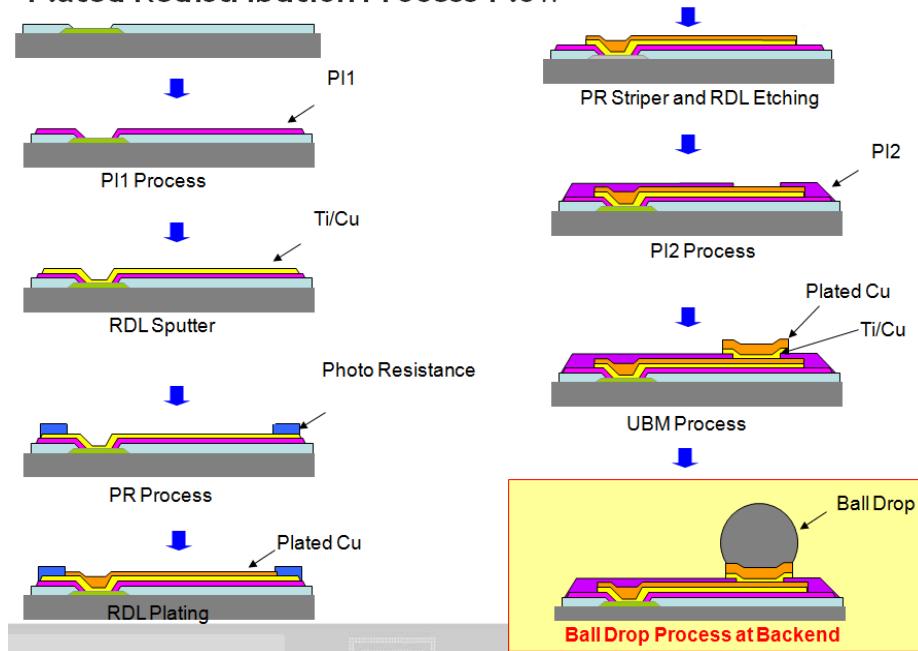


圖 1.4 Plating (Cu RDL) 產品之 Bumping 製程結構流程圖[1]

在 Bumping 製程中線路重佈 (Re-distribution) 結構產品為了鋁墊線路的重新分佈而採用類似晶圓代工廠的介電層塗佈製程。其目的在於 1.保護晶圓:在製程上，PI 具有低導電性，低吸水性等作用，可保護客戶電路層。2.平坦化 (Planarization): 使 Wafer 表面平坦，有助線路的重新分佈後製程穩定。本文將介紹 Re-distribution 結構中的 Plating (Cu RDL) 產品之中的 Polymer 製程流程，如圖 1.5 所示。

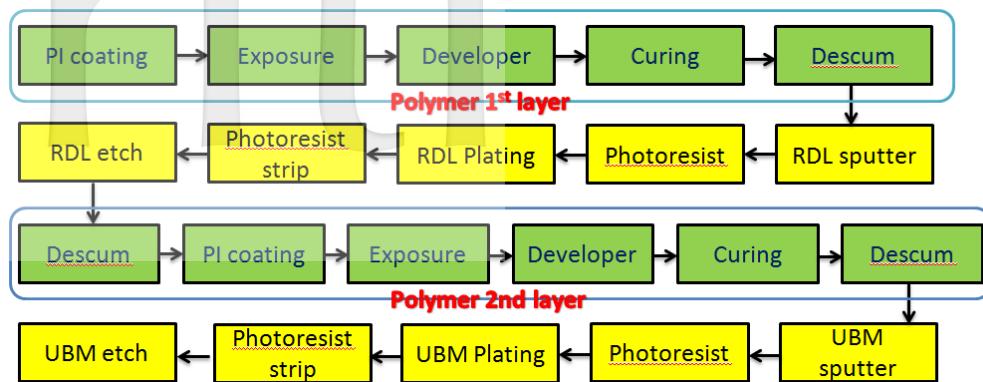


圖 1.5 Plating (Cu RDL) 產品中 Polymer 製程流程圖[2]

製程包含從 PI 塗佈 (PI Coating)、曝光 (Exposure)、顯影 (Developer)、固化 (Curing)、電漿餘膜處理 (Plasma Descum treatment)。等主要站別，以下則對各製程進行說明：

- (1) PI 塗佈 (PI Coating)：利用塗佈機以旋轉塗佈將液態 PI 均勻塗佈在晶圓上再經由熱盤 (Hot plate) 進行軟烤 (soft bake) 定型成膜。
- (2) 曝光 (Exposure)：執行曝光的機器通稱為曝光機，其功能以近接式 (Proximity) 的方法利用光罩將 PI 層預定開孔的位置遮住而未曝到光 (其位置在原本晶圓設計好鋁墊線路的位置)。
- (3) 顯影 (Developer)：利用顯影液以噴灑 (Spray) 的方式來進行去除未曝光的區域。
- (4) 固化 (Curing)：使用烤箱 (Oven) 加熱將 Polymer 加速固化至完全熟化的穩定狀態。[2]
- (5) 電漿餘膜處理 (Plasma Descum treatment)：電漿處理過程是利用高能量離子或大量的自由基，與表面的有機污染物或開孔內的殘留物進行化學反應或物理碰撞，進而達到清洗的目的。[3]

電漿餘膜處理製程在聚合物介電層製程主要有兩種功能，其兩種功能為(1)在完成 PI 塗佈 (PI Coating)、曝光 (Exposure)、顯影 (Developer)、固化 (Curing) 後使用電漿去殘膠機 (Descum) 來清除 PI 層表面的有機污染物或開孔內的殘留物。[3]

電漿餘膜處理製程中其化學反應為電漿清潔中的主要機制，藉由所通入氣體中的分子如氧氣、氬氣等，因解離碰撞產生單原子氧、臭氧及氫原子，這些粒子具備有較高的能量、反應性非常強，一與物體反面的有機分子碰撞即起反應，並生成二氧化碳或水。以電漿化學反應進行清潔的優點為：(1)產物為穩定性佳的揮發性物質，不會再度污染被清潔物。(2)化學反應的選擇性較高，不易傷害到基板表面。其缺點為：(1)需要較高的氧或氬濃度以提高清潔效率；(2)氬氣的安全性及氧化性的高氧化性必需加以考量。當遇到無法以氬電漿或氧電漿清潔的時候，可以使用電漿中的物理反應來進行清潔，例如要清除無機污染物時，可以利用電場加速電漿中的離子，使離子高速撞擊無機污染物，並將其清除。濺離速率可以藉由增加電漿密度、提高電場強度、增大撞擊離子的質量或降低壓力來提高。在操作上必需提高電壓，並選擇質量較大與濃度較高的氣體，例如氬氣。以物理方法進行清潔的優點為：(1)效率高。(2)氣體使用量較少。缺點為：(1)選擇性低，可能會傷及底材。(2)產物不穩定，可能會回鍍至待清潔物而造成二次污染。[4]

對一般業界而言，PI 介電層分層，是不可被接受。本研究針對電漿餘膜處理製程中在原程式中多增加一道氬氣電漿處理並以不同的 RF Power 瓦數及蝕刻時間，分析其對於在電鍍銅 RDL 表面粗糙度大小之影響，並以原子力顯微鏡作為粗糙度量測之儀器設備，在圖 1.6 中，顯示了在製程中所產生的 PI 層分層在 SEM 下的照片。本實驗為了讓 PI 層與電鍍銅 RDL 結合力變好，會希望電鍍銅 RDL 的表面粗糙度能夠愈大愈好。由於在電漿處理製程過程中，氬氣電漿會有增加電鍍銅 RDL 的表面粗糙度的幫助，因此，此一階段的表面改質，可以用圖 1.7 來表示。[5]

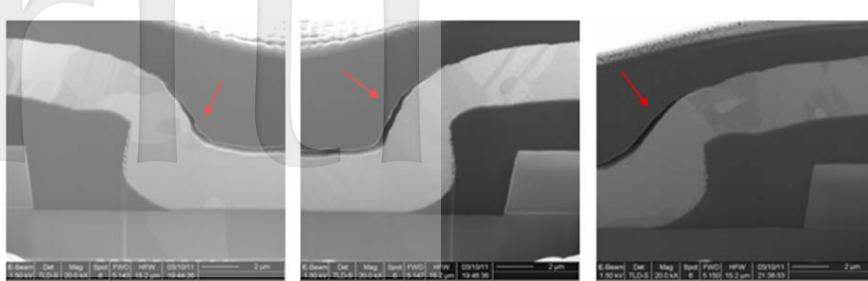


圖 1.6 PI 層分層在 SEM 下的照片[5]

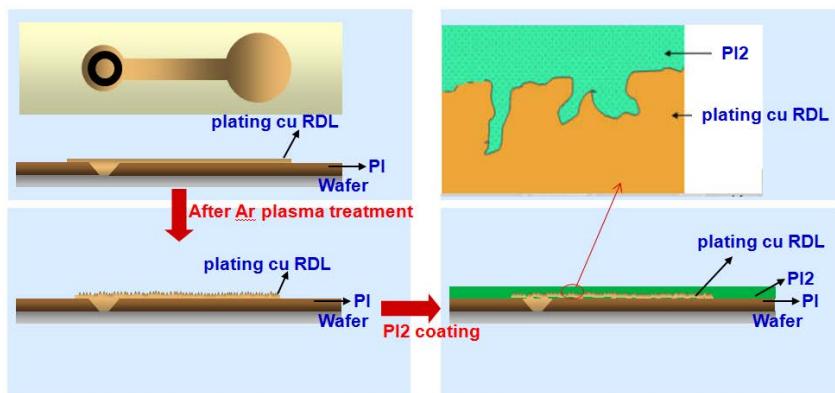


圖 1.7 電鍍銅 RDL 經電漿處理示意圖[5]

2. 實驗部分

在塗佈 PI 第二層前所使用的原程式電漿為氬氣電漿與氧氣電漿同時處理，其目的為了清除 PI 層與 RDL 線路表面的有機污染物或 RDL 線路間的金屬殘留物，由於為了增加電鍍銅 RDL 表面粗糙度，因此，本實驗中將選擇利用電漿餘膜處理製程中在原程式中多增加一道氬氣電漿處理並以不同的 RF Power 瓦數及蝕刻時間作為研究因子，測量其 PI 層蝕刻量，同時利用 AFM 來量測電鍍銅 RDL 表面粗糙度，來找出最佳改善結果並加以 SEM 驗證是否還有 PI 介電層分層現象。Plating (Cu RDL) 產品 PI 分層改善實驗及檢測流程如圖 2.1 所示；在塗佈 PI 第二層前的使用不同參數氬氣電漿處理並量測其 PI 層蝕刻量利用統計分析軟體分析實驗結果，之後便對電鍍銅 RDL 量測表面粗糙度，在完成 Bumping 製程後與 Ball Mount 製程後作 SEM 檢驗，驗證是否還有 PI 介電層分層現象。

2.1 實驗流程

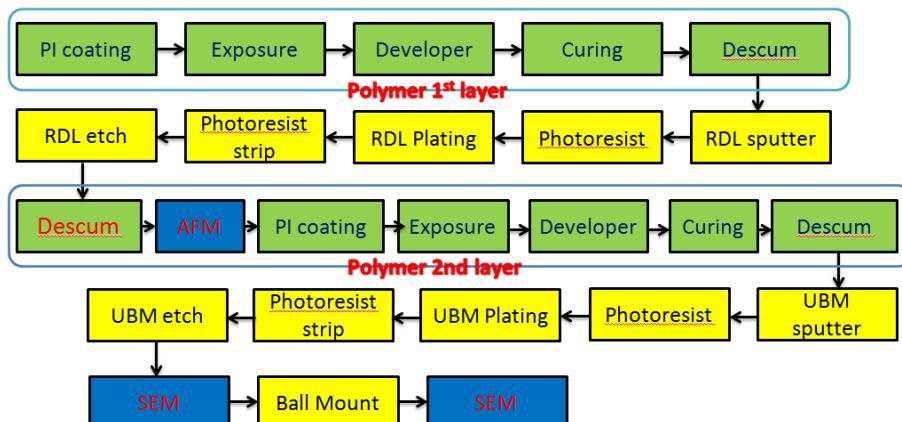


圖 2.1 PI 分層改善實驗及檢測流程圖

2.2 儀器設備

在本研究中，主要以氬氣電漿處理中的 RF Power 瓦數與蝕刻時間參進行分析，冀望找出一組最佳解來改善 PI 分層缺點。其中所包含的儀器設備有：

- (1) 電漿去殘膠機：電漿表面處理電鍍銅 RDL 之用。
- (2) 光學薄膜測厚儀：針對 PI 蝕刻量量測之用。
- (3) 原子力顯微鏡：電鍍銅 RDL 表面形貌量測、粗糙度分析並做為後續檢驗實驗之用。
- (4) 掃描式電子顯微鏡 (Scanning Electron Microscope, SEM)：用來對切片後之樣品試片孔洞缺陷，做更進一步的細部結構分析觀察。

2.3 實驗步驟與品質確認

本實驗步驟為利用田口式實驗計劃法排出實驗測試組，將品質確認分為兩大部分，一為針對 PI 蝕刻量進行量測，來評估多增加的氬氣電漿處理是否符合原程式的 PI 蝕刻量的規格值（規格： $2000 \pm 500 \text{ \AA}$ ），另一部分將針對電鍍銅 RDL 表面形貌量測、粗糙度分析來評估最佳的參數組合。

3. 結果與討論

3.1 PI 蝕刻量的比較

本實驗針對原程式增加一道氬氣電漿處理之二個重要因素 (RF Power、蝕刻時間)，評估 PI 蝕刻量及均勻度是否符合原程式的規格值及確認 PI 蝕刻量的均勻度狀況。表 3.1 為不同改善 PI 分層實驗組之實驗結果。

由圖 3.1 使用統計軟體分析實驗結果，1~10 組的 PI 蝕刻量及均勻度皆在，原程式的規格值內 (PI 蝕刻量規格： $2000 \pm 500 \text{ \AA}$ 、均勻度 $< 7\%$)，可發現其氬氣電漿對 PI 層蝕刻量有增進均勻度的關連性，而在於氬氣電漿的 RF power 及蝕刻時間方面則較無顯著的差異。

表 3.1 改善 PI 分層實驗之 PI 蝕刻量結果

組數	RF power(W)	蝕刻時間(sec)	PI 蝕刻量(Å)	PI 蝕刻量均勻度(%)
1	300	30	1946	0.58
2	300	30	1831	0.7
3	300	25	1812	0.95
4	350	25	1905	0.73
5	350	35	1926	1.25
6	250	25	1778	0.56
7	250	35	1874	0.93
8	350	30	1837	1.42
9	250	30	1871	0.53
10	300	35	1833	1.05
11(原程式)	0	0	2000 ± 500	$< 7\%$

3.2 電鍍銅 RDL 表面粗糙度的比較

藉由表 3-2 的電鍍銅 RDL 表面粗糙度的結果與圖 3.2~3.3 電鍍銅 RDL 表面粗糙度 2D 與 3D 圖比較，其結果我們可以得知氬氣電漿處理確實可以增加電鍍銅 RDL 的表面粗糙度，1 到 10 組的電鍍銅 RDL 的表面粗糙度皆大於原程式 11 組 17.7nm，此外發現第 8 組獲得最大的表面粗糙度 20.64nm，其氬氣電漿處理並不會對電鍍銅 RDL 的表面粗糙度有極大的關連性，而在於氬氣電漿的 RF power 方面則有較大顯著的差異。

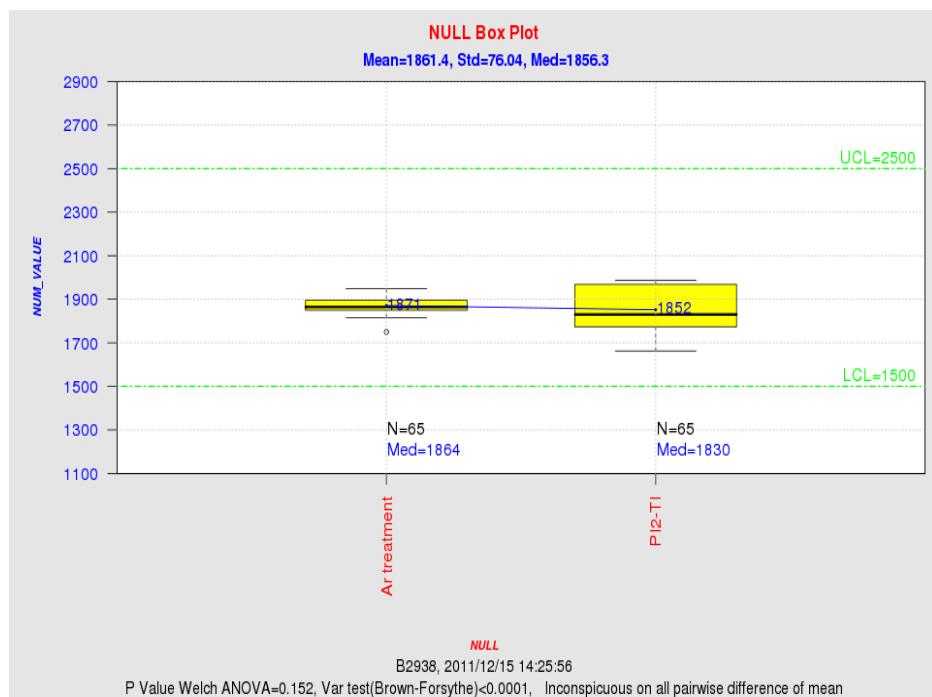


圖 3.1 第 1 到 10 組與第 11 組 PI 蝕刻量比較結果

表 3-2 改善 PI 分層實驗之電鍍銅 RDL 表面粗糙度結果

組數	RF power(W)	蝕刻時間(sec)	電鍍銅 RDL 粗糙度(Rq value)(nm)
1	300	30	18.42
2	300	30	18.45
3	300	25	17.99
4	350	25	19.24
5	350	35	20.47
6	250	25	17.81
7	250	35	18.73
8	350	30	20.64
9	250	30	18.73
10	300	35	16.29
11(原程式)	0	0	17.7

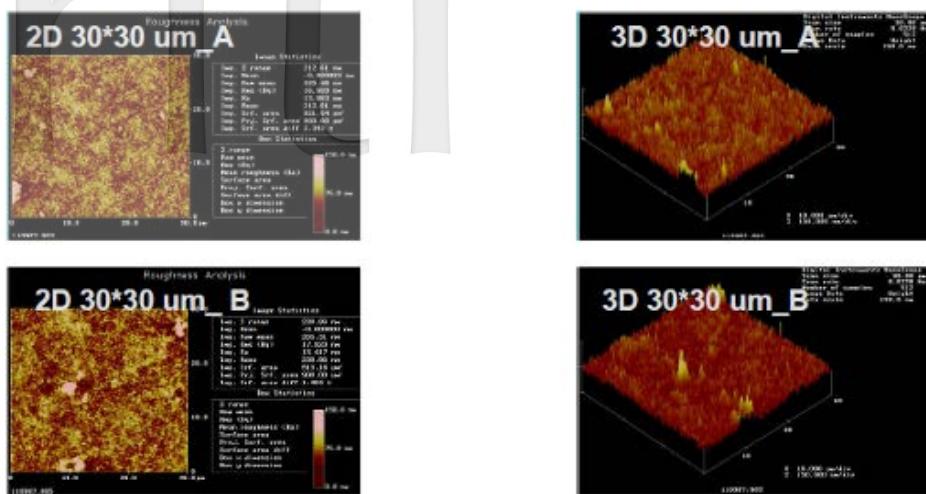


圖 3.2 第 8 組電鍍銅 RDL 表面粗糙度 2D 與 3D 圖

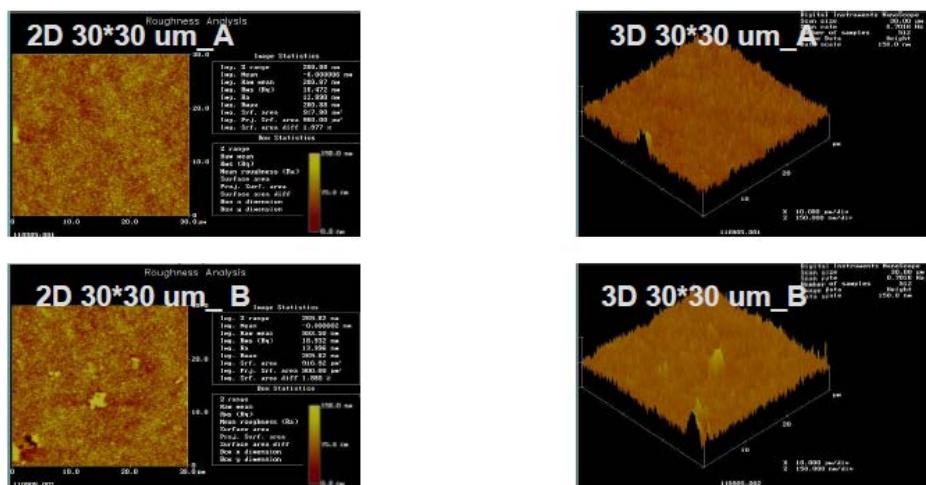


圖 3.3 第 11 組電鍍銅 RDL 表面粗糙度 2D 與 3D 圖

3.3 PI 蝕刻量、均勻度與電鍍銅 RDL 表面粗糙度的整體分析

由圖 3.4 氟氣電漿處理中 (RF Power、蝕刻時間)二因子對 PI 蝕刻量、均勻度與電鍍銅 RDL 表面粗糙度的製程範圍關係圖與 3.5 氟氣電漿處理中 (RF Power、蝕刻時間) 二因子對 PI 蝕刻量、均勻度與電鍍銅 RDL 表面粗糙度的影響圖，其使用統計軟體分析實驗結果如下：

- (1) 原程式增加氟氣電漿處理使原程式的 PI 蝕刻量的均勻度變好。
- (2) 在增加氟氣電漿處理中的 RF Power 因子對電鍍銅 RDL 表面粗糙度有顯著的影響其 RF Power 越大可獲得最大的表面粗糙度，蝕刻時間 25/30/35sec 並無顯著的影響。
- (3) 在增加氟氣電漿處理中最佳的參數組合為第八組的 RF Power 350W、蝕刻時間 30sec。

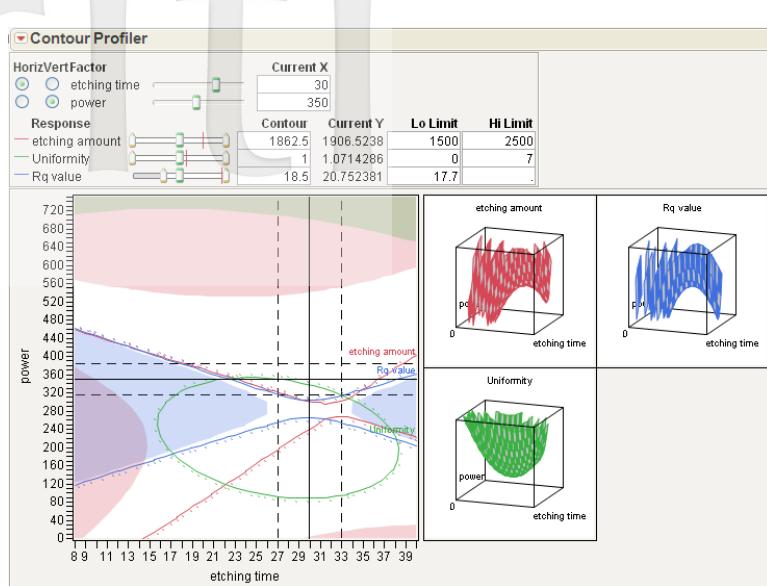


圖 3.4 氣氣電漿處理中 (RF Power、蝕刻時間) 二因子對 PI 蝕刻量、
均勻度與電鍍銅 RDL 表面粗糙度的製程範圍關係圖

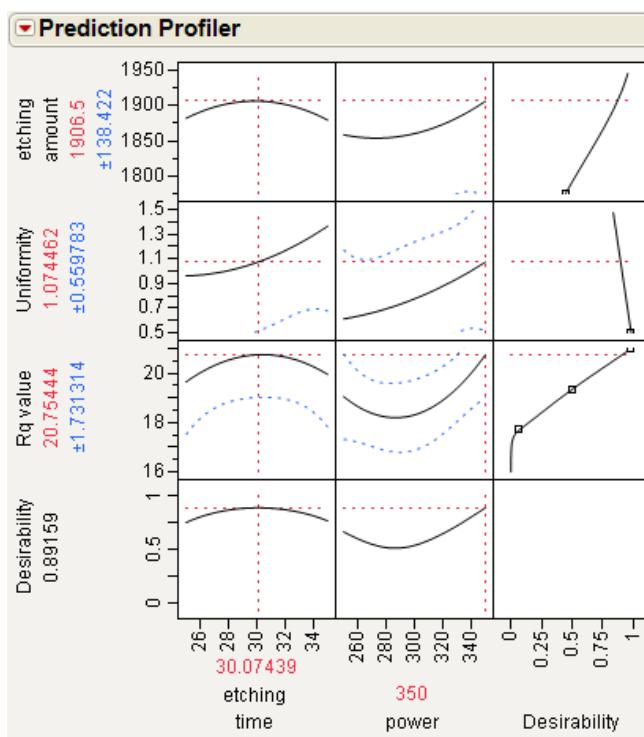


圖 3.5 氣氣電漿處理中 (RF Power、蝕刻時間) 二因子對 PI 蝕刻量、
均勻度與電鍍銅 RDL 表面粗糙度的影響圖

3.4 SEM 結果驗證

由圖 3.6 與 3.7 SEM 檢驗結果發現原程式在完成 Bumping 製程後並無 PI 分層的現象產生但是在完成 Ball Mount 製程後出現了 PI 分層的缺陷，而第八組的最佳參數組合在完成 Bumping 與 Ball Mount 製程皆無產生 PI 分層的缺陷。

Cell	Center	Middle	Edge	result
11				Normal
status	No delam	No delam	No delam	
8				Normal
status	No delam	No delam	No delam	

圖 3.6 完成 Bumping 製程的 SEM 外觀檢驗

Cell	Center	Middle	Edge	result
11				abnormal
status	delam	delam	No delam	
8				Normal
status	No delam	No delam	No delam	

圖 3.7 完成 Ball Mount 製程的 SEM 外觀檢驗

4. 結 論

本研究主要是針對改善 Plating (Cu RDL) 產品在完成 Ball Mount 之後所產生的 PI 分層現象作探討研究，由實驗結果，我們可以知道，當我們氬氣電漿處理選用 RF Power 較大的第 8 組參數，由於其較佳的物理轟擊電鍍銅 RDL 表面表現，能獲得最大的表面粗糙度錫進而改善 PI 分層缺陷發生的機會。此外根據實驗結果分析，我們可以得到下面結論：

- (1) 增加氬氣電漿處理使原程式的 PI 蝕刻量的均勻度變好。
- (2) 在增加氬氣電漿處理過程中的 RF Power 因子對電鍍銅 RDL 表面粗糙度有顯著的影響其 RF Power 越大可獲得最大的表面粗糙度，而蝕刻時間並無顯著的影響。
- (3) 增加電鍍銅 RDL 的表面粗糙度確實能改善 PI 分層的缺陷。

參考文獻

- [1] Hellen Chang, "WLCSP Production Process Introduction", ASEKH PE, Feb, 2011.
- [2] Carrie Cheng, "WLCSP Bumping Polymer process Introduction", ASEKH PE, Nov, 2010
- [3] Bingwen Wang, "Polymer Descum process Introduction", ASEKH PE, Mar, 2010.
- [4] 溫俊祥、黃曉鳳，“聚合物薄膜表面處理技術簡介”，工業材料，219 期，96-101，2005。
- [5] Pitt Tsai, "Descum stage recipe improve of WLCSP Bumping polymer process for PI2 layer delamination prevention", ASEKH PE, Dec, 2011.
- [6] 戴豐成、李世欽，“重佈技術在晶圓級封裝的應用”，工業材料，170 期，137-142，2001。

- [7] 溫俊祥，“聚合物薄膜表面特性與檢測方法簡介”，工業材料，205期，106-111，2004。
- [8] Chan, C.-M., “Polymer surface modification and characterization”, Hanser/Gardner Publications, Inc., Cincinnati, OH, 1994.
- [9] 蘇旺申，“電漿處理技術於奈/微米機電系統之應用”，國立清華大學奈米工程與微系統研究所碩士論文，2006。
- [10] 駱達文，“大氣低溫電漿表面改質技術應用 COG 接合之研究”，國立台北科技大學製造科技研究所碩士論文，2007。
- [11] 吳建一，“分子作用力之改變與電漿處理對高分子表面特性之影響”，私立義守大學材料科學與工程學系研究所碩士論文，2012。
- [12] 李洵穎，“晶圓級封裝” DIGITIMES 產業與技術專輯, November, 2010。
- [13] 莊達人，“VLSI 製造技術”，高立書局，2005。