

積體電路製作流程

道地重視新上進



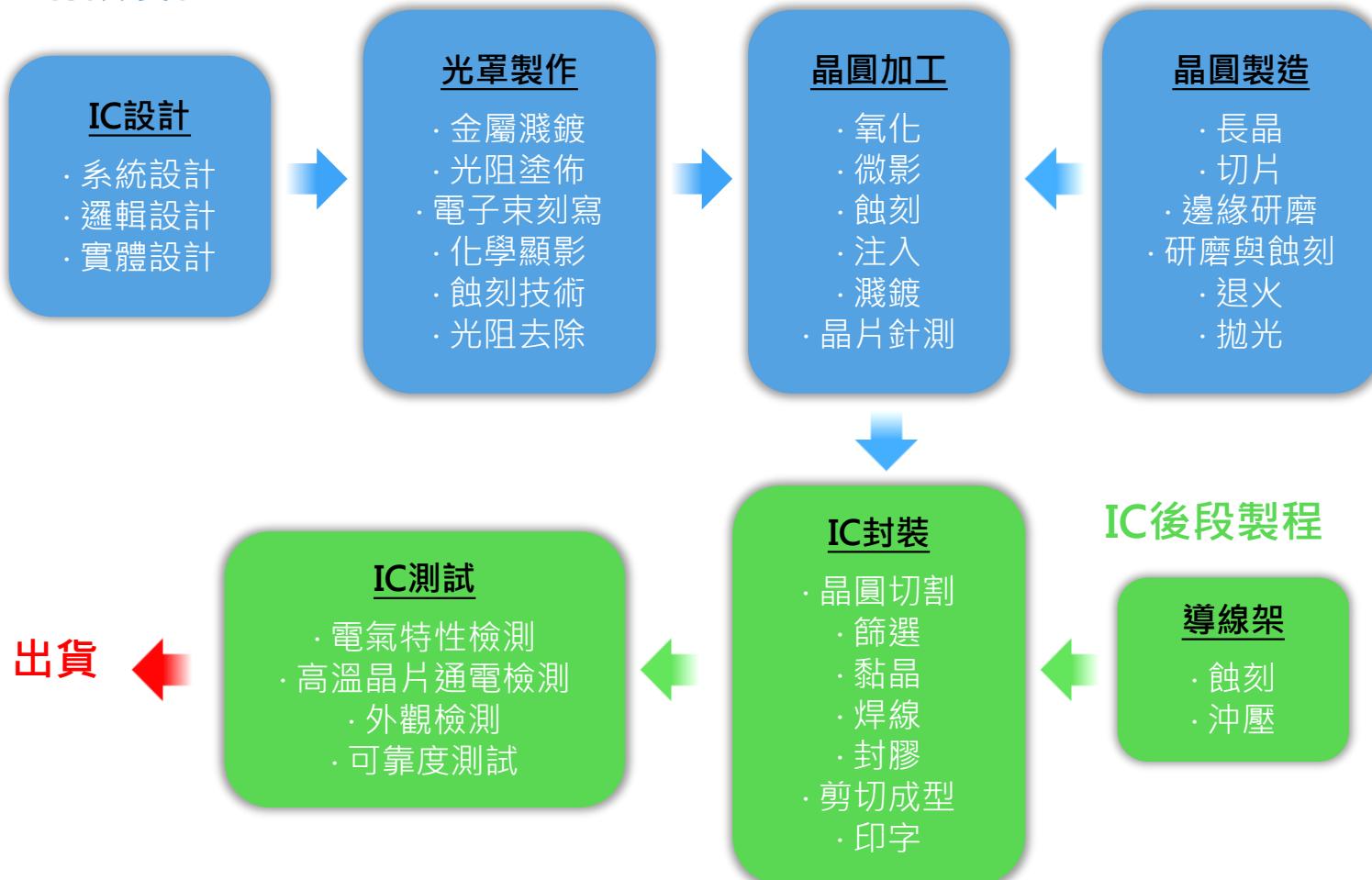
Reported : 台北工程部

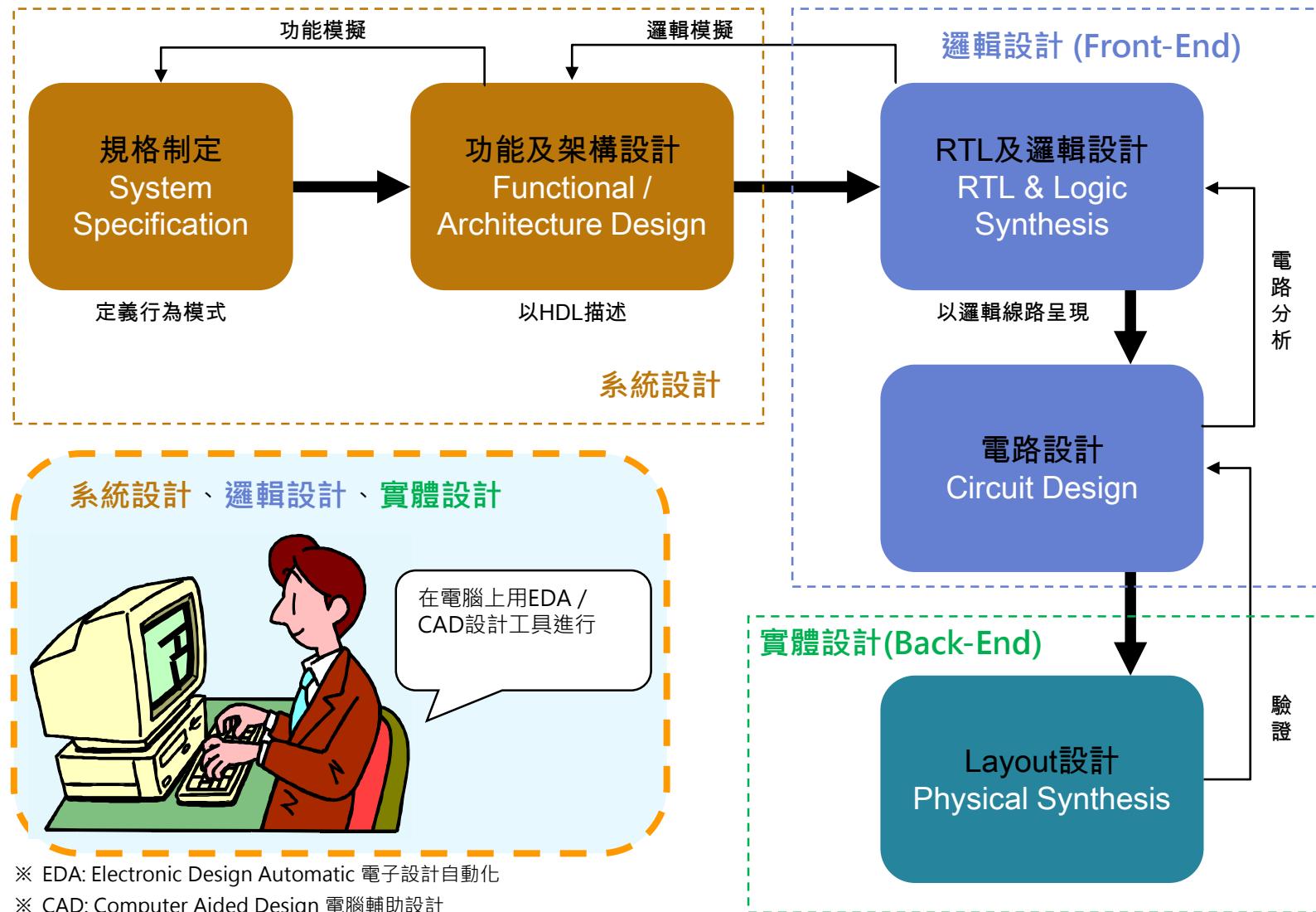
Date : Oct. 1st 2017

- 流程概述
- IC設計 (IC Design)
- 光罩製作 (Mask Making)
- 晶圓製造 (Wafer Manufacture)
- 晶圓加工 (Wafer Fabrication)
- 導線架製造 (Lead Frame Making)
- IC封裝 (Assembly Process)
- IC測試 (Final Test Process)



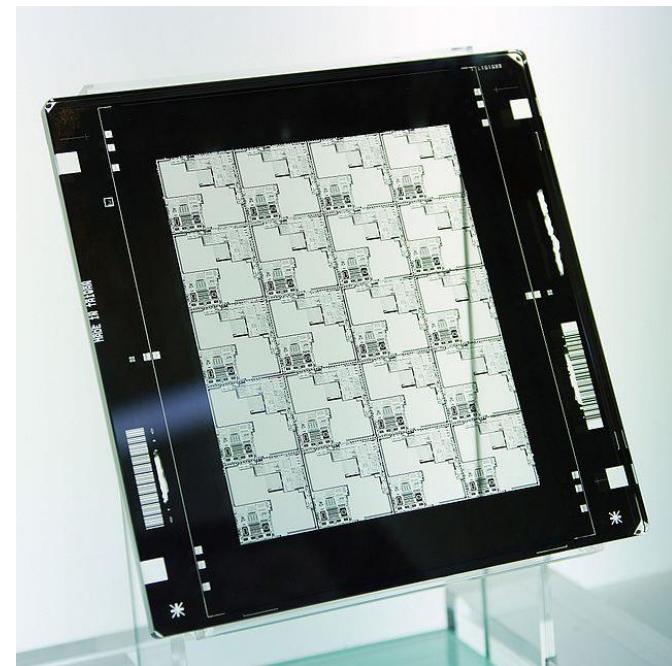
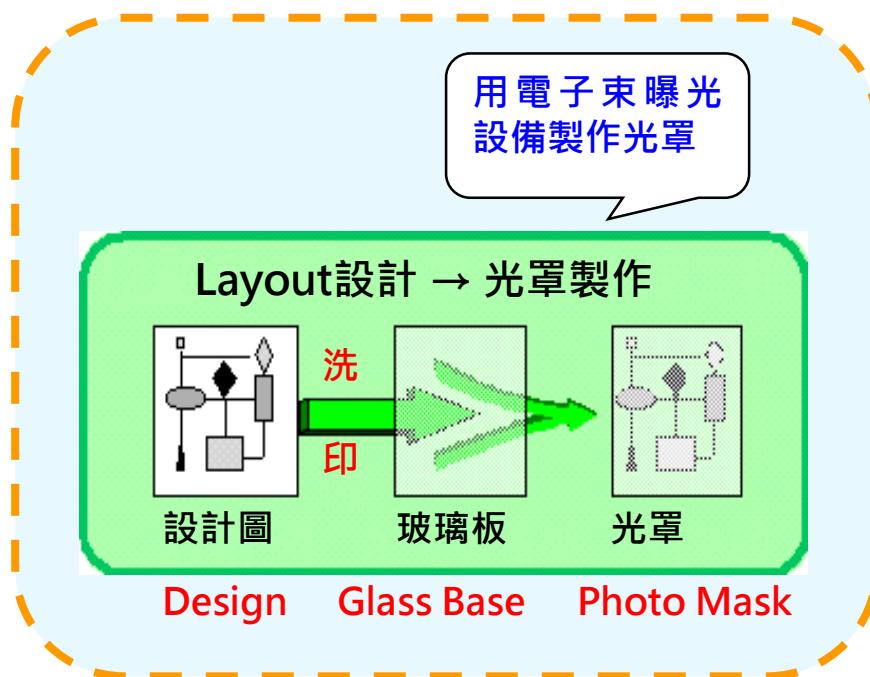
IC前段製程







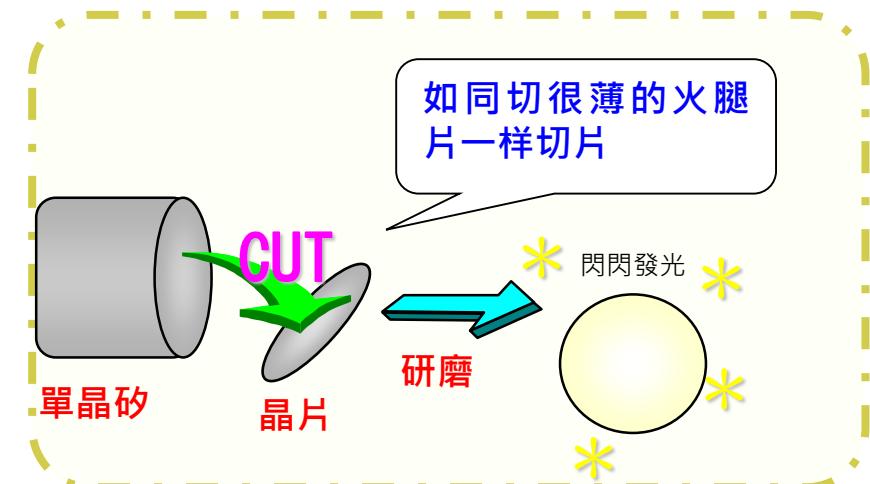
為什麼需要光罩？光罩是IC線路設計圖(Layout)的幾何縮小版，使用電子束(直徑大小約1um)在石英片上刻劃，再以光罩當成媒介，進行圖形轉移把光罩上的圖形製作在矽晶圓上。就像沖洗照片時，利用底片將影像複製至相片上。





晶圓(Wafer)是指矽半導體積體電路製作所用的矽晶片，由於其形狀為圓形，故稱為晶圓。晶圓是生產積體電路所用的載體，一般意義晶圓多指單晶矽圓片。

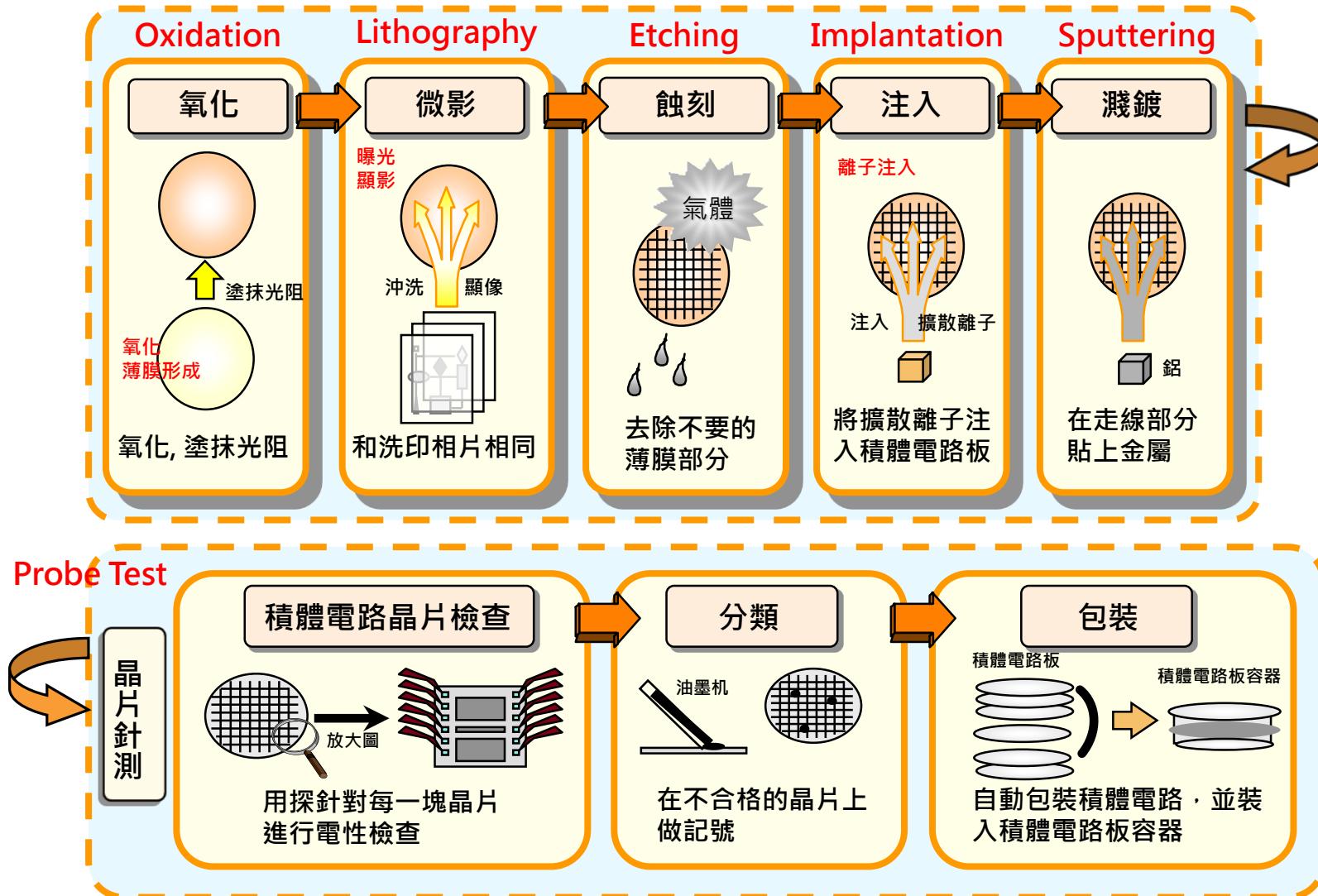
晶圓按其直徑分為4英吋、5英吋、6英吋、8英吋等規格，近來發展出12英吋甚至研發更大規格（14英吋、15英吋、16英吋、20英吋以上等）。晶圓越大，同一圓片上可生產的IC就越多，可降低成本；但對材料技術和生產技術的要求更高，例如均勻度等等的問題。一般認為矽晶圓的直徑越大，代表著這座晶圓廠有更好的技術，在生產晶圓的過程當中，良品率是很重要的條件。





晶圓加工 (Wafer Fabrication)

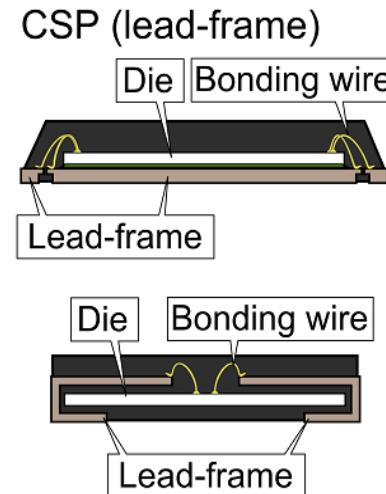
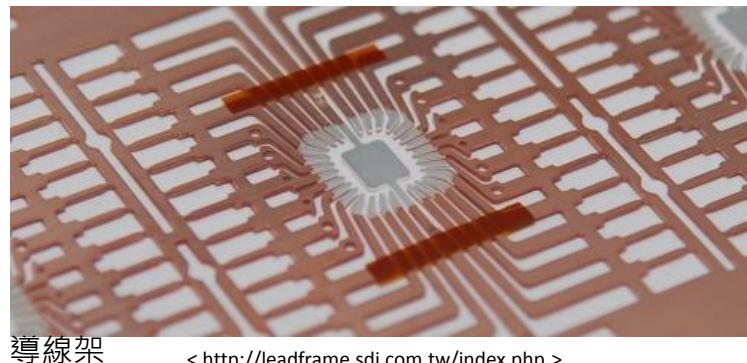
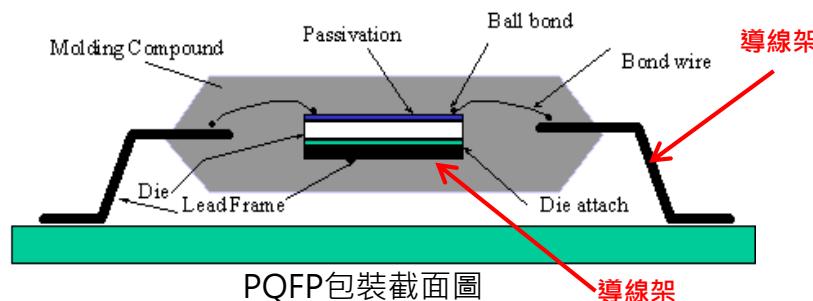
AENEAS





IC導線架(Lead Frame)又稱為引線架或花架，為IC的骨幹，扮演IC與PCB之間的介面角色，是半導體中的關鍵金屬元件。

導線架材料主要有鐵鎳合金(因鎳含量佔42%，也稱為42合金)及銅系合金(無氧銅、脫氧銅)。前者所佔使用比率約為20%，後者約80%。導線架生產方式又分**蝕刻**加工及**沖壓**加工兩種。



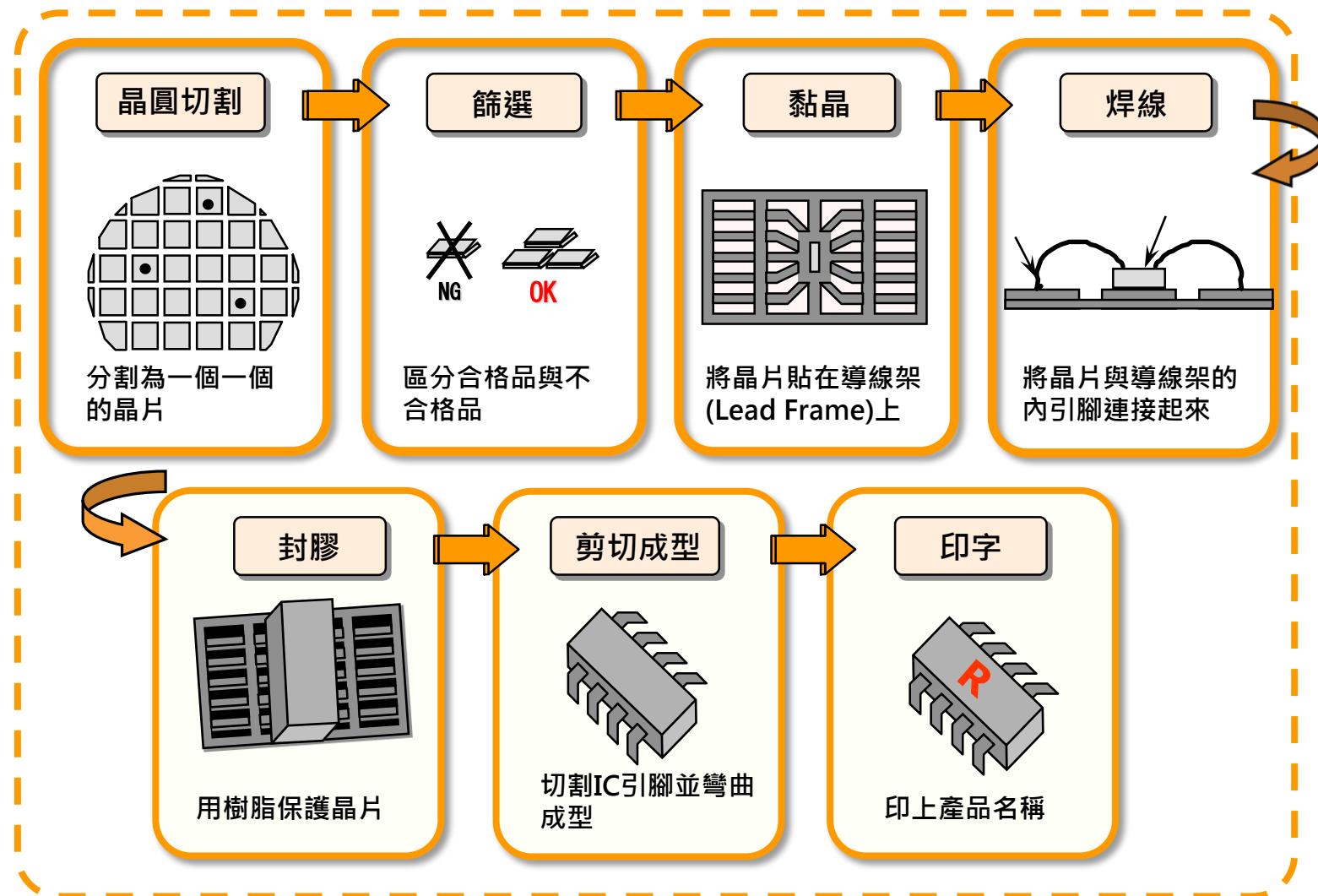
CSP導線架示意圖

< <http://en.wikipedia.org/> >



IC封裝 (Assembly Process)

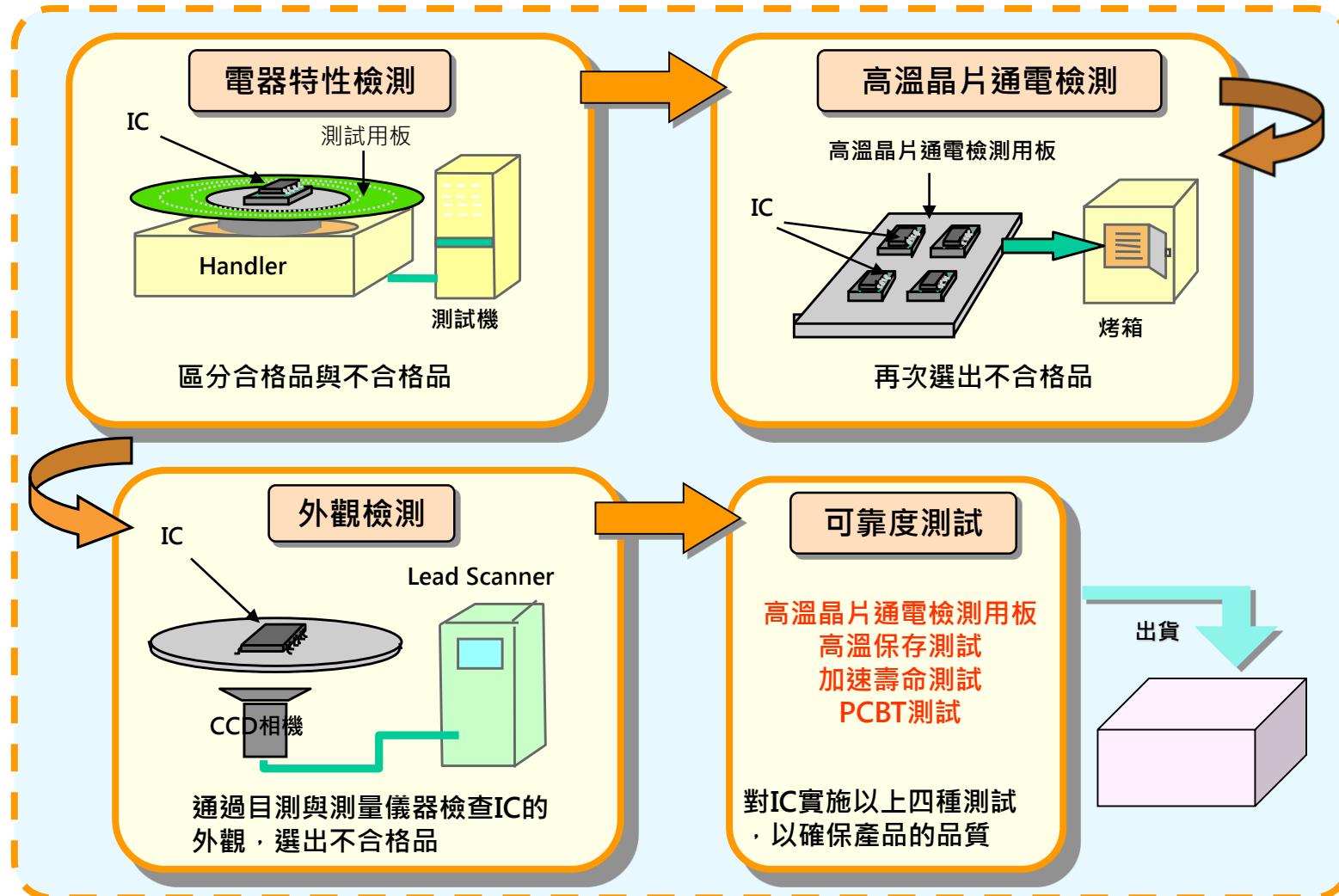
AENEAS





IC測試 (Final Test Process)

AENEAS





FAE team

蕭翔文 - Alvin	alvin@aeneas.com.tw	(02)8797-4259 #628
葉昇晏 - Allen	allen.ye@aeneas.com.tw	(02)8797-4259 #635
許哲維 - Leon	leon@aeneas.com.tw	(02)8797-4259 #636
王立文 - Leo	leo@aeneas.com.tw	(02)8797-4259 #720
李柏翰 - Jesper	jesper@aeneas.com.tw	(02)8797-4259 #639
高士軒 - Johnson	johnson@aeneas.com.tw	(02)8797-4259 #637



Thank You!

