

# 半導體製程簡介

整理：張奇龍 博士

資料來源：台灣應用材料(股)公司

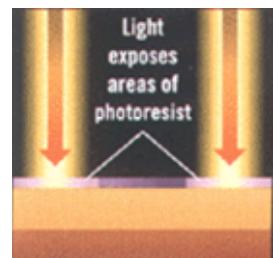
### 晶圓（Wafer）

晶圓（Wafer）的生產由矽即（二氧化矽）開始，經由電弧爐的提煉還原成冶煉級的矽，再經由鹽酸氯化，產生三氯化矽，經蒸餾純化後，透過慢速分離過程，製成棒狀或粒狀的「多晶矽」。一般晶圓製造廠，將多晶矽融解後，再利用矽晶種慢慢拉出單晶矽晶棒。一支 85 公分長，重 76.6 公斤的 8 吋 矽晶棒，約需 2 天半時間長成。經研磨、拋光、切片後，即成半導體之原料 晶圓片。



### 光學顯影

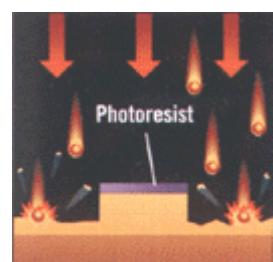
光學顯影是在光阻上經過曝光和顯影的程序，把光罩上的圖形轉換到光阻下面的薄膜層或矽晶上。光學顯影主要包含了光阻塗佈、烘烤、光罩對準、曝光和顯影等程序。小尺寸之顯像解析度，更在 IC 製程的進步上，扮演著最關鍵的角色。由於光學上的需要，此段製程之照明採用偏黃色的可見光。因此俗稱此區為黃光區。



### 乾式蝕刻

在半導的體製程中，蝕刻被用來將某種材質自晶圓表面上移除。乾式蝕刻（又稱為電漿蝕刻）是目前最常用的蝕刻方式，其以氣體作為主要的蝕刻媒介，並藉由電漿能量來驅動反應。電漿對蝕刻製程有物理性與化學性兩方面的影響。首先，電漿會將蝕刻氣體分子分解，產生能夠快速蝕去材料的高活性分子。此外，電漿也會把這些化學成份離子化，使其帶有電荷。晶圓係置於帶負電的陰極之上，因此當帶正電荷的離子被陰極吸引並加速向陰極方向前進時，會以垂直角度撞擊到晶圓表面。晶片製造商即是運用此特性來獲得絕佳的垂直蝕刻，而後者也是乾式蝕刻的重要角色。

基本上，隨著所欲去除的材質與所使用的蝕刻化學物質之不同，蝕刻由下列兩種模式單獨或混會進行：



1. 電漿內部所產生的活性反應離子與自由基在撞擊晶圓表面後，將與某特定成份之表面材質起化學反應而使之氣化。如此即可將表面材質移出晶圓表面，並透過抽氣動作將其排出。
2. 電漿離子可因加速而具有足夠的動能來扯斷薄膜的化學鍵，進而將晶圓表面材質分子一個個的打擊或濺擊（sputtering）出來。

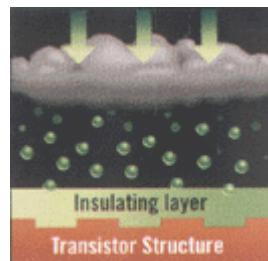
## 化學氣相沉積

化學氣相沉積是製造微電子元件時，被用來沉積出某種薄膜(film)的技術，所沉積出的薄膜可能是介電材料(絕緣體)(dielectrics)、導體、或半導體。在進行化學氣相沉積製程時，包含有被沉積材料之原子的氣體，會被導入受到嚴密控制的製程反應室內。當這些原子在受熱的晶圓表面上起化學反應時，會在晶圓表面產生一層固態薄膜。而此一化學反應通常必須使用單一或多種能量源(例如熱能或無線電頻率功率)。

CVD 製程產生的薄膜厚度從低於 0.5 微米到數微米都有，不過最重要的是其厚度都必須足夠均勻。較為常見的 CVD 薄膜包括有：

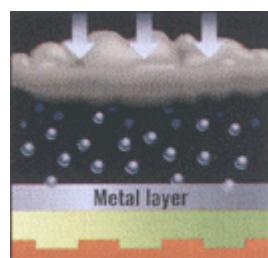
- 二氯化矽（通常直接稱為氧化層）
- 氮化矽
- 多晶矽
- 耐火金屬與這類金屬之其矽化物

可作為半導體元件絕緣體的二氧化矽薄膜與電漿氮化物介電層 (plasma nitride dielectrics) 是目前 CVD 技術最廣泛的應用。這類薄膜材料可以在晶片內部構成三種主要的介質薄膜：內層介電層 (ILD)、內金屬介電層 (IMD)、以及保護層。此外、金屬化學氣相沉積 (包括鎢、鋁、氮化鈦、以及其他金屬等) 也是一種熱門的 CVD 應用。



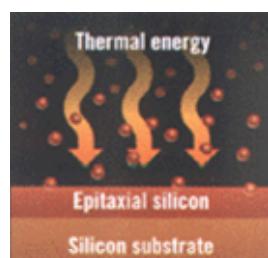
## 物理氣相沈積

如其名稱所示，物理氣相沈積 (Physical Vapor Deposition) 主要是一種物理製程而非化學製程。此技術一般使用氬等鈍氣，藉由在高真空中將氬離子加速以撞擊濺鍍靶材後，可將靶材原子一個個濺擊出來，並使被濺擊出來的材質 (通常為鋁、鈦或其合金) 如雪片般沈積在晶圓表面。製程反應室內部的高溫與高真空環境，可使這些金屬原子結成晶粒，再透過微影圖案化 (patterned) 與蝕刻，來得到半導體元件所要的導電電路。



## 解離金屬電漿 (IMP) 物理氣相沉積技術

解離金屬電漿是最近發展出來的物理氣相沉積技術，它是在目標區與晶圓之間，利用電漿，針對從目標區濺擊出來的金屬原子，在其到達晶圓之前，加以離子化。離子化這些金屬原子的目的是，讓這些原子帶有電價，進而使其行進方向受到控制，讓這些原子得以垂直的方向往晶圓行進，就像電漿蝕刻及化學氣相沉積製程。這樣做可以讓這些金屬原子針對極窄、極深的結構進行溝填，以形成極均勻的表層，尤其是在最底層的部份。



## 高溫製程

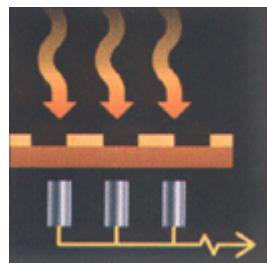
快速高溫處理 (RTP : Rapid Thermal Processing) 為電晶體與電容成形過程中重要的步驟之一，可用來修正薄膜性質與製程結果。

多晶矽 (poly) 通常用來形容半導體電晶體之部分結構；至於在某些半導體元件上常見的磊晶矽 (epi) 則是長在均勻的晶圓結晶表面上的一層純矽結晶。多晶矽與磊晶矽兩種薄膜的應用狀況雖然不同，卻都是在類似的製程反應室中經高溫 (600°C 至 1200°C) 沉積而得。

即使快速高溫製程 (Rapid Thermal Processing, RTP) 之工作溫度範圍與多晶矽及磊晶矽製程有部分重疊，其本質差異卻極大。RTP 並不用來沉積薄膜，而是用來修正薄膜性質與製程結果。

RTP 將使晶圓歷經極為短暫且精確控制高溫處理過程，這個過程使晶圓溫度在短短的 10 至 20 秒內可自室溫昇到 1000°C。

RTP 通常用於回火製程 (annealing)，負責控制元件內摻質原子之均勻度。此外 RTP 也可用來矽化金屬，及透過高溫來產生含矽化之化合物與矽化鈦等。最新的發展包括，使用快速高溫製程設備在晶圓重要的區域上，精確地沈積氧及氮薄膜。

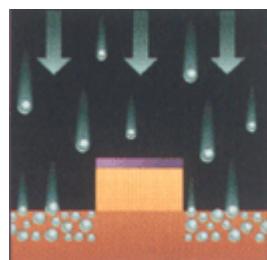


## 離子植入技術

在所有半導體元件中，離子植入 (Ion Implant) 是電晶體結構中一項相當重要的技術。在離子植入過程中，晶圓會受到被稱為摻質的帶電離子束撞擊，當摻質加速到獲得足夠的能量後，即可植入薄膜達到預定的深度，進而改變材料的性質，提供特定的電氣特性。

離子植入技術可將摻質以離子型態植入半導體元件的特定區域上，以獲得精確的電子特性。這些離子必須先被加速至具有足夠能量與速度，以穿透（植入）薄膜，到達預定的植入深度。

離子植入製程可對植入區內的摻質濃度加以精密控制。基本上，此摻質濃度（劑量）係由離子束電流（離子束內之總離子數）與掃瞄率（晶圓通過離子束之次數）來控制，而離子植入之深度則由離子束能量之大小來決定。

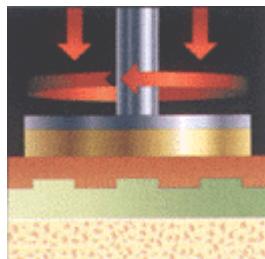


## 化學機械研磨技術

化學機械研磨技術（Chemical Mechanical Polishing, CMP），可移除晶圓表面的材質，讓晶圓表面變得更平坦，兼其有研磨性物質的機械式研磨與酸鹼溶液的化學式研磨兩種作用，可以使晶圓表面達到全面性的平坦化，以利後續薄膜沉積之進行。

在 CMP 製程的硬體設備中，研磨頭被用來將晶圓壓在研磨墊上並帶動晶圓旋轉，至於研磨墊則以相反的方向旋轉。在進行研磨時，由研磨顆粒所構成的研漿會被置於晶圓與研磨墊間。

影響 CMP 製程的變數包括有：研磨頭所施的壓力與晶圓的平坦度、晶圓與研磨墊的旋轉速度、研漿與研磨顆粒的化學成份、溫度、以及研磨墊的材質與磨損性等等。



## 製程監控

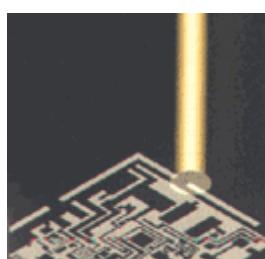
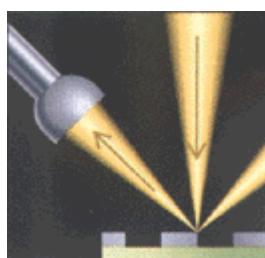
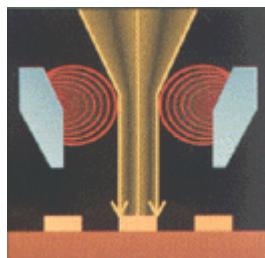
在下個製程階段中，半導體商會用 CD-SEM 來量測晶片內次微米電路之微距，以確保製程之正確性。一般而言，只有在微影圖案（photolithographic patterning）與後續之蝕刻製程執行後，才會進行微距的量測。

### 光罩檢測（Retical Inspection）

光罩是高精密度的石英平板，是用來製作晶圓上電子電路圖像，以利積體電路的製作。光罩必須是完美無缺，才能呈現完整的電路圖像，否則不完整的圖像會被複製到晶圓上。

光罩檢測機台則是結合影像掃描技術與先進的影像處理技術，捕捉圖像上的缺失。當晶圓從一個製程往下個製程進行時，圖案晶圓檢測系統可用來檢測出晶圓上是否有瑕疵包括有微塵粒子、斷線、短路、以及其他各式各樣的問題。

此外，對已印有電路圖案的圖案晶圓成品而言，則需要進行深次微米範圍之瑕疵檢測。一般來說，圖案晶圓檢測系統係以白光或雷射光來照射晶圓表面。再由一或多組偵測器接收自晶圓表面繞射出來的光線，並將該影像交由高功能軟體進行底層圖案消除，以辨識並發現瑕疵。



## 切割

晶圓經過所有的製程處理及測試後，切割成壹顆顆的 IC。舉例來說：以 0.2 微米製程技術生產，每片八吋晶圓上可製作近六百顆以上的 64M DRAM。



## 封裝

製程處理的最後一道手續，通常還包含了打線的過程。以金線連接晶片與導線架的線路，再封裝絕緣的塑膠或陶瓷外殼，並測試 IC 功能是否正常。

由於切割與封裝所需技術層面比較不高，因此常成為一般業者用以介入半導體工業之切入點。

