

## 第三章 晶圓製程設備產業研究

### 第一節 半導體產業特性

#### 壹、半導體市場

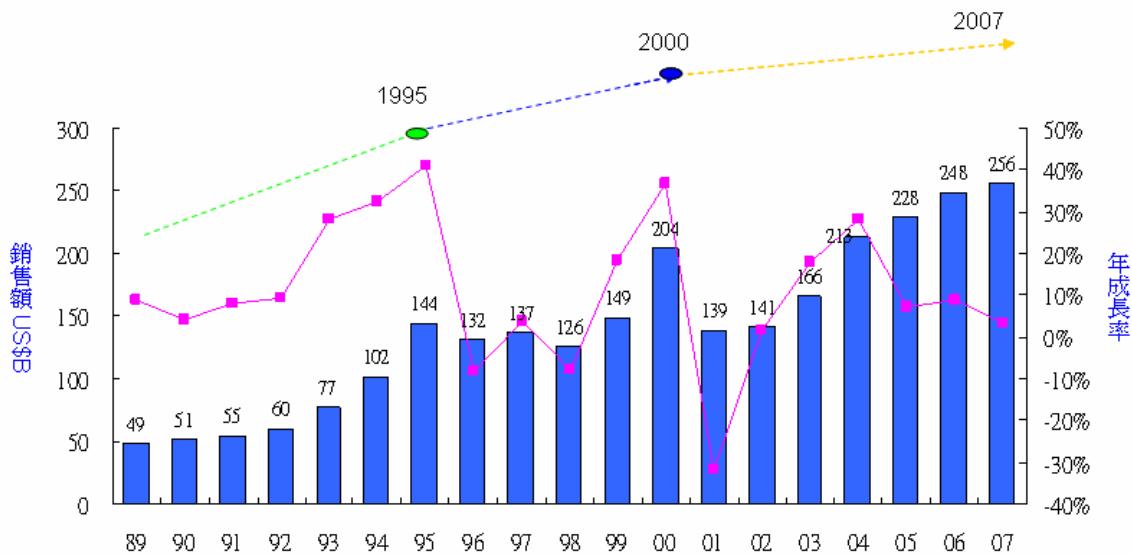
半導體的市場應用面主要可以分為 PC、無線電通訊、消費電子與其他相關運用。1996 年以來，除了網路泡沫的 2000 年，半導體產業有高達 38% 的成長高峰，其餘 10 年內，幾乎只是呈現平緩成長，而沒有太多令人感到驚訝的數字出現，圖 9 顯示半導體從 1987 年到 2007 年的半導體產業規模，主要有三段景氣週期。造成半導體產值劇烈變動的原因，基本上還是供需和價格的問題。

第一段週期為 1987~1995 年，其成長動能來自於四吋轉換至六吋晶圓廠後，生產效率和晶片性能大幅提升，可以滿足 PC 和家電市場的大量需求。這段時間造就許多大型 IC 製造以及 IC 設計公司。晶圓代工產業也在此時因應 IC 設計需求而崛起，這也是半導體產業成長最快速的階段。

第二週期為 1996~2000 年，八吋快速取代六吋廠產能，造成半導體業者大量擴張八吋產能而導致生產過剩，加上經濟不佳，1996 年成為市場首見的衰退。手機和網路通訊世代自 1995 年起，接替個人電腦繼續帶領半導體前進，加上網際網路應用大幅被應用，使得 1996~2000 年平均成長率達到 13.7%，並且在 2000 年達歷史高峰；如同前一景氣循環，半導體業者在 2000 年景氣大好時大量擴充八吋產能，過度的樂觀和投資結果，加上網路的泡沫，因而造成 2001 年的景氣大衰退，整整較 2000 年衰退 32%，之後市場經歷了近 4 年時間才恢復元氣。

第三週期為 2001 至今，十二吋廠開始於 2002 年大幅量產，晶片功能大幅提升，加上通訊和消費電子的需求大量增加彌補 PC 市場的下滑，也讓整個產業逐漸復甦。這段時間十二吋廠的生產效益開始顯現，但產能快速增加，終端產品價格過快滑落。雖然經濟面轉佳且不斷有新的需求，但其動能卻未能刺激半導體市場如往常一樣，有兩位數字以上的成長。主要的原因是市場價格逐年下滑加上市場規模沒有持續出現殺手級產品上市，因此市場規模無法隨產能增加而等比例成長。尤其是占市場近 1/4 比重的記憶體(含 DRAM 和 Flash)在十二吋產能大量開出後供給過剩，近一半市場的標準型 DRAM 除了在 PC 外，沒有新的應用，因此價格更是倍數下滑。尤其原物料上漲更造成生產成本變高，也相對稀釋掉產業整

體的利潤。



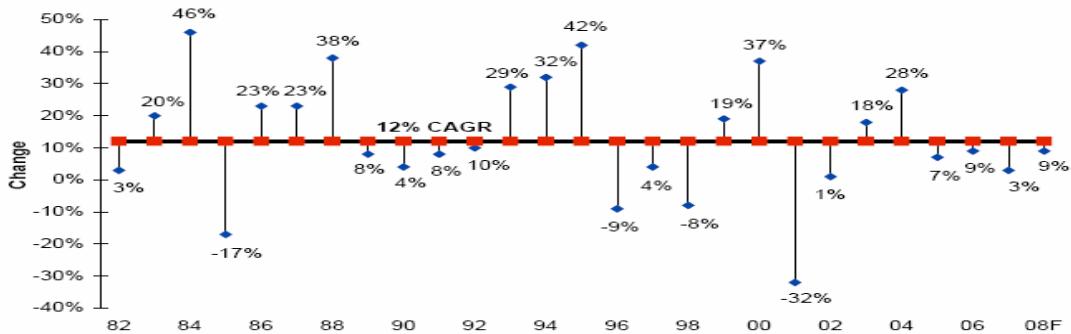
【圖 9】1989~2007 全球半導體市場、成長率與趨勢圖，資料來源 WSTS、IC Insights 與本研究整理。

有了前兩次循環的經驗，除了 DRAM/Flash 業者必須靠興建 12 吋廠以降低成本外，其他半導體製造業者在資本支出上都變得特別謹慎。而觀察市場的變化，對設備商的影響，提出下面看法。

### 一、半導體產業週期已經趨近於成熟期。

市場成長率趨緩和投資的金額過高，使得半導體業者的投資保守，沒有殺手級的應用產品和技術產生刺激需求，整體半導體生命週期漸趨於成熟期。而設備供應商將首當其衝<sup>31</sup>。從下圖 10 可以看出自 2001 到現在的年成長率趨勢多在 1982~2008 的複合年成長率之下。

<sup>31</sup>因為半導體設備及材料將趨於商品化，核心半導體差異從製造轉向設計和知識產權（IP），未來到 2014 年，產業整合將導致只需要不到 10 家半導體設備供應商，來滿足 80% 或更多的半導體製造設備需求；現階段一共有 15 家半導體設備供應商滿足 80% 的需求，但在 80 年代末期則曾經有 35 家之多的半導體設備商。電子時報 2006/9/12



【圖 10】半導體市場年成長率和 1982~2008 年複合成長率之比較，資料來源 WSTS、IC Insights

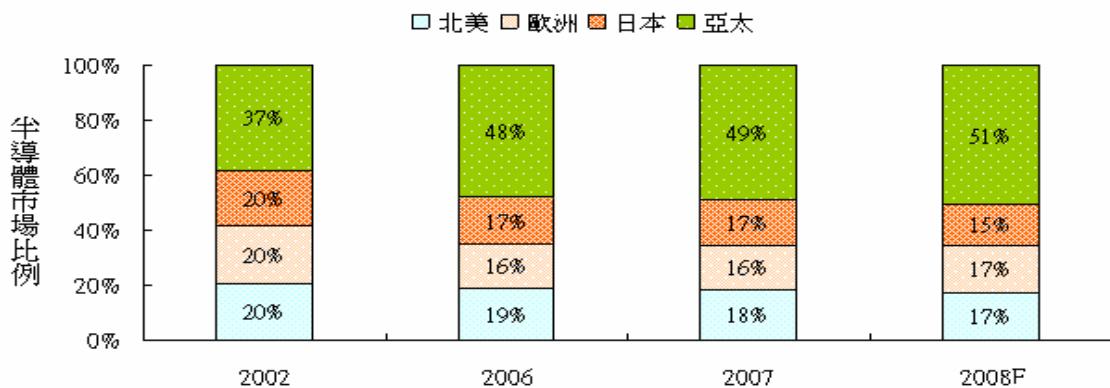
## 二、半導體產業結構改變

對製造商而言，有能力投資十二吋奈米的公司越來越少。由於市場波動大，因此傳統的整合元件大廠開始增加委外代工以降低風險，主要獲利者還是領先的晶圓代工業者，但是其投資卻格外謹慎小心。另一方面，DRAM 的價格快速下滑，造成企業合資分散風險而且投資不確定。在需求尚未確定前<sup>32</sup>，各家均努力提升良率和設備生產效率(Productivity)以減少設備支出。對設備商而言，賣方有價格主導權。半導體製造設備供應商需要改變商業模式，以抵禦未來幾年產業可能衰退和利潤下降。

## 三、半導體產業版圖往亞洲移動

根據 WSTS，亞太市場佔半導體的消費在 2007 年達到 1,435 億美元，占市場規模 49%。成為全球最大的半導體消費體，加上台灣和大陸已是半導體生產重地，因此可以預見半導體設備和相關供應商將會把相關研發和生產組裝轉往亞太投資，以接近市場和降低成本。詳情參照圖 11。

<sup>32</sup> 半導體的產能要開出，在新廠需要一年以上的前置時間，若在舊廠購入新機器則是要三個月以上才有新的晶圓產出。



【圖 11】2002~2008 年半導體區域市場趨勢圖，資料來源 WSTS、IC Insights

## 貳、半導體製程技術演進

計算機(Computer)，也就是現在電腦的革命性進化<sup>33</sup>，造就了整個半導體產業的發展，其中電晶體、積體電路和 MOS 製程技術的發明是半導體早期最重要的 3 項突破式創新<sup>34</sup>。第一次創新在 1947 年，AT&T 貝爾實驗室的巴丁 (John Bardeen)、蕭克利(William Shockley)、布拉頓(Walter Brattain)一起合作發明了雙極電晶體取代真空管的地位<sup>35</sup>，並由貝爾實驗室發展出 1 套正式授權機制。而隨後在 1958~1959 年時，德州儀器的基爾比 (Jack S. Kilby)和快捷半導體的諾宜斯 (Robert Noyce)分別成功完成積體電路的原型，也都成功拿到專利，則為第二次創新。1965 年 RCA 公司發明 MOS 半導體製程則是第三次突破創新，到了 1968 年 MOS 技術發展成功，英特爾 (Intel) 成立，當時 2 位創辦人諾宜斯、摩爾專注以 MOS 製程為主，取 Bipolar 而代之，為早期半導體發展劃下句點，也成為整個積體電路的主流元件。

所有電子產品的功能主要是電路設計和元件(Device)所組成，隨著積體電路

<sup>33</sup> 第一代電腦(1946~1958)--真空管時期，第二代電腦(1958~1963)--電晶體時期，第三代電腦(1964~1971)--積體電路時期，第四代電腦(1972~)--超大型積體電路時期。

<sup>34</sup> 所謂積體電路 (integrated circuit，簡稱 IC) 就是將電晶體、二極體、電阻、電容等電子元件，用微電子的技術將其做在一個半導體晶粒上，其特點是：體積小、功能多、可靠性高、價錢便宜、使用方便，因此，現今所有電子電路，幾乎採用積體電路，參考半導體趨勢圖示。

<sup>35</sup> 貝爾實驗室成立於 1925 年，位於新澤西州 Murray Hill，當時是美國電話公司(AT&T)旗下的研究機構。實驗室的科學家們總計獲得了六次諾貝爾物理獎，九次美國科學獎 (U.S. Medals of Science)，七次美國科技獎 (U.S. Medals of Technology)，兩次 Draper 獎和一次格萊美獎，1947 年：巴丁 (John Bardeen)、布拉頓 (Walter Brattain) 和蕭克利 (William Shockley) 發明了電晶體，從而引導了可攜帶收音機、音頻電話(按鍵式電話)、電腦晶片和彩色及高清晰電視的電子化時代。他們獲得了 1956 年的諾貝爾獎，參考矽導新勢力。

與 MOS 製程技術的進步，半導體得以更低的價格、更強大的功能和更廣泛運用地製造出各式各樣的電子產品。近年來，半導體主要技術發展重要議題如下。

## 一、摩爾定律

摩爾定律是評估積體電路製程技術進展的經驗法則。Gordon Moore 於 1975 年預測矽元件內部電晶體數量，每隔 2 年就會增加 1 倍，也就是後來廣人為知的「摩爾定律」(Moore's Law)，隨後 Moore 又將每 2 年的頻率修正為 18 個月。依照摩爾定律的說法，在相同面積的晶圓下生產晶片，隨著製程技術的提升<sup>36</sup>，每隔 18 個月晶片產出量就可倍增，對於業者而言，生產成本也得以降低。對於半導體市場，摩爾定律帶來的是關鍵是成本的降低、元件速度和產品功能的提升。也是整個半導體產業技術藍圖發展的主要依據，其帶來的效果如下。

### (一) 成本的降低

相同的時間內，只要能夠在晶圓上做出更多電晶體，電晶體密度的增加使得每個電晶體成本就能降低。其關鍵在於生產設備是否具備這樣的能力。

### (二) 元件速度增加

電晶體的數量多寡會決定晶片的規格性能，當電晶體和電路導線體積縮小，相對彼此間電子傳輸訊號就會越快。

### (三) 功能增加

晶片上可使用的電晶體越多，所能處理的資料越多，相對晶片的功能就越強。每世代的製程演進(符合摩爾定律的 18 個月)，都會讓晶片的電晶體密度增加一倍以上。

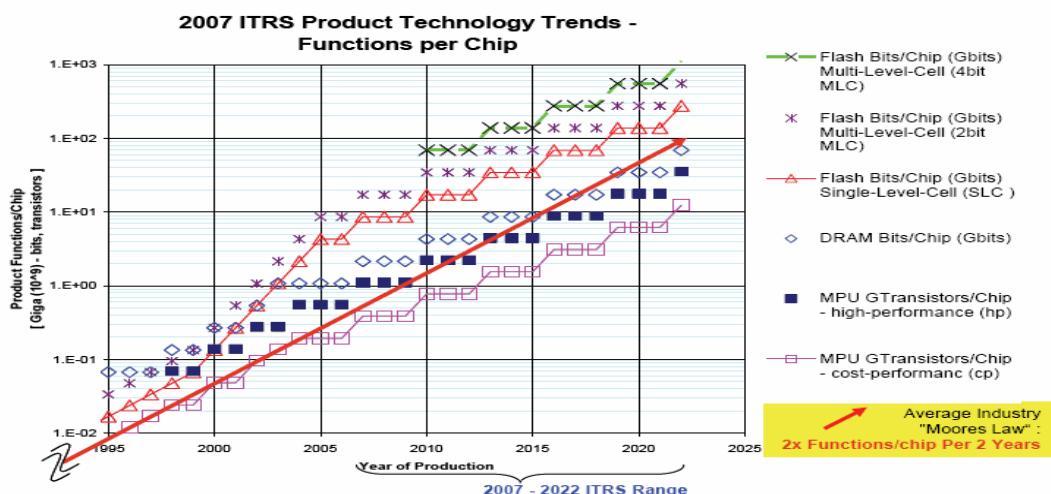
過去數十年來，摩爾定律一直是各家技術發展的依循目標，晶片功能的持續進化，也讓延續產業的成長生命週期，讓整個半導體產業和市場不斷有新的動能。但摩爾定律並非，絕對一旦摩爾定律無法持續<sup>37</sup>，代表產品的性能和價格比無法再滿足或吸引整個消費市場，如果沒有新的殺手級需求或應用，半導體產業

<sup>36</sup> 積體電路廠商需要晶圓上經過數百道製程步驟，利用黃光、薄膜、蝕刻、清洗、擴散等晶圓製程才能完成整片上晶片(包括微小的電子元件和應用的電路)的製作。製程設備的精密能力是決定晶片性能的最重要關鍵。晶圓製作完會將每個單位晶片測試、切割、封裝。

<sup>37</sup> 2005 年英特爾慶祝摩爾定律 40 週年之際，Moore 曾表示摩爾定律應仍可延續適用 10~20 年左右，不過隨著晶片性能和製造成本的挑戰越來越多，2007 年 9 月舊金山 IDF 大會上，Moore 又預言摩爾定律可能會面臨極限，在 10~15 年後失效。參考陳怡均，Gordon Moore：摩爾定律最快 10 年後失效，電子時報，2007/9/20

會逐漸進入成熟期。不論是從電子產品、晶圓製造商、設備製造商甚至到周邊相關產業等等，都很有可能會面臨整個市場成長瓶頸，因此產業鏈相關廠商都會盡力研發新的技術或材料，同時也會採取策略合作以降低風險。這也是未來觀察半導體市場的指標。

圖 12 是 ITRS 所整理出進十年來半導體主要產品的技術演進，縱軸是每個晶片上 MOS 元件的數量，代表晶片的性能。而橫軸代表著量產的時間。圖中從 1995 年來，各產品平均每兩年效能增加一倍，但是在 2005 年後卻變成三年左右，可見得由於研發、量產的投資金額快速的增加、尺寸縮小技術、材料遇到的挑戰都使得產品的週期有延長的趨勢。未來可以真正維持摩爾定律的也只有第一級的企業，例如晶圓製造商 Intel、Samsung、AMD 和設備商 Applied Materials、ASML、TEL 等一起推進摩爾定律的發展。



【圖 12】1995~2020 年晶片尺寸與功能演進，資料來源 ITRS 2007 Revision

## 二、半導體協會和技術藍圖

一開始半導體產業快速興起，讓各家為搶得先機而變成獨自發展，導致產業發展不均衡。因為整個研發、生產複雜的各種產品標準和製程技術標準不一，技術跑太快的廠商，可能面臨其他相關量產的基礎沒有準備好，而必須獨自說服其他供應商協力配合。結果造成企業不僅浪費時間和資源，沒有規格、標準和時程更讓早期發展的廠商必須冒著極大風險，同時也無法透過全球化以減少邊際化成本和達到規模經濟。半導體技術藍圖的產生可以協助產業訂定各種技術進展的時

程，並找出可能的技術障礙和相關的解決方案，做為半導體產業技術研發的依據。如此一來，整個產業便可以凝聚研發資源和資金投入，也可以促進整個產業有效率的發展，這也是台灣未來要發展產業必須考量的要素之一。

### (一)SIA-美國半導體產業協會 (Semiconductor Industry Association)<sup>38</sup>

美國半導體產業協會提供一個平台，以提昇整個半導體產業的競爭環境。其目的在於驅動技術進度、成果與整合產業的貿易、技術研發、環境安全和市場動態。對於整個全球的產業發展影響很大。

### (二)ITRS-國際半導體技術藍圖 (International Technology Roadmap for Semiconductors)

1992 年開始，SIA 邀集了業界代表，制定出美國半導體產業技術藍圖 ITRS<sup>39</sup>，以提供未來 15 年的技術趨勢，做為為整個產業鏈包括相關半導體製造商、生產設備、材料和軟體等業者的技術參考。國際半導體技術藍圖的內容包括了半導體相關產品的技術規格與製造標準，其發表的市場資訊也常被用來做為產業研究的參考。99 年 11 月底美國半導體協會(SIA)所公佈了國際半導體技術藍圖 ITRS 是首度由全球代表所共同參與訂定的正式版本。從 1999 年起 ITRS 每兩年起的奇數年會發表大改版的藍圖，而偶數年則提出小修改<sup>40</sup>。它的成員包括企業、學校、政府機構、或其他研發機構和財團法人，有關詳細成員內容請參照圖 13。ITRS 所探討的主題包括了整個半導體的產業鏈、供應鏈甚至到企業的價值鏈<sup>41</sup>，而且各主題內容從技術、規格、整合到新產品技術研究都定義了各階段詳細的時程和規範，因此也成為現在所有相關企業研發投資的重要依據。ITRS 也提供一個競爭平臺，先達到的人就能夠以這個優勢在市場上取得先機。比如說以中央處理器度(CPU)而言，因為需要最先進的製造技術，所以 Intel 都是技術走在最前端而且量

<sup>38</sup> 美國半導體產業協會於 1997 年由五家微電子公司所創立，為主要美國半導體產業的貿易協會，其成員包括了大於 85% 的全美國半導體生產公司，資料來源 SIA 網站 <http://www.sia-online.org/home.cfm>

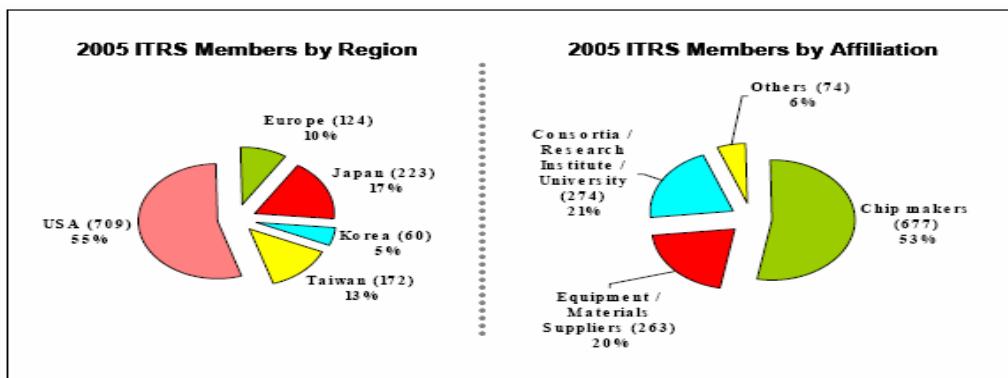
<sup>39</sup> 半導體技術藍圖的用意在於整合產業的意見，設定各種產品和技術進展的時間點，然後將其中的每項技術和挑戰用時程圖表示，做為整個產業遵循的依據。

<sup>40</sup> [2007 Edition](#) , 2006 Update , [2005 Edition](#) , [2004 Edition](#) , [2003 Edition](#) , [2002 Update](#) , [2001 Edition](#) , [2000 Update](#), 1999 第一版

<sup>41</sup> ITRS 討論的主議題包括了設計、製程、封裝和測試。也包括了相關的支援活動。前者有市場成長動能產品，晶片設計、測試和測試設備、製程整合、無線通訊技術、萌芽的元件、前段製程、光學微影、連接層、良率、量測等等半導體產業鏈各環節。

產最快的企業，也因此能保持它在業界的領先的地位，同時也在電腦市場搶得先機，不會讓對手有追上的空間，但也迫使其競爭對手轉向與 IBM 合作。

無論如何，至少這樣的藍圖讓產業的技術發展產生共識，有效地讓相關廠商集中資源和良性的競爭使得產業和市場都能蓬勃發展。在後面章節部分在數據、技術發展參考等部分，會以 ITRS 所發表的主要依據。國際半導體技術藍圖 (ITRS) 並不是一項具體的研究發現，而是一種優先選擇研究方向和制定研發計劃的方式，通過制定有關創新和技術需求的目標，ITRS 迫使微電子行業展開激烈競爭，而競爭的結果只有一個，那就是進步。ITRS 是科學、技術和經濟學結合的產物，無論是新材料的研發、產品的加工製造還是設備的設計都成為它的受益者。



【圖 13】ITRS 的成員組成結構，資料來源 ITRS 2005 Edition

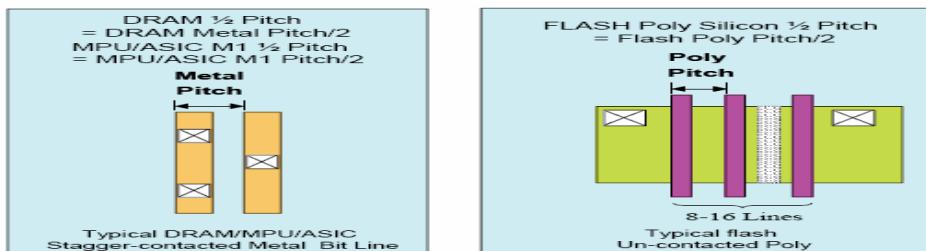
### 三、半導體重要製程技術發展歷程

積體電路導線寬度會隨元件相對地縮小<sup>42</sup>，也會讓晶片功能越強。為了提昇晶片效能和降低製造成本，半導體製程世代 (technology node) 從 1999 年 180 奈米進步到 2007 年的 65 奈米線寬<sup>43</sup>。依據 ITRS 2005 的定義，如下圖 14，線寬主要定義為元件上第一層導線間距的一半。基本上製程世代進展會以遵循摩爾定律為主，基本公式為新製程世代為前一代的線寬乘以 0.7。其結果就是新一代的晶片性能都會因為 MOS 元件密度配合新的材料而增加一倍。表 11 是 2000 年 ITRS

<sup>42</sup> 積體電路主要由 CMOS 元件和元件上層的電路導線佈局而成，其生產原料為矽晶圓，而生產過程所用的相關生產技術就稱之為半導體製程

<sup>43</sup> 奈米=1nm, n=10^-9. 每一代製程縮小規模約為前一代\*0.7，線寬越小代表晶片上元件密度越高，性能越強。

所定的時程表，其結果和實際量產時程接近，但製技術面臨的挑戰也讓 ITRS 每年必須修改藍圖。



【圖 14】2005 ITRS 製程世代線寬的定義，資料來源 2005 ITRS Edition

【表 11】2000 ITSR 和 Intel 公佈的製程技術量產時程，資料來源 ITRS2000 版、  
本研究整理

2000 更新										
量產年	1999	2000	2001	2002	2003	2004	2005	2007	2008	2011
ITRS 時程	180nm		130nm			90nm			60nm	40nm
Intel 時程		130nm			90nm		65nm	45nm		22nm

### (一)銅製程導入

傳統的導線材料為鋁，以銅製程取代傳統鋁製程<sup>44</sup>，相同層數的 IC，其生產速率最高可以比鋁製程快四倍。相反地，銅晶片所需層數只需要傳統鋁製程的一半，就能達到相同的元件功能，因此在製造成本上可以獲得同比例降低，提高競爭力。主要在 130 奈米以下才成為主流，主要產品為以要求晶片性能的數位訊號處理器和標準式客製化晶片。為但是在記憶體產品上，由於主要產品提升是在於記憶體容量，因此尚在研發階段，這也是未來很有潛力的市場。

### (二)Low-k 材料的使用

Low-k 和銅製程並列為奈米積體電路金屬層的兩大解決方案，一般而言，K 值要低於 3 才稱為低介電材料。當線寬進入 250 奈米以下時，電阻電容遲滯(RC-delay)效應的影響會越來越大<sup>45</sup>。為降低 RC-delay 之效應，除了使用銅導線取代

<sup>44</sup> 採用銅作為導線的製造方法就稱為「銅導線製程技術」，而 1997 年率先研究銅製程成功的 IBM，申請這項技術專利時將它取名為「大馬士革」(Damascene)。也成為各家發展的主要依據。

<sup>45</sup> 隨著金屬導線層數的增加以及導線間的距離不斷縮小，電子訊號在金屬連線間傳送時，金屬連

鋁導線，另一方法為選用低介電常數(low-k)為介電層之材料以取代傳統的二氧化矽<sup>46</sup>，以降低導線間電流的互相干擾，進而提升晶片的傳輸速度，當電容值與介電材料的介電係數 k 成正比，當 k 越小，電容值就越小。由於製程整合的困難遠超過預期，low k 材質替換 SiO<sub>2</sub> 的時程較 ITRS 所定的時程延遲了 3 年之久。

相關的製造流程較為複雜與投資成本大幅增加，使得 low-k 真正的大量運用是在 90 奈米的高效能晶片，如 CPU，繪圖晶片和數位訊號處理器等等。以台積電而言，其研發部門從 2001 年 130nm 量產時就開始研發 90 nm 銅製程加 low-k，但由於製程整合和封裝的困難，一直到 2004 年導入量產，在 2005 年才貢獻營收和毛利。Low k 目前製程主要分為兩大主流：化學氣相沉積法(CVD)及在旋佈玻璃法(Spin On Glass)2 種，主要設備技術供應商分別為 AMAT(Applied Materials)與 Dow Corning，兩者皆擁有 OSG 的製程專利權<sup>47</sup>，此技術的基礎可說是由 Dow Corning 發展的，但由 AMAT 將其擴展並成功整合進製程中，其運用的 CVD 解決方案與傳統的氧化矽製程有許多共通點，可以使製造商較容易從傳統氧化矽製程轉移到新的技術。因此 AMAT 以其專利的黑鑽石(Black Diamond)製程技術，在後來的成功佔有市場優勢。

### (三)絕緣層上覆矽 (SOI) 技術

簡單地說，傳統的晶圓採基板與單結晶矽的雙層構造，而 SOI 晶圓則是在基板與矽之間，多一層絕緣體的 3 層構造，用以隔絕各個電晶體，以減少漏電現象，提高運算效能，或降低行動裝置中 IC 的電力消耗。根據估計，SOI 技術相較於目前的空白矽晶圓 (Bulk Silicon)，不但整體 IC 產品性能可提高 20% 以上，在運算操作耗能上亦可再減少 30%。SOI 過去被視為半導體製程當中較為利基型的技術，大多數市場上採用 SOI 製程技術多為整合元件業者，如 IBM、飛思卡爾等，飛思卡爾 Power PC 系列處理器以及像 Sony PS3、任天堂(Nintendo)Wii 及微軟(Microsoft)Xbox 360 遊戲機處理器也採用 SOI 製程，以降低其耗電與強化散

---

線的電阻-電容延遲時間已經開始限制半導體元件的速度，令尺寸縮小下所能獲得的助益相形失色，更成為速度受限的主因。同時電阻與電容的增加也增加了功率的消耗與訊號間的交互干擾，即所謂之 RC delay。解決 RC-delay 最簡單且最直接的方法乃設法降低電阻與電容。

<sup>46</sup>低介電值材料常以 low-k 來稱呼，低介電值材料是 1 種用於中間連接間的絕緣介質材料。過去一直作為絕緣材料的二氧化矽(SiO<sub>2</sub>)，其介電係數約為 3.9~4.5 間，然而當製程不斷推進，二氧化矽已逐漸接近應用上的極限。在 90 奈米以下製程，為了減低相互間的訊號干擾，開始出現用低介電常數材料取代金屬導線的二氧化矽，目前 90/65 奈米採用的絕緣材料 k 值均在 2.4 以上。

<sup>47</sup>整合低 k 介電質的有機矽玻璃材料 (Organic-Silicate Glass，簡稱 OSG)，半導體科技，2004/3/22

熱，由於普遍缺少 IC 設計業者採用，SOI 的市場成長始終存在侷限性。

SOI 聯盟於 2007 年 10 月中旬成立，成立之初就號召約 19 家半導體業者加入<sup>48</sup>，聯盟主要成立的用意，為了傾聽市場更多使用者聲音，並進一步了解市場需求，集合眾多業者的力量，營造適合 SOI 持續成長的環境，提供晶片設計業者可實現的解決方案。同時為了促進 SOI 市場持成長也希望此聯盟成員能彼此合作，降低 SOI 製程的成本效率。目前多用於 65 奈米製程以下地高效能晶片上。

#### (四)十二吋晶圓廠的量產

當元件縮小在八吋晶圓的成本效益，在 150 奈米越來越不明顯時，12 吋晶圓製造變成各家爭鳴的新動能。12 吋晶圓廠有如此大的影響力，原因在於其快速提升產能及降低生產成本二大因素。在提升產能方面，每一片 12 吋晶圓的產出，至少比 8 吋晶圓多出 125%；生產成本上，根據 SEMATECH 估算<sup>49</sup>，八吋晶圓 180 奈米鋁/二氧化矽的成本為 1697 美元，而 12 吋晶圓則需 2663 美元，但切割成每晶片來看，12 吋製造成本只有 8 吋晶圓的 2/3。在 12 吋廠的經濟效益於 2001 年成形後，世界各地的十二吋廠的建廠就如火如荼的展開，可見其成本降低和晶片性能提升之優勢。然而 12 吋廠的製造成本是八吋的兩倍，加上更先進製程的研發投資必須轉往 12 吋，在資金募集和折舊攤提的壓力下，也讓一些較不具規模的企業逐漸失去競爭力，也讓產業結構出現變化。其中包括 DRAM 廠的資本競爭，晶圓代工市場的成長和設備廠商的更激烈競爭，詳細內容會於後面章節產業結構探討。

【表 12】1999~2006 年全球 12 吋晶圓廠投產情況 資料來源 電子時報 2005/2/2

廠別	CPU	IDM	晶圓代工	記憶體	新增廠數	總計
1999	0	0	0	1	1	1
2000	0	0	0	0	0	1

<sup>48</sup> SOI 聯盟成員包括超微(AMD)、安謀(ARM)、益華(Cadence)、CEA-Leti、新加坡特許半導體(Chartered Semiconductor)、飛思卡爾(Freescale)、IBM、Innovative Silicon、KLA-Tencor、Lam Research、恩智浦、三星電子(Samsung Electronics)、Semico、Soitec、SHE Europe、意法半導體(STMicroelectronics)、新思(Synopsys)及台積電與聯電。

<sup>49</sup> 半導體製造技術產業聯盟 (Semiconductor Manufacturing Technology) 在 1987 年 3 月，由 14 個會員廠商於加州聖塔克雷拉成立，其永久會址設在德州奧斯汀。SEMATECH 設定的三個任務是研發先進半導體製造技術、測試所生產的設備技術於生產線上和發展一新製造方法，可將新技術用來生產各種不同的微電子產品。

2001	1	0	3	0	4	5
2002	1	5	0	4	10	15
2003	1	1	0	2	4	19
2004	2	0	4	5	11	30
2005	2	3	5	6	16	46
2006	1	0	1	8	10	56

## 參、半導體產業結構

### 一、半導體產業鏈

半導體產業結構發展模式已經從 80 年代垂直整合、轉為 90 年代垂直分工，到現在的群聚實質垂直整合<sup>50</sup>。垂直分工只是將整個產業結構分為各價值區段，而各區段皆可獨立出一個另外的產業鏈。造成產業結構改變的主因，是單一企業已經無法承擔技術演進的巨額資本支出和趕上技術量產時程<sup>51</sup>，而必須分工合作來分擔市場風險。在產業結構的轉型中，最重要的是 IC 設計、晶圓代工的興起和 DRAM 產業的策略聯盟，這些變化也讓設備業者的研發和銷售策略轉往區域化發展。上游的系統、IC 設計和 IP 供應商，中游的晶圓製造和下游的封裝測試構成完整的產業價值鏈。

半導體產業鏈如圖 15，前段的設計和整合元件業者有產品的差異化，因此享有最高的利潤<sup>52</sup>。居產業鏈中段的晶圓製造業由於資本和技術門檻高，也享有高利潤，但市場變動的風險較高<sup>53</sup>，周邊最重要的支援產業則為設備供應商。整個產業除了前段設計端外，在中後段半導體的製造過程都必須依賴半導體設備業者

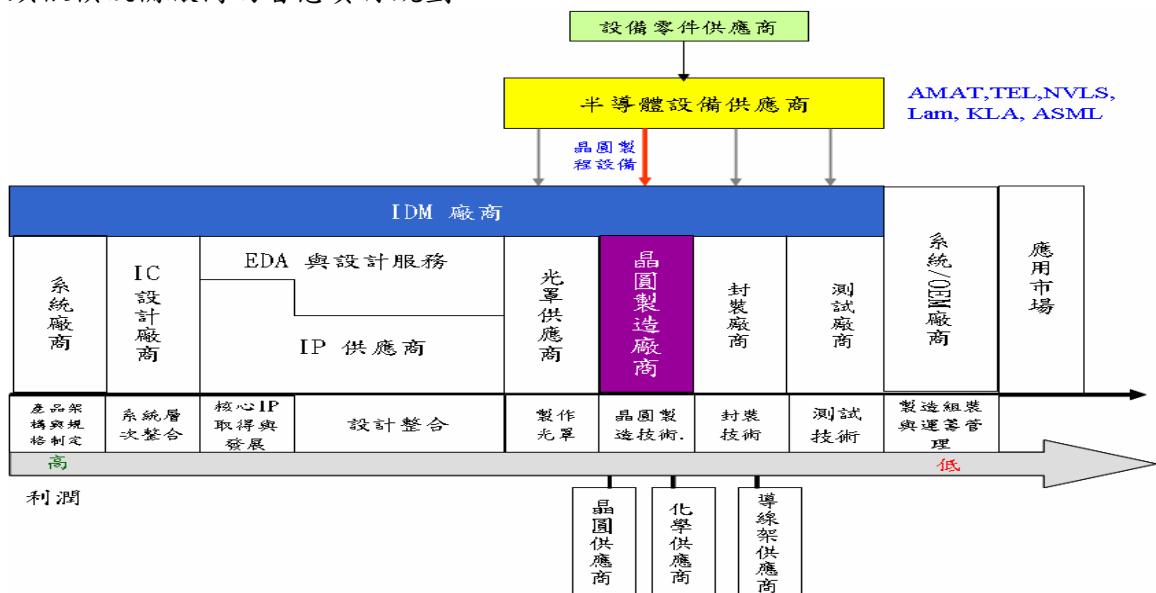
<sup>50</sup> 1980 年代時，全球主要半導體產業大廠，大多以 IDM 大廠為主，所有半導體大廠均需仰賴自己的晶圓廠生產半導體產品。1990 年代後，投資金額技術瓶頸與產業風險增加，垂直分工世代正式來臨。近幾年來半導體產業的發展，又與 1990 年代的垂直分工世代不同，進入所謂的「群聚實質垂直整合世代」，基本上此一世代的半導體產業營運模式，仍是晶圓代工與 IC 設計大廠並存的模式，只是不同處在於雙方需共同研發、設計與製造一顆多功能性的 IC。

<sup>51</sup> 每一晶圓尺寸和依循摩爾定律製程世代的改變，都讓晶圓廠的投資和研發成本大為增加。如八吋到十二吋廠，其投資額從 8 億大幅增到 25 億美元。而光是在 90 奈米的製程轉換上，在 2003 Intel 就編高達 42 億美金的研發費用。資料來源 Intel 公司年報

<sup>52</sup> 如整合元件大廠 Intel 和設計大廠聯發科技的毛利率都在 50% 以上。

<sup>53</sup> 晶圓代工龍頭台積電的毛利由於技術領先，擴產謹慎，再加上成熟、先進製程產品組合多，毛利率多在 40% 以上甚至不輸二線的設計業者，但在市場需求減少下，也面臨產能利用率低於 60% 的損益平衡壓力。但是在 DRAM/Flash 產業，資本支出大加上市場的波動太過劇烈，有常常在毛利率大於 50%，隔年變成負的毛利率。

的技術和維護能力，才能及時量產新製程世代的晶片，因此也擁有不輸前段業者的高毛利率(參考表 13)。然而在整個產業鏈上，台灣在晶圓代工、封測和 IC 設計已居世界第一和第二。但是在具有關鍵地位的半導體設備和材料上，台灣廠商卻沒有抓住產業結構改的機會切入市場。產業在最先進的製程世代發展上，還是必須依賴設備廠商的智慧資源規劃。



【圖 15】半導體產業鏈，資料來源 半導體趨勢圖示 2000/08 和本研究整理

【表 13】2003~2007 主要晶圓製程設備廠商毛利率，資料來源，本研究整理

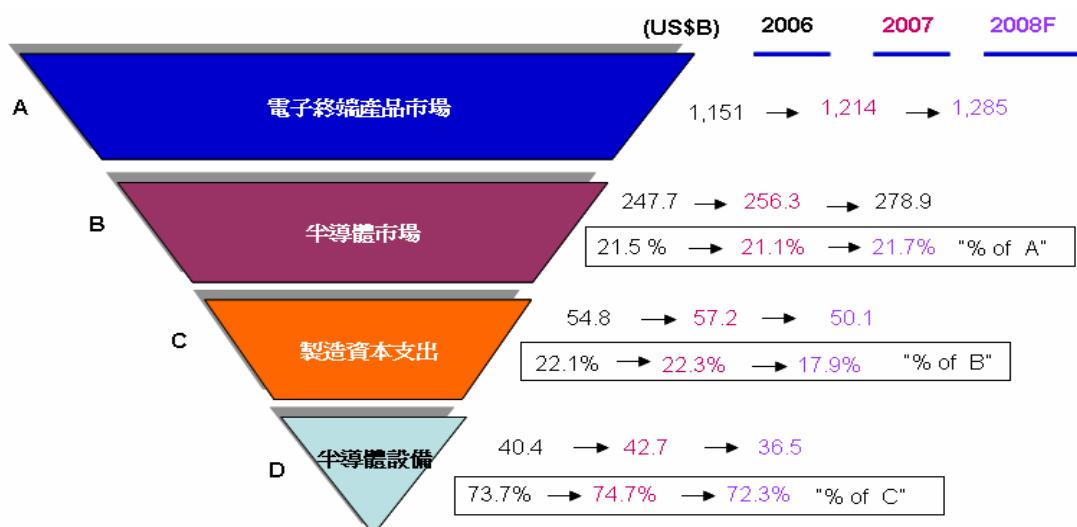
主要廠商	2003	2004	2005	2006	2007
AMAT	36%	46%	44%	47%	46%
TEL	29%	27%	28%	28%	32%
Lam	40%	46%	51%	50%	51%
NVLS	41%	49%	55%	50%	49%
ASMI	35%	37%	35%	39%	38%

## 二、半導體市場結構

發展至今，半導體市場規模已經和全球電子終端市場需求息息相關。IC 製造業者必須妥善規劃資本支出來提升製程研發能力和增加新產能<sup>54</sup>，在追求企業競

<sup>54</sup> 主要為晶圓產出業者包括整合元件大廠、晶圓代工和記憶體製造商

爭力和成長同時，也不至於造成市場供需失衡。經過多次景氣循環，電子產業上下游的市場結構已逐漸發展成圖 16 所示。半導體占電子產品的比重逐漸維持在 21%左右，在學到過去樂觀擴產的苦果，IC 製造業者資本支出也小心控制維持在半導體市場的 20%以下<sup>55</sup>，而資本支出將近 70%以上的資本支出主要用於購買半導體設備。值得一提的是，十二吋晶圓廠的發展並沒有為設備業帶來另一波的成長，在業者產出大量增加但需求卻沒跟上的情況下，設備市場有明顯的飽和情況。



【圖 16】2006 ~ 2008 半導體市場結構與銷售資訊，資料來源 WSTS/IC Insights  
本研究整理

## 第二節 晶圓製程設備產業特性

晶圓廠是一個非常複雜的製造環境，以一個十二吋廠為例，從設備裝機到試產需要六個月以上，生產線包含超過 250 種製程機台，需執行 50 至 60 種不同製程步驟，從晶圓原料到晶圓產出總共需經過 300 道以上製程，接下來還要經過測試和封裝才能將晶片成品送到客戶，產出的 Cycle Time 超過兩個月<sup>56</sup>。一座 12 吋晶圓廠的成本大約 20 億美元，其中製程設備的採購和安裝架設就佔了 14 億美元以上，是晶圓製造商最大的資本支出項目。在深入設計和興建新的晶圓廠前，晶圓製造商需要做許多面向的考量，因為設備的選擇會影響晶圓廠的面積、折舊、

<sup>55</sup> 2006 和 2007 年回到 20%以上，主要是因為台灣與韓國 DRAM 廠的大舉擴產

<sup>56</sup> 產品從原料到成品所需要的製造時間，時間越短反應生產效率越好，產出也會增加。

生產效率和最終產品成本，廠商的評估選擇是晶圓廠必須提前半年以上就必須開始的最大工程，影響甚巨。本節就從介紹晶圓製造流程開始，探討半導體設備、晶圓製程設備、市場、產品種類、功能到競爭分析，以全面了解晶圓製程設備產業的特性。

## 壹、 半導體設備產業概述

### 一、 半導體設備種類

半導體生產製造流程可區分為材料加工製造、晶圓積體電路製造及晶圓切割、封裝(wafer package)等三大類，詳細半導體設備依製造程序分類為表 14，其中可以看出晶圓製程在技術和投資上占了絕大部分比重。

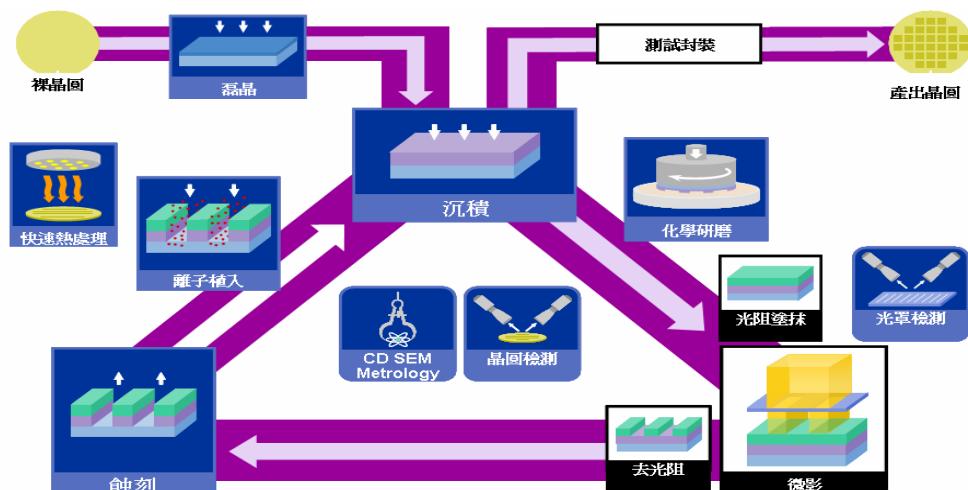
【表 14】半導體設備種類，資料來源 SEMI<sup>57</sup>、本研究整理

製程種類	設備種類	功能	佔設備市場比重
前段 (Front-End)	晶圓製造	從矽晶石原料提煉矽多晶體直到晶圓(wafer)產出，此為半導體之上游工業。此類矽晶片再經過研磨加工及多次磊晶爐(Epitaxial reactor)則可製成研磨晶圓成長成為磊晶晶圓，其用途更為特殊，且附加價值極高。	~0.5%
	光罩製造	將積體電路的元件與導線設計印製到晶圓上	~2%
	晶圓製程設備	將積體電路的元件與導線設計製作在晶圓上，包括相關的缺陷、尺寸檢測設備。	70~75%
NA	廠務相關	潔淨室、相關化學材料和設備、環保	6~8%

<sup>57</sup> SEMI (國際半導體設備材料產業協會) 是全球性的產業協會，致力於促進微電子、平面顯示器及太陽能光電等產業供應鏈的整體發展。會員涵括上述產業供應鏈中的製造、設備、材料與服務公司，是改善人類生活品質的核心驅動力。SEMI 的服務項目包括：專業展會規劃、產業標準建立、市場研究調查、會員服務、教育訓練課程等。自 1971 年成立至今，SEMI 不斷致力於協助會員公司快速取得市場資訊、提高獲利率、創造新市場、克服技術挑戰，以及促進會員與其客戶、投資者、供應商、政府及全球產業精英的關係。SEMI 的辦公室遍及新竹、上海、北京、新加坡、漢城、東京、莫斯科、聖荷西、奧斯汀及華盛頓。

		工安和電腦整合製造等	
後段 (Back-End)	封裝	將晶圓切割成片狀的晶粒(die)，再經 焊接、電鍍及包裝後即為半導體成 品。	~5%
	測試	檢測晶圓良率和封裝後各晶粒(Die) 的功能和	10~15%

## 二、晶圓製造流程



【圖 17】晶圓製造流程 資料來源應用材料公司

從原料裸晶圓(Bare Wafer)到成品會經過複雜的各個製程步驟，主要的流程可以分為微影、薄膜、蝕刻、擴散和化學研磨<sup>58</sup>等五區，每一區都包括數種晶圓製程相關設備。在建新廠時，晶圓製造商會真對每區所需要的製程步驟開列出設備規格，然後進行生產線自動化系統上線、設備裝機、製程調整和整合等工作，確認各產品的良率能順利達到要求。一個積體電路的製造需要超過百道的步驟，便是依此過程循環，多層建構而成，將 MOS 元件和電路設計的導線如蓋房子一樣，製作在晶圓上，其主要流程順序如圖 17。因此在設廠前，除了建廠設施所需外，晶圓製造商就必須提前規劃半年就產品所需要的製程世代、設備商和產品，

<sup>58</sup>化學研磨主要是在進入 90 奈米後為了更加化的平坦度而大量運用的一道製程

設備商才能將產品和所需人力和物料資源準備好。

每道製程中的量產規格，包括量測數據和相關製程參數設定，是採購和驗收設備的標準，也是每一家晶圓製造商的專利和專門技術的所在<sup>59</sup>。製程技術必須要透過購買設備才能取得<sup>60</sup>，設備廠商會負責協助完成每一製程步驟驗證，晶圓製造商則必須要集中研發和各製程部門人力將各製程步驟串聯起來，經過不斷的調整才有可能在最快時間量產獲利<sup>61</sup>。因此晶圓製造商的核心能力還是在於將所有製程整合以達到良率和生產效率的技術。每一製程世代(Technology Node)的演進，除了晶圓變大外，主要在於元件縮小和材料的改變。但晶圓製造商蓋新廠時，所購買的設備卻大多只能支援兩代製程如 130/110 奈米、90/65 奈米等。

### 三、晶圓製程設備概述

#### (一) 晶圓製程設備種類

依據 SEMI，晶圓製程設備主要種類整理於表 15。

【表 15】晶圓製程設備種類，資料來源 SEMI 及本研究整理

製程區	設備種類	製程功能
微影(Photo)	曝光與顯影	將晶片設計的光學圖案曝光在晶圓塗抹的光阻上
	光阻處理	塗抹在晶圓上，以將晶片設計的光學圖案轉印到晶圓表面
蝕刻(Etch)和 表面平坦化 蝕刻和 化學研磨	蝕刻	移除晶圓表面的材料以達到 IC 設計需求的製程，主要有乾蝕刻、和濕蝕刻兩種。
	表面處理/清洗	去除晶圓表面處理完上的所殘留的材料以利下一道製程的處理
	化學研磨	結合化學反應和機械研磨來移除沉積的金屬或絕緣層薄膜使表面更加平坦化
(Diffusion)	熱處理	氧化層生長，恢復矽晶體的結構
	離子佈植	添加硼、磷、砷、鎢添加物控制元件的導電率。

<sup>59</sup> 製程專利都是連結在機台設備上面，應以營業秘密或工作流程保護之，以專利申請容易暴露辛苦的製程試驗而且不易舉證還原，資料來源，周延鵬，跨國公司的技術移動、經營與法律。

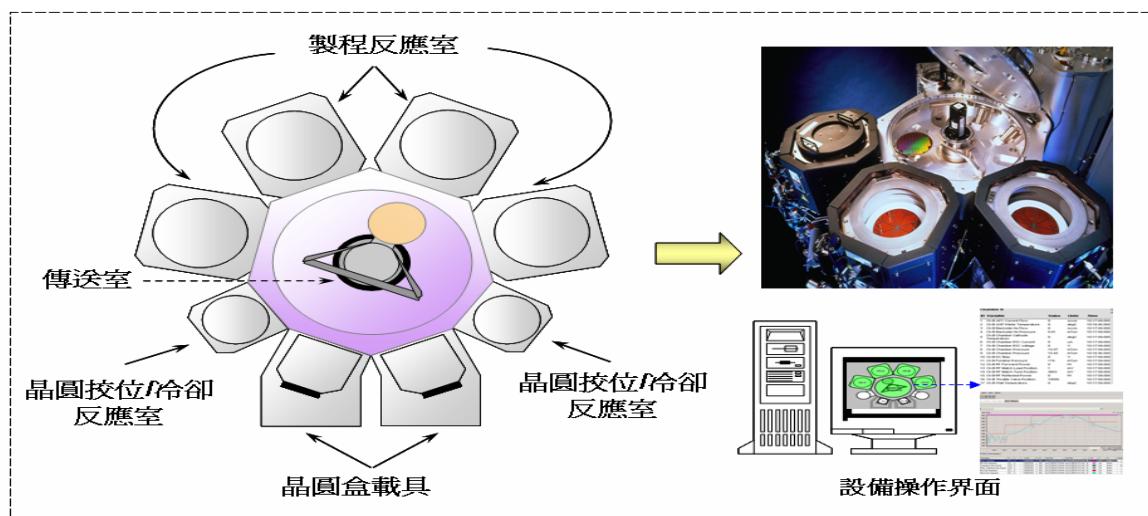
<sup>60</sup> 藉由設備商在其他客戶的量產驗證可以縮小晶圓廠的整合時間，除了縮短量產時間外，也可以取得技術和資源。

<sup>61</sup> 從 Bare Wafer 到得到良率所需時間最少須要兩個月以上，也因此 IC 製造商會先嚴格要求各製程步驟標準，以避免製程整合的困難和時間成本。

薄膜 (Thin Film)	化學氣相沉積 (CVD)	主要將導線間的絕緣材料，也就是介電材質鋪在晶圓表面
	物理氣相沉積 (PVD)	將高導電率的金屬如鋁、銅沉積在晶圓表面形成IC設計所需的電路
量測 (Metrology)	缺陷、製程檢測	抽檢晶圓各製程步驟的規格與可能產生的缺陷，確保設備的生產狀況良好
	其他	包括磊晶、電鍍、晶圓記號等

## (二) 晶圓製程設備結構

晶圓製程設備生產方式主要有批次(Batch)處理與單晶圓(Single Wafer)多反應室。1987年以前，製程都是使用批次式(batch)製程技術，一個製程步驟同時進行多片製程處理，所以使用一個大型反應室，例如離子植入。1987年後，晶圓製程設備傾向於單片多反應室設計(single wafer & multi-Chamber)。其好處為可以解決晶圓尺寸愈來愈大趨勢，因為批次式反應室所能處理的晶圓片數愈來愈少，而製程條件的控制也愈來愈複雜，於是採用單片式的設計。多反應室設計的優點為共用的製程平台(mainframe, platform)只須加掛需要的製程反應室，就可以整合下一步驟的製程，尤其在前段元件製程上，更可以增加產出生產時間和減少製程整合的困難。



【圖 18】晶圓製程設備結構與顯示圖，資料來源 應用材料公司網站、本研究整理

晶圓製程設備主要由控制平台，晶圓盒載具(Load port)、傳送室、晶圓反應室和化學材料供應等模組所組成，其結構和顯示圖整理於圖 18。各模組包括了硬體與軟體。控制平台整合各模組的資訊，讓使用者利用其使用者界面操作設備生產及維修。各模組的運轉和整合必須具備高可靠度及精密度才能讓設備達到晶圓製造商的量產標準，因此設備廠商必須具備高系統機電整合和特殊製程技術能力<sup>62</sup>。設備的關鍵在於製程反應室的效能必須需經過長時間的研發和測試才能達到高良率和穩定度的要求，而且在裝機後，除了製程反應室必須達到有效參數範圍(Process window)外，也需要原廠和區域化技術支援人力的素質來維護量產穩定度<sup>63</sup>。現有的高階製程（通常指 0.13 微米以下製程）設備主要都是以十二吋晶圓增為主<sup>64</sup>，體積雖然不大，但單一設備的金額往往都是上億元以上而且毛利都在 50% 以上，是屬於高單價和高毛利的產業。在十二吋晶圓設備上，SEMI 也在設備規格上訂定各種軟硬體標準以供晶圓製造商和設備商遵循，所以在開發新設備時，設備商必須要先瞭解設備設計和標準的差異，盡可能在兼顧獨家設計與標準，以免設備到位後必須進行改良。

## 貳、半導體設備市場分析

在上一節半導體產業的市場結構提到過，設備市場的規模主要是由所有晶圓製造商的資本支出所決定，每一家晶圓製造商幾乎都會在當年會計年度第四季估算其下年度的資本支出，這也是市場進行半導體設備市場預測的基礎。另一方面也可以透過晶圓製造商的景氣和未來產能擴充需求分析，大約可以預測半導體設備市場的景氣，B/B ratio 和產能利用率便是兩個重要的觀察指標<sup>65</sup>。

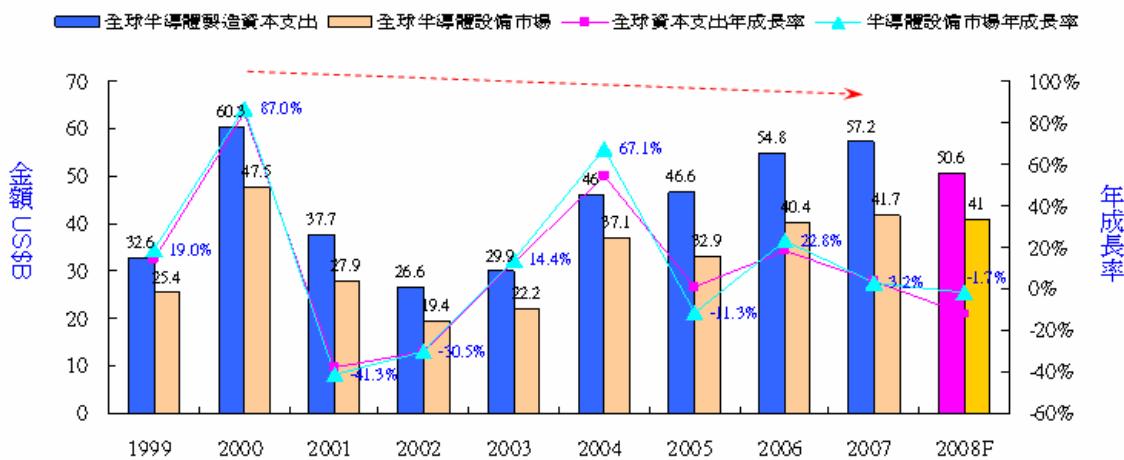
### 一、全球半導體設備市場規模與景氣循環

<sup>62</sup> 系統機電整合包含了自動化系統，機電產品製程技術，機械視覺，機電介面與系統整合，電腦及週邊設備等領域結合

<sup>63</sup> 半導體設備除了年度維修與平常的預防保養外，都是 24 小時不停的運轉，任何的當機都會造成工廠巨大的損失，因此對設備的品質要求遠比其他產業來得高。基本必須具備高可靠度及精密度。

<sup>64</sup> 八寸設備主要是以購買二手機台為主，因為設備商多數的八吋機台已經不提供新的功能改善。

<sup>65</sup> B/B ratio 意指訂單出貨比例，代表業者每出貨 100 美金後同時可以收到多少訂單。半導體的出貨一般要抓三個月，因此若 B/B 開始小於 1 代表下一季的出貨會減少，IC 製造商的產能需求會趨緩，產能利用率也會下降。為避免景氣假象，IC 製造商會等連一季 B/B 大於 1 才會比較確定景氣轉好，也才會開始擴產。



【圖 19】1999~2008F 全球半導體資本支出與設備市場出趨勢，資料來源 SEMI、本研究整理

半導體設備的景氣波動更甚於半導體市場，設備商景氣主要隨 IC 製造大廠商的資本支出多寡而起伏，這點從圖 19 中看出 1999~2007 年全球半導體設備幾乎和半導體資本成長趨勢一樣。在 2000 年，由於網路的興起導致晶圓製造商過度樂觀的投資，使得半導體設備景氣達到歷史高峰，比 1999 成長了 87%，之後至今的幾年間，市場仍然無法回復 2000 年的水準。對於半導體設備產業言，2001~2002 年半導體景氣的嚴重衰退，使晶圓製造商的毛利、營收嚴重縮水，相對資本支出也跟著減少，半導體設備市場影響波動更大。因為半導體廠商的資本支出減少，擴充產能的速度減緩，使得半導體設備商的訂單減少，因此，可運用的資金也就跟著縮水，但是卻不能減少研發費用，最後的結果不是資金不夠，就是設備競爭力和支援能力下滑而被取代，甚至企業遭到其他業者購併。另一方面，半導體終端市場在 2004 年就已經恢復 2000 年的市場規模，且至今仍持續溫和成長，但是半導體設備市場 2001~2007 間的每年成長，主要還是來自前一年景氣的萎縮，而不是市場規模的增加，至今市場仍然無法達到 2000 年的水準。對於研發投資比例極高的設備商，這幾年來的景氣波動與成長性，也導致許多市占率或規模較小的設備商被併購或因此被淘汰。

此外，從 2001 年開始發展的 12 吋設備從 2005 年起便已經成為主流，但是根據 VLSI research 的研究，半導體設備業者進研發 12 吋晶圓製造技術和設備模組的過程耗時極久，研發經費更達 8 吋晶圓的 9 倍，回收投資所需時間更長。可

惜的是，雖然 12 吋晶圓面積約是 8 吋的 2.25 倍，但設備售價卻增加不到 1 倍，且隨著 12 吋廠的良率、穩定性及生產力大幅改善，1 座 12 吋廠最後產出量相當於同樣規模 8 吋廠的 4~5 倍，這使得全球晶圓市場供給較預期還多，相較之下，12 吋廠的設備市場反而變小。此外，十二吋晶圓廠的投資門檻也減少了許多的二線晶圓製造商，雖然十二吋晶圓廠持續擴建，可是卻沒有為設備商帶來更大的營收和利潤。因為客戶變少，所需要的設備也變少，但廠商開發成本增加，可以說明整體半導體市場在成長，但設備市場卻是呈現飽和變動大的情況。

尤其在推進奈米製程後，設備商的面臨更大的挑戰，不只研發投資的金額大，市場的變化劇烈，為了維持競爭力，設備商必須盡可能利用既有設備模組，同時還要不斷研發新的製程技術和和全球領先的晶圓製造商合作，並在各地佈局其設備和製程專利。因此這幾年來，在技術資金門檻極高的晶圓製程設備上，並沒有新的設備商可以從既有的業者搶得市場。新的製程世代開發往往需要大量的資金和研發資源，因此晶圓製造商也會透過全球化的技術聯盟合作以降低風險。而領先的晶圓製程設備業者可以運用其全球資源參與各聯盟提早完成各製程驗證量產要求，同時利用此一優勢切入各晶圓製造商的設備供應鏈。可以預期的是未來的市場只要出現大幅的衰退，設備市場的環境很可能會出現另一波整併風潮。

## 二、 全球主要晶圓製造商資本支出分析

主要的半導體資本支出還是在晶圓製造商上包括整合元件大廠、記憶體和晶圓代工，雖然製程流程和各製程參數、設備驗證規格不同，各家設備商在整合元件大廠、記憶體和晶圓代工的占有率也會變化，但所用的晶圓製程設備種類大致相同。透過表 17 分析晶圓製造商資本支出內容，本研究將發現整理於表 16，主要發現如下

- (一) 前十大資本支出廠商占了整體 6 成以上比重，但晶圓製造商營收和其資本支出不見得成等比例。
- (二) 記憶體製造商資本支出超過整體的五成，主要是因為 2006~2007 國際大廠和台灣 DRAM 廠商技術合作大舉擴廠<sup>66</sup>。其結果導致 2007 年第四季開始市場價格崩跌，廠商紛紛在 2008 年縮減資本支出，也是 2008 年晶圓製程設備市

<sup>66</sup> 記憶體廠必須要採用最先進的技術才能降低成本，可以說是一場技術資金追求戰。但缺乏新的應用產品，市場的波動性和風險很高。

場衰退的主因。其資本支出占營收的比例遠大於整合元件和晶圓代工廠商，投資風險相對偏高。

- (三) 除了 Intel 和 Samsung 外，其餘整合元件廠有逐漸委外代工的趨勢。像 TI 位居第 3 大晶圓製造商，但其資本支出卻位居 20 名，並在 2007 大減 45%。主要獲利者是晶圓代工業，但對於設備與製程技術的選擇還是具有一定影響力，因此可以從分析晶圓代工商了解各家合作之關係。
- (四) 相對其他業者，晶圓代工商顯得比較謹慎控制其資本支出和產能。其資本支出主要在加強在新世代製程的研發和量產驗證。除非產能滿載和客戶訂單持續單到下一季，晶圓代工商才會規劃擴廠，否則寧可維持高產能利用率以免購買太多設備而導致產能閒置，增加成本和折舊攤提。
- (五) 半導體設備比例一直占資本支出~70%的比重。詳情參照圖 20。

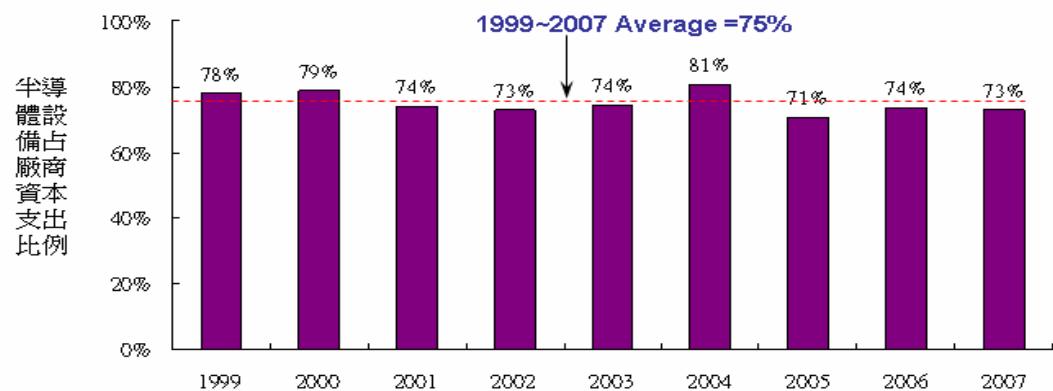
【表 16】2006~2008F 全球前 25 大資本支出 IC 製造產品類別分析表，資料來源 IC Insights (01/2007) 、本研究整理

製造類別	2006 資本支出 (US\$M)	2007 資本支出 (US\$M)	2006 資本支出 比例	2007 資本支出 比例	2007 資本支出 成長率
記憶體	23,308	28,310	50%	57%	-13%
整合元件	18,055	14,655	38%	32%	-6%
晶圓代工	5,637	5,800	12%	12%	-11%
Total	4,7000	48,765	100%	100%	-11%

【表 17】2006~2008F 全球前 25 大資本支出和主要晶圓製造商排名統計，資料來源 IC

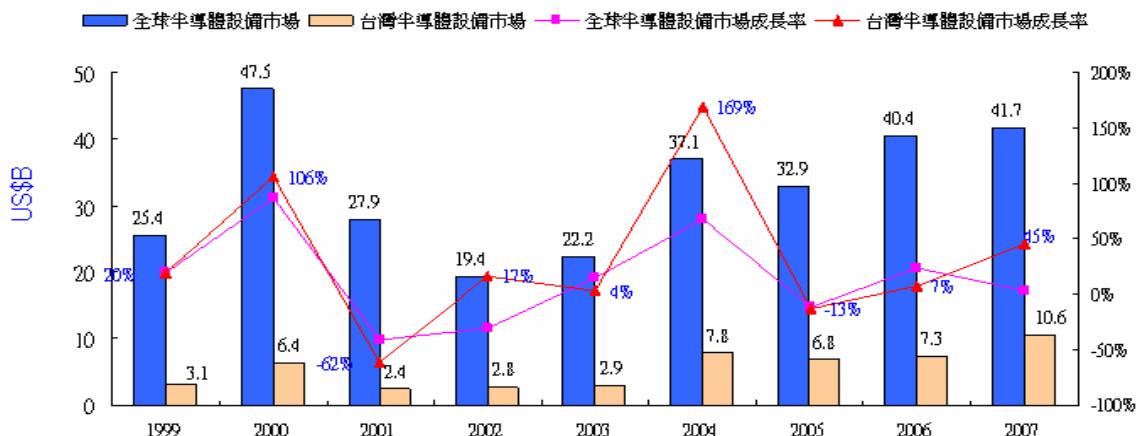
Insights 、本研究整理

	記憶體	整合元件	晶圓代工	單位:百萬美元			
2007 銷售排名	2007 資本支出排名	公司	2006	2007	2007 成長率	2008F	2008 成長率
2	1	Samsung	6,845	8,330	22%	7,800	-6%
1	2	Intel	5,766	4,900	-15%	5,000	2%
5	3	Hynix	4,380	4,600	5%	4,285	-7%
13	4	Micron	3,000	3,600	20%	2,500	-31%
4	5	Toshiba	3,052	2,805	-8%	2,900	3%
7	6	TSMC	2,418	2,600	8%	2,250	-13%
-	7	Nanya	910	2,475	172%	2,200	-11%
-	8	Powerchip	2,610	2,150	-18%	2,000	-7%
19	9	Quimonda	1,580	1,875	19%	1,700	-9%
-	10	Promos	950	1,875	97%	800	-57%
11	11	AMD	1,856	1,700	-8%	1,100	-35%
-	12	SanDisk	1,100	1,375	25%	1,450	5%
20	13	Elpida	1,245	1,350	8%	1,150	-15%
9	14	Sony	1,290	1,085	-16%	900	-17%
-	15	UMC Group	1,000	1,000	0%	800	-20%
6	16	ST Micro	1,533	960	-37%	875	-9%
18	17	Fujitsu	1,035	850	-18%	800	-6%
17	18	IBM	775	750	-3%	775	3%
-	19	Chartered	554	750	35%	700	-7%
3	20	TI	1,270	700	-45%	700	0%
-	21	SMIC	890	700	-21%	650	-7%
8	22	Renesas	688	680	-1%	680	0%
14	23	NEC	910	585	-36%	500	-15%
10	24	NXP	723	570	-21%	470	-18%
-	25	Matsushita	620	500	-19%	480	-4%
		Total	47,000	48,765	4%	43,465	-11%



【圖 20】1999~2007 半導體設備占廠商資本支出比例，資料來源 SEMI 、本研究整理

### 三、台灣半導體設備市場



【圖 21】1999~2007 台灣半導體設備市場及成長率趨勢，資料來源 SEMI 、本研究整理

台灣半導體設備市場總規模，從 2000 年的高峰 64 億美元，墜落到 2001 年的 24 億美元低點，衰退幅度為 62.5%，2003 下半年起開始復甦，2004 大幅成長至 78 億美元，然後在 2007 年由於 DRAM 業者的大幅擴充，市場成長到 95 億美元的歷史高峰，但是過度的投資在 2008 年起 DRAM 的價錢整整下跌了八成，因此 2008 年的市場預估應該會是相當幅度的衰退。根據 SEMI 報告，總計台灣 2007 年的設備投資金額達到 106.5 億美元，較 2006 年大幅成長 45.2%，正式超越日本成為全球最大半導體設備投資市場，其次為日本市場，採購金額為 93.1 億美元，南韓為 73.5 億美元，北美為 65.5 億美元。從表 18 來看，由於台積電和聯電等晶圓代工的資本支出已經趨於平穩，台灣半導體設備市場主要的動能來自於 DRAM 製造商和國際大廠的技術合作<sup>67</sup>，於 2006 和 2007 大舉擴充產能，由於市場景氣不佳而且波動極大，可預期的是 DRAM 業者將會在 2008 年大幅減少資本支出，由其在缺乏資金和無法主導技術發展，可以預期廠商間將會有另一波的整併發生。其所形成的技術聯盟也會影響到晶圓製程設備商的產品線。

可是從代工和記憶體市場分別來看其內容，台灣的晶圓製造商並無法能夠完成主導設備採購規格。台積電和聯電雖然在製程技術上已經漸漸和國際大廠同步，但是其營收成長要倚賴 IDM 大廠，在先進的技術上還是要與其合作，雙方

<sup>67</sup> 茂德和 Hynix 合作但 08 年後改為和 Elpida，力晶/瑞晶(力晶和 Elpida 合資公司)和 Elpida 合作，南亞科/華亞科和 Quimonda 合作 但 08 年改為美光。

對晶圓製程設備和製程規格要求是要有一致性的，這代表著在台積和聯電在設備廠商和其產品選擇上必須和其客戶協商才能決定，尤其是在最先進的製程。而在記憶體製造上，台灣既有業者的技術都必須來自國際大廠的授權或共同開發，但其技術內容包括晶圓製程設備選擇，各製程規格，生產資料庫和相關製程監控系統都必須和授權來源廠商一致。這代表著在晶圓製程設備這塊，如果設備廠商沒有先經過國際領先大廠如 IDM 大廠 Intel、AMD、Sony、Freescale 和記憶體大廠 Elpida、Qimonda、Hynix 等驗證，儘管產品沒問題，但是卻很難打入台灣客戶的供應鏈。而這也代表著設備廠商必須有足夠全球運籌管理能力上和健全財務，才有資源做全球化跨國銷售、研發合作和智慧財產佈局。

【表 18】2006~2008 台灣廠商資本支出分類表，資料來源 SEMI、本研究整理

製造類別	2006 資本支出 (US\$M)	2007 資本支出 (US\$M)	2006 資本支出 比例	2007 資本支出 比例	2007 資本支出 成長率
記憶體	4,970	6,800	59%	65%	37%
整合元件	0	0	0%	0%	0%
晶圓代工	3,418	3,600	41%	35%	5%
Total	8,388	10,400	100%	100%	24%

台灣半導體設備市場雖然已經在 2007 成為全球最大，如表 19 所示，在 2007 年規模也僅僅接近 1/4。一般而言，設備供應商是主要單一製程技術的提供者，只要在技術領先的晶圓製造商的研發階段驗證過，就等於可以獲得擴產的設備訂單。就技術內容來看，除了台積電和聯電主要的技術為自己研發，因此在設備選擇上較有自主權外，其他台灣的 DRAM 商都沒有設備廠商的決定權，因此設備商除了要在努力取得台灣 DRAM 商的信任外，最重要的還是要先取得授權來源客戶的驗證。

【表 19】1999~2007 台灣半導體設備占全球市場比例，資料來源 SEMI、本研究整理

	1999	2000	2001	2002	2003	2004	2005	2006	2007
台灣占全球半導體 設備市場比例	12.2%	13.5%	8.6%	14.4%	13.1%	21.0%	20.7%	18.1%	25.4%

#### 四、 全球前十大晶圓製程設備供應商

從表 20 可以看出主要的半導體設備商都是美國公司，主因是半導體的起源在美國，而且其政府積極參與和保護有關。前十大廠商在 06 年占了市場近 60% 的比例，在 07 年緩緩增加到 62%。而且 2005~2007 廠商的十大排名幾乎沒有什麼特別變化，這顯示整個設備產業的競爭版圖大致底定，彼此都很難從客戶端搶得新設備市場。在前十大設備供應商中，晶圓製程設備占了 9 家，這和晶圓製程設備占整體設備市場超過 7 成比例相符。

前面有提到過，晶圓製造商必須倚賴半導體設備商的製程技術和產品支援才能夠順利研發新世代製程並加以量產，不會輕易的更換製程驗證過的廠商，尤其一個製程世代通常維持一年半以上，即使在新製程有可能採用新技術，但是在生產的設備還是得依賴廠商支援。對既有的廠商而言，彼此的市占率也很難再提昇。各家廠商均有其核心技術和忠實客戶，晶圓製造商也樂於維持現狀以免一家獨大，更可以利用各家設備商的彼此競爭，可以在價錢和技術資源取得談判優勢。台灣更有晶圓製造商在每一道製程都會採取 Dual Vendor (雙供應商)策略，藉此要求廠商提高設備可生產時間(Uptime)和生產效率 (Productivity)<sup>68</sup>。

而從表 21 更可以清楚看出在各製程步驟設備上，主要的供應商只剩下兩家，除了 AMAT 的產品線有可能經由併購策略延伸到尚未涉入的微影製程外，其他廠商策略為持續強化既有的產品與技術，同時佈局其先進製程所需的智慧財產的。值得一提的是 AMAT 和 TEL 設備都有應用在 LCD 產業，也使得其營運在半導體產業低迷時，仍舊有新的動能維持營運績效。由於沒有新的製程技術可以取代既有的半導體製程技術，從各家產品線和市占率也可以約略推測各設備廠商的智財佈局，應該早已涵蓋了所有半導體製程所需相關技術。對於新的競爭者而言，除了資金和人才外，更需要考慮如何突破現有廠商的智財佈局，這也是本研究實證分析的重點。

---

<sup>68</sup> Uptime 指的是扣除掉機台當機後實際運轉生產的時間，數字越高代表機台越穩定。Productivity 指的是每小時機台可產出的晶圓數目，可以透過製程調整和設備軟體改善增加，但是提高後，IC 製造商所需的生產設備會因此變少。

【表 20】2005~2007 全球前十大半導體設備商排名與營收表，資料來源 Gartner、  
本研究整理

2007 排名	2006 排名	2005 排名	公司名稱	總部	製程類別	2007 营收 US\$M	2007 市占率	2006 營收 US\$M	2006 市占率	06~07 成 長率
1	1	1	Applied Materials	美國	前段製程	6,788	15.0%	6,493	15.2%	4.5%
2	2	2	Tokyo Electron	日本	前段製程	5,362	11.9%	4,482	10.5%	19.6%
3	3	3	ASML	荷蘭	前段微影	4,609	10.2%	4,004	9.4%	15.1%
4	4	5	KLA-Tencor	美國	前段檢測	2,326	5.1%	2,056	4.8%	13.1%
5	5	7	Lam Research	美國	前段製程	2,245	5.0%	1,881	4.4%	19.4%
6	7	6	Nikon	日本	前段微影	1,806	4.0%	1,528	4.2%	18.2%
7	6	4	Advantest	美國	後段測試	1,608	3.6%	1,794	3.6%	-10.4%
8	8	8	Novellus Systems	美國	前段製程	1,200	2.7%	1,389	3.3%	-13.6%
9	9	9	Dainippon Screen	日本	前段製程	1,196	2.6%	988	2.3%	21.1%
10	13	13	ASM International	美國	前段製程	1,023	2.3%	811	2.2%	26.1%
Others						17,116	37.8%	17,314	40.1%	-1.1%
All						45,279	100%	42,740	100.0%	

【表 21】2008 主要晶圓製程設備商產品線 資料來源 本研究整理

公司	創立	微影	擴散	薄膜	蝕刻	量測
AMAT	1967		v	v	v	v
ASM	1968	v	v	v		
TEL	1963		v	v	v	v
KLA	1976					v
Lam	1980				v	
Nikon	1917/1988	v				
NVLS	1984			v		
Dainippon Screen	1943				v	

### 第三節 晶圓製程設備產業競爭分析

半導體設備及材料將趨於商品化，核心半導體產業的差異將從製造轉向設計和知識產權（IP），因此未來到 2014 年，產業整合的結果將導致只需要不到 10 家半導體設備供應商，來滿足 80% 或更多的半導體製造設備需求。目前 15 家半導體設備供應商可以滿足 80% 的需求，但在 80 年代末期則曾經有 35 家之多的半導體設備商，加上市場的成長趨緩，由此可見半導體設備產業已經進入成熟期。高進入門檻和高市場波動性也迫使設備供應商必需要改變商業模式，以抵禦未來幾年產業可能出現的暴雨式變化，以下就產業競爭提出分析。

#### 壹、 產業競爭分析

從廠商和市場動態可以看出這已經是一個成熟的產業，本節利用波特的五力分別模型來了解整體產業競爭環境。

##### 一、 現存競爭者的強度

晶圓製程設備產業已然是少數廠商所寡佔的市場。設備商除了在已量產的設備上提高客戶滿意度外，同時必需要深入了解晶圓製造商新一代製程研發量產的時間表(Roadmap)和所需製程規格。接著在第一時間推出設備雛型與客戶共同研發合作，才能確定產品除了製程技術外，也能符合量產需求<sup>69</sup>。一般而言，新製程技術規格制定與製程設備驗證、導入，會由晶圓製造商的研發部門負責，而量產部門則是負責驗證設備量產的穩定度和效率的提昇，現有的設備商必須要掌握下面兩個機會切入晶圓製造商的供應鏈。

第一個機會是 DTOR 驗證。晶圓製造商研發部門評估新技術和設備的時機<sup>70</sup>。設備商會盡量提供設備和相關支援人力給對方 1~2 年免費評估，只要能通過驗證就是晶圓製造商的 Development Tool of Record (DTOR)，就能在量產前搶得先機，這時的關鍵要求在於設備的製程能力。

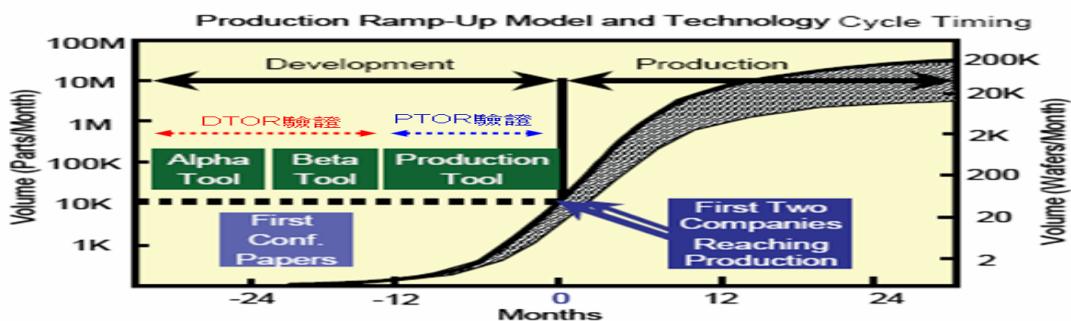
另一個機會是 PTOR 的驗證。通常在研發部門訂出設備清單後，離量產都還

<sup>69</sup>因為 IC 製造商通常在已量產的技術點(technology node,如 130 奈米)會有主要設備外，通常還會留少數機會給另外一家廠商，除了利用競爭對手出現產品大問題，如良率無法達到要求等，也只有在新世代製程需要新的材料和製程方法時，新的設備商利用 1~2 年產品研究合作才能切入未來的供應鏈，尤其在奈米製程時，各家 IC 製造商都對於設備商都有其合作選擇的標準。這也是各設備商必須要在技術、人力和商業模式等努力爭取 IC 製造商的青睞。

<sup>70</sup>通常在一技術點(technology node,如 130nm) 量產後，研發部門就會著手新一代如 90 奈米的研發時程。

有一段時間，這個機會也就是利用研發部門將技術轉移到製造部門後，其準備量產需求所須要的時間。如果設備商錯過 DTOR 的驗證機會點，就必須努力在這段時間改良設備<sup>71</sup>，同時利用提供優惠條件從工廠製造部門切入<sup>72</sup>，通過驗證的設備就是 PTOR (Production Tool of Record)，晶圓製造商才會大量採購，也是晶圓製程設備商真正收穫的時候。

圖 22 是 ITRS 所發表的晶圓製造商研發量產時程規劃<sup>73</sup>，可以清楚看出，晶圓製程設備商必須要在新製程技術點前兩年就開發而且一直要到晶圓製造商量產驗證後，才能確定訂單，這個設備還要夠達到兩代製程技術要求(如 90/65 奈米)。以開發一台設備雛型，加一組 10 個研發人員改良和支援人力約一年的花費保守估算超過 USD\$6M<sup>74</sup>，這還不包括研發費用，因此現有競爭者的強度在於其於少數競爭者，產業成長率低，現金流、人才、智慧資源規劃、產品技術支援能力與全球佈局。



【圖 22】設備技術驗證產和加速量產周期，資料來源 ITRS 2005 Edition 和本研究整理

## 二、潛在進入者的威脅

如前面章節所提，晶圓製程設備產業已經為少幾家所寡占，尤其在關鍵的單一製程產品線，晶圓製造商通常只會選擇一到兩家設備商進行驗證。產業的進入門檻很高，潛在的進入者的威脅相對很低，主要原因可以分為下列三點：

<sup>71</sup> 因為研發驗證到量產需要一年以上，以滿足量產所需，這段期間可能所選的 DTOR 已經不是市場少最佳設備。

<sup>72</sup> 當研發部門將 DTOR 清單和製程轉移到製造部門時，製造部門會特別針對設備的產出效率 (throughput)、妥善率和生產成本(Cost of Ownership and Cost of Consumable)再做一次評估，確定設備除了製程規格達到要求外，還要能夠符合經濟化的要求。

<sup>73</sup> 技術背景是已經在進行的 65 奈米製程

<sup>74</sup> 一台 12 吋設備價值超過 US\$3M，10 人一年人力資源以每月 24K/Man Month 估算約 3M，這還不包括相關物料零件。

### **(一) 技術密集**

晶圓製程設備是整合了基礎科學(物理、化學、材料)、機械、電子、自動化控制、軟體與系統整合等多元的技術整合才能達到量產要求。既有廠商以佈局好產業的主要製程和設備專利。

### **(二) 人力、資金密集**

晶圓製程設備產業商研發支出的比例通常在營收的 10%以上，產品上市時間才有辦法將與客戶研發、量產需求時程接軌。另一方面，也須要大量的高技術人力、物力以支援晶圓製造商研發和量產長達一年半所需資源。每個生產設備至少都要規劃超過一個月的高技術人力來支援裝機、維護和調整。對於關鍵零件更要備妥庫存，尤其大量生產時，一小時的缺料和當機都會造成客戶巨大的損失。

### **(三) 高客戶轉換成本**

一個新的製程世代需要超過 400 道以上的製程步驟和 18 個月的製程整合，才能順利從驗證到大量生產。一開始的光罩製定到每一個步驟，各環節都息息相關。即使在既有的生產線微幅調整製程參數(如薄膜厚度或蝕刻時間)，都至少需要經過兩個月良率開出後，才能確定新的製程程式(Recipe)可以使用。更不用說要。除非廠商的產品無法支援新的技術或是出現重大問題，沒有一個晶圓製造商願意花大量人力、時間和產品上市風險去評估新的設備。尤其是跨國合作的不同業者更難以說服雙方更換新設備的可能。

## **三、 替代品的威脅**

目前還沒有新的技術可取代既有晶圓製程技術，因此設備產業沒有替代品的威脅。

## **四、 客戶的議價能力**

客戶議價能力來自於廠商的設備強度和彼此競爭。對於晶圓製程設備商而言，既有客戶裝機基礎(install base)是客戶在選擇設備很重要的因素，尤其擁有技術領導廠商如 Intel、Samsung、Quimonda、TSMC 和 Elpida 等客戶，設備的銷售更容易取得其他客戶的認同。這些走在技術前端的製造商，在新製程世代發展時，便會先要求晶圓製程設備商提供其新設備雛型一起技術合作，盡快完成其產品試產，藉以取得市場領先地位和獲得較高利潤<sup>75</sup>。因為有能力主導技術規格和

---

<sup>75</sup> 越先進的製程由於能提供者少，IC 製造商的利潤會比較高，這也是 IC 製造商要取得先進製程

扶植第二家設備供應商，第一線的晶圓製造商擁有較強的議價能力。再者，由於產業已經進入成熟期，每道製程設備線僅剩少數兩到三家廠商供應，客戶的議價能力決定於廠商設備的製程強弱和製程的複雜度。客戶不容易在廠商強勢的設備取得議價優勢，相對地，在成熟的製程設備上，客戶會儘量利用雙供應商策略和採購合約<sup>76</sup>，取得議價優勢。。一般而言，單一產品的議價多為售價的80%~60%，產品越強的空間越少，而產品強度不夠即使免費，客戶也不會接受。

設備商也會運用不同商業模式加以因應。產品線完整的廠商如 AMAT，便可以利用不同的設備組合，提供較大的議價空間，例如整個 12 吋廠 AMAT 有 US\$100M 的訂單機會包括 CVD、PVD、ETCH、CMP 和 RTP 等，AMAT 可以運用 10% 的優惠就是 US\$10M 紙給客戶，可以讓 AMAT 將較弱勢產品包裝一起銷售<sup>77</sup>，儘可能銷售其所有設備產品。這個數字可能是 Lam 或 NVLS 可以提供的折扣空間好幾倍，因而提高客戶更換和採購 AMAT 設備意願。

## 五、供應商的議價能力

零件的關鍵與否決定議價能力。由於設備的零件非可以規模化的產品，為降低庫存和製造成本，晶圓製程設備商幾乎會將相關零件委外代工製造後再自行整合、組裝和測試。一般而言零件種類可分為非關鍵性 (Non-critical) 和關鍵性 (critical)。非關鍵零件不容易影響到製程環境，轉換成本低，可取代性高，設備商通常會有多家供應商以取得議價權。

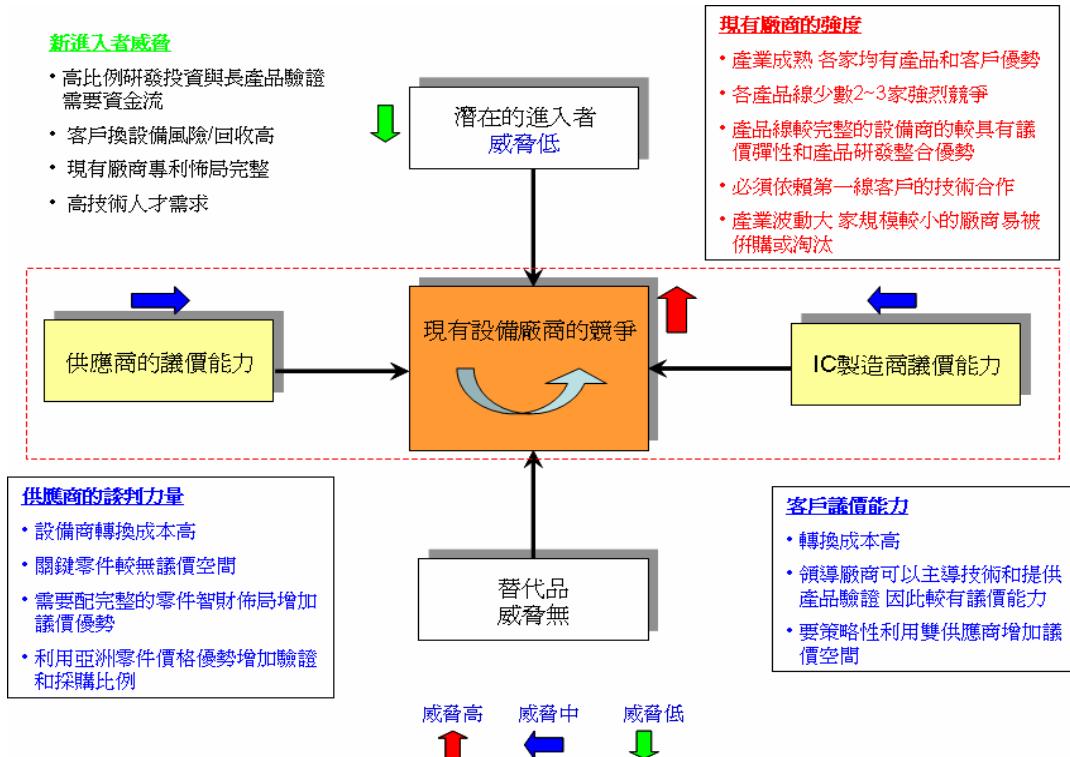
關鍵性零件通常用於製程反應室(process kits)，主要由設備商設計和訂定規格交由 OEM 廠商製造，如反應室 (Chamber)、加熱器 (heater)、氣體灑出頭 (Shower head) 等，就如同設備驗證一樣，設備商在量產設備上要更換供應商前，必須要提供樣本交給客戶驗證，驗證期同樣長達 3~6 個月，也因此影響大、價格彈性低。台灣晶圓製造商會希望能在本的生產以降低成本和控制交期、品質。這部分的情況和客戶的議價能力相似。

---

的量產技術，除了差異化外也能利用高轉換率以維持客戶。

<sup>76</sup> IC 製造商大量採購對設備商成本也有效益，也能夠因此議到較好的價錢，因此尤其在 DRAM 製造商更適合在一建廠時，一次談好所有設備數目，然後再請設備商分批出貨。

<sup>77</sup> 產品的強弱取決於製程轉換率成本、客戶數(Install base)和生產成本(Cost of Consumable and Ownership)。



【圖 23】晶圓製程設備產業五力分析，資料來源 本研究整理。

本研究將晶圓製程設備商產業五力分析整理於圖 23，可以看出晶圓製程設備產業的競爭主要來產業本身和上、下游供應鏈。在市場漸漸往亞洲移動後，晶圓製程設備商除了可以利用研發與技術資源優勢持續維持產品差異性外，更應該規劃零件供應鏈的製造與智財佈局。透過亞洲在地化生產以降低製造成本和服務效率。尤其機台過了 18 個月的保固期後，零件的使用時間和消耗量對於客戶是一大負擔。這也是為什麼台積電一直想要求相關廠商儘可能將零件在台灣製造以降低生產成本的原因。

## 貳、台灣晶圓製程設備產業現況

台灣的半導體市場和晶圓製程設備產業的成長，是製造版圖移動的結果，台灣的技術還不足以成熟到可以發展這塊市場。這樣的成長只是歐、美、日將高資本支出的晶圓廠委外代工的結果，但是技術、智財和人才還掌握在外國的晶圓製程設備廠商。位於技術下游的台灣經過幾年來政府和企業的努力，在沒有整合產、官、學、研等資源和適合的智財管理規劃下，在需要高度基礎科學和長遠技術發展的晶圓製程設備產業，我們設備自制化的結果不高，並不令人訝異。

圖 24 是台灣晶圓製程設備廠商的概況，如前面五力分析所述，在轉換成本、專利、和領導晶圓製造商合作開發和人才、資金等高產業門檻下，除了在智財、資金和轉換成本較低的自動化設備較有進展外，在晶圓製程設備產業的自給率普遍低於 5%。而少許的市場，推測是簡單的試產、測試或切入零件供應的結果，而非真正的設備獲得採用，因為一旦經過驗證的設備、在低價和自制化的效益下，台灣廠商是很容易快速搶得市場的。

在各製程設備種類上，國內已經有許多廠商從設備代理，往維修服務、零組件翻修、零組件開發製造與設備模組開發等業務移動。在成本與交期的壓力下，外國廠商也陸續有計劃和策略性地將零件開發、代工製造等業務委外。值得注意的是，如何參考既有廠商和運用其智慧資源規劃的模式，佈局設備的下游供應鏈，以提昇企業的競爭力和利潤，特別是透過智慧資源規劃，找出可以值得投資的一環和相關準備，才是台灣廠商目前最重要的課題。

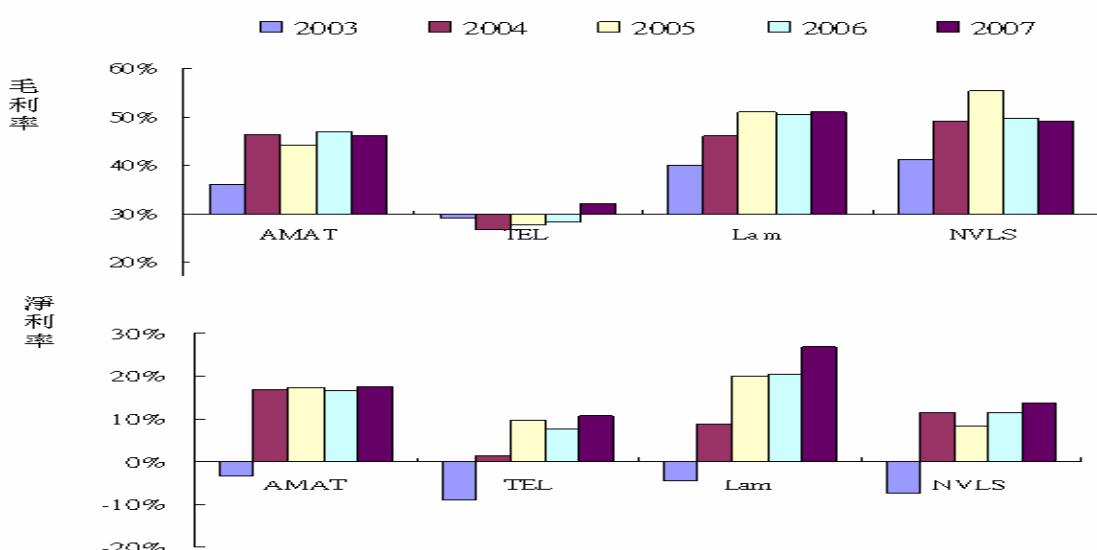


【圖 24】台灣半導體設備廠商現況，資料來源 IEK 2007 機械年鑑(2007/05)

## 參、 產業挑戰與機會

從市場、製造商資本支出到競爭環境的分析，本研究發現整個晶圓製程設備產業生命、技術週期已經走向成熟階段。尤其是在市場需求無法繼續擴大情況下，各晶圓設備廠商卻仍需不斷投入高研發資金，相互激烈競爭，對於市場的波動也只能束手無策。雖然毛利高，但淨利率和成長性卻不甚理想(參照圖 25)。未來產業面對的挑戰與機會，本節整理於下

- 一、市場飽和但仍需高研發支出：越來越少晶圓製造商有能力負擔十二吋奈米製程研發與量產，尤其是在 90 奈米以下製程的銅、low-k、high K/Metal Gate 和 SOI 等新材料運用。但是晶圓設備廠商仍需投入超過營收 10% 以上開發新產品離型和後續改良(參照表 22)，產品週期短而且沒有回收把握<sup>78</sup>。
- 二、加快設備上市時間(Time to market): 在製程世代不斷向前推進<sup>79</sup>，贏者有可能全拿的情況，誰能先和領先晶圓製造商合作驗證產品技術與量產需求，就能搶得先機和大量生產時的定單。
- 三、減少設備交期(Lead time): 面對市場波動，設備商要能做好供應鏈和庫存管理，將設備交期控制在三個月以應付客戶的急單。
- 四、成本降低: 這是所有晶圓製造商的不二要求，尤其是市場轉往亞洲移動，擴大零件在地化生產已經不可避免。



【圖 25】2003~2008 主要晶圓製程設備廠商營運績效，資料來源 本研究整理

<sup>78</sup>這十年來半導體業發展快速，為追上摩爾定率，目前平均每二年為一個世代，為了跟上腳步，晶圓製程機台必須不斷更新，甚至淘汰，現在的機台研發幾乎都是跟著客戶的產品在走，設備商幾乎沒有太多的時間好好就一項產品去研發提昇，就甚至必須發展第二代或第三代。

<sup>79</sup>現在 65/70 奈米已成為主流，接著是 45 奈米和 32 奈米。各世代製程有可能因投資金額的擴大和困難，量產時間可能會由兩年延到三年。

【表 22】2003~2008 主要晶圓製程設備商研發支出與占營收比重，資料來源 本研究整理

Unit (\$ US M)	2003	2004	2005	2006	2007
AMAT R&D \$	920	991	940	1,152	1,142
AMAT R&D %	21%	12%	13%	13%	12%
TEL R&D \$	432	381	378	424	491
TEL R&D %	11%	8%	7%	7%	7%
Lam R&D \$	160	170	195	229	285
Lam R&D %	21%	18%	13%	14%	11%
NVLS R&D \$	227	252	247	244	241
NVLS R&D %	25%	19%	18%	15%	15%