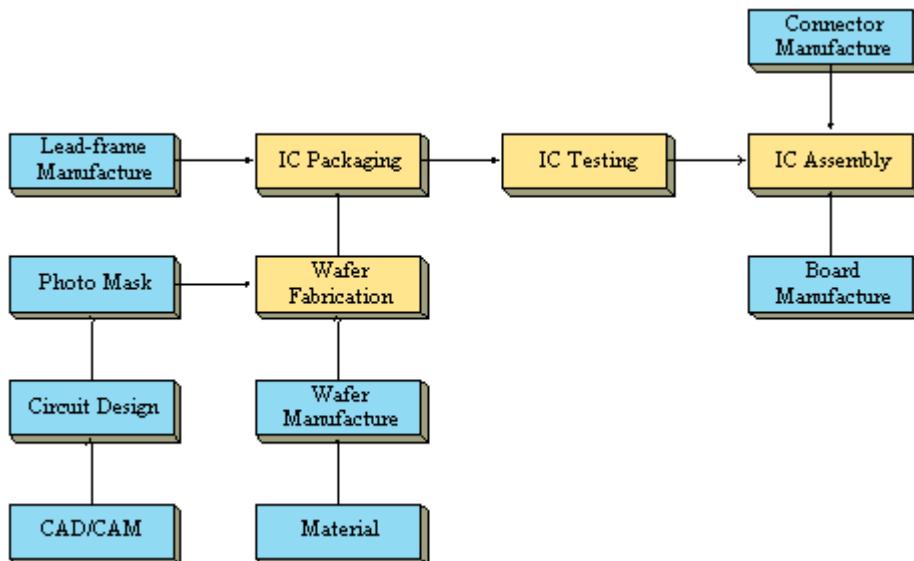


## 第二十三章 半導體製造概論

近幾年來，隨著電子科技、網路等相關技術的進步，以及全球電子市場消費水準的提昇，個人電腦、多媒體、工作站、網路、通信相關設備等電子產品的需求量激增，帶動整個世界半導體產業的蓬勃發展，而在台灣，半導體業更儼然成為維繫國家經濟動脈的一個主力。基本上半導體製造為一垂直分工細密且高附加價值的產業，其快速的成長也會帶動其他週邊產業的繁榮，下圖所示為一典型的半導體產業體系架構。



在這個體系中，半導體製造，也就是一般所稱的晶圓加工（Wafer fabrication），是資金與技術最為密集之處，伴隨著晶圓加工的上游產業則包括產品設計（IC design）、晶圓製造（Wafer manufacture）、以及光罩（Photo mask）製造等，下游產業則更為龐大，其中包括一般所稱半導體後段製程（Back-end processes）的 IC 封裝（Packaging）、測試（Testing）、包裝（Assembly），以及週邊的導線架製造（Lead-frame manufacture）、連接器製造（Connector manufacture）、電路板製造（Board manufacture）等，此一結合緊密的產業體系，形成了今日台灣經濟命脈之所繫。

### 一、IC 設計 (IC design)

### 二、晶圓製造 (Wafer manufacture)

#### (一) 長晶 (CRYSTAL GROWTH)

長晶是從矽砂中（二氧化矽）提煉成單晶矽，其製造過程是將矽石（Silica）或矽酸鹽（Silicate）如同冶金一樣，放入爐中熔解提煉，形成冶金級矽。由於冶金級矽中尚含有雜質，因此，必須再用分餾及還原的方法將其純化，形成電子級矽。雖然電子級矽所含的矽的純度很高

，可達 99.9999 99999 %，但是結晶方式還是很雜亂，又稱為多晶矽，必須重排成單晶結構才可，因此再將電子級矽置入坩堝內加溫融化，其係先將溫度降低至一設定點，再以一塊單晶矽為『晶種』，置入坩堝內，讓融化的矽沾附在晶種上，再將晶種以邊拉邊旋轉方式抽離坩堝，而沾附在晶種上的矽亦隨之冷凝，形成與晶種相同排列的結晶。隨著晶種的旋轉上升，沾附的矽愈多，並且被拉引成表面粗糙的圓柱狀結晶棒。其中，拉引及旋轉的速度愈慢，則沾附的矽結晶時間愈久，結晶棒的直徑愈大，反之則愈小。

右圖（摘自中德公司目錄）為中德電子材料公司製作的晶棒（長度達一公尺，重量超過一百公斤）。



## （二）切片（SLICING）

從坩堝中拉出的晶柱，表面並不平整，必須經過工業級鑽石磨具的加工，磨成平滑的圓柱，並切除頭尾兩端錐狀段，形成標準的圓柱，被切除或磨削的部份則回收重新冶煉。接著再以高硬度鋸片或線鋸將圓柱切成片狀的晶圓（Wafer）（摘自中德公司目錄）。



## （三）邊緣研磨（EDGE-GRINDING）

將片狀晶圓的圓周邊緣以磨具研磨成光滑的圓弧形，如此可（1）防止邊緣崩裂、（2）防止在後續的製程中產生熱應力集中、（3）增加未來製程中鋪設光阻層或磊晶層的平坦度。

## （四）研磨（LAPPING）與蝕刻（ETCHING）

由於受過機械的切削，晶圓表面粗糙，凹凸不平，及沾附切屑或污漬，因此，先以化學溶液（HF/HNO<sub>3</sub>）蝕刻（Etching），去除部份切削痕跡，再經去離子純水沖洗吹乾後，進行表面研磨拋光，使晶圓像鏡面樣平滑，以利後續製程。

研磨拋光是以機械與化學加工方式同時進行，機械加工是將晶圓放置在研磨機內，將加工面壓貼在研磨墊（Polishing Pad）磨擦，同時滴入具腐蝕性的化學溶劑當研磨液，讓磨削與腐蝕同時產生。研磨後的晶圓需用化學溶劑清除表面殘留的金屬碎屑或有機雜質，再以去離子純

水沖洗吹乾，準備進入植入電路製程。

### (五) 退火 (ANNEALING)

將晶片在嚴格控制的條件下退火，以使晶片的阻質穩定。

### (六) 抛光 (POLISHING)

晶片小心翼翼地拋光，使晶片表面光滑與平坦，以利將來再加工。

### (七) 洗淨 (CLEANING)

以多步驟的高度無污染洗淨程序，包括各種高度潔淨的清洗液與超音動處理，除去晶片表面的所有污染物質，使晶片達到可進行晶片加工的狀態。

### (八) 檢驗 (INSPECTION)

晶片在無塵環境中進行嚴格的檢查，包括表面的潔淨度、平坦度以及各項規格以確保品質符合顧客的要求。

### (九) 包裝 (PACKING)

通過檢驗的晶片以特殊設計的容器包裝，使晶片維持無塵及潔淨的狀態，該容器並確保晶片固定於其中，以預防搬運過程中發生的振動使晶片受損。

## 三、晶圓處理製程

基本晶圓處理步驟通常是晶圓先經過適當的清洗 (Cleaning) 之後，送到熱爐管 (Furnace) 內，在含氧的環境中，以加熱氧化 (Oxidation) 的方式在晶圓的表面形成一層厚約數百個  $\text{\AA}$  的二氧化矽 ( $\text{SiO}_2$ ) 層，緊接著厚約  $1000\text{\AA}$  到  $2000\text{\AA}$  的氮化矽 ( $\text{Si}_3\text{N}_4$ ) 層將以化學氣相沈積 (Chemical Vapor Deposition ; CVD) 的方式沈積 (Deposition) 在剛剛長成的二氧化矽上，然後整個晶圓將進行微影 (Lithography) 的製程，先在晶圓上上一層光阻 (Photo resist)，再將光罩上的圖案移轉到光阻上面。接著利用蝕刻 (Etching) 技術，將部份未被光阻保護的氮化矽層加以除去，留下的就是所需要的線路圖部份。接著以磷為離子源 (Ion Source)，對整片晶圓進行磷原子的植入 (Ion Implantation)，然後再把光阻劑去除 (Photo resist Strip)。

製程進行至此，我們已將構成積體電路所需的電晶體及部份的字元線 (Word Lines)，依

光罩所提供的設計圖案，依次的在晶圓上建立完成，接著進行金屬化製程（Metallization），製作金屬導線，以便將各個電晶體與元件加以連接，而在每一道步驟加工完後都必須進行一些電性、或是物理特性量測，以檢驗加工結果是否在規格內（Inspection and Measurement）；如此重複步驟製作第一層、第二層……的電路部份，以在矽晶圓上製造電晶體等其他電子元件；最後所加工完成的產品會被送到電性測試區作電性量測。

根據上述製程的需要，FAB 廠內通常可分為四大區：

### （一）黃光

本區的作用在於利用照相顯微縮小的技術，定義出每一層次所需要的電路圖，因為採用感光劑易曝光，得在黃色燈光照明區域內工作，所以叫做「黃光區」。

### （二）蝕刻

經過黃光定義出我們所需要的電路圖，把不要的部份去除掉，此去除的步驟就稱之為「蝕刻」，因為它好像雕刻，一刀一刀的削去不必要的木屑，完成作品，期間又利用酸液來腐蝕的，所以叫做「蝕刻區」。

### （三）擴散

本區的製造過程都在高溫中進行，又稱為「高溫區」，利用高溫給予物質能量而產生運動，因為本區的機台大都為一根根的爐管，所以也有人稱為「爐管區」，每一根爐管都有不同的作用。

### （四）真空

本區機器操作時，機器中都需要抽成真空，所以稱之為真空區，真空區的機器多用來作沈積暨離子植入，也就是在 Wafer 上覆蓋一層薄薄的薄膜，所以又稱之為「薄膜區」。在真空區中有一站稱為晶圓允收區，可接受晶片的測試，針對我們所製造的晶片，其過程是否有缺陷，電性的流通上是否有問題，由工程師根據其經驗與電子學上知識做一全程的檢測，由某一電性量測值的變異判斷某一道相關製程是否發生任何異常。

此檢測不同於測試區（Wafer Probe）的檢測，前者是細部的電子特性測試與物理特性測試，後者所做的測試是針對產品的電性功能作檢測。

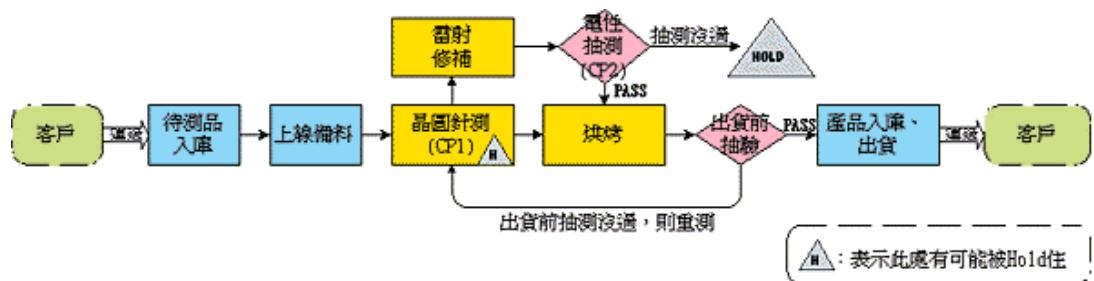
WAT 測試 (wafer accept test)，亦即根據電氣測試值來分析製程是否有問題。
---

## 四、晶圓針測

晶圓針測 (Chip Probing ; CP) 的目的係針對晶片作電性功能上的測試 (Test)，以使 IC 在進入封裝前，先行過濾出電性功能不良的晶片，以避免不良品增加製造成本。

半導體製程中，針測製程只要換上不同的測試配件，便可與測試製程共用相同的測試機台（Tester）。一般測試廠為了提高測試機台的使用率，除了提供最終測試的服務外，亦接受晶片測試的訂單。

下圖為晶圓針測的流程圖，其流程包括下面幾道作業：



## (一) 晶圓針測並作產品分類 (Sorting)

晶圓針測的主要目的是測試晶圓中每一顆晶粒的電氣特性，線路的連接，檢查其是否為不良品，若為不良品，則點上一點紅墨水，作為識別之用。除此之外，另一個目的則是測試產品的良率，依良率的高低來判斷晶圓製造的過程是否有誤。良品率高時，表示晶圓製造過程一切正常，若良品率過低，則表示在晶圓製造的過程中，有某些步驟出現問題，必須儘快通知工程師檢查。

## (二) 雷射修補 (Laser Repairing)

雷射修補的目的是修補那些尚可被修復的不良品（有設計備份電路在其中者），提高產品的良品率。當晶圓針測完成後，擁有備份電路的產品會與其在晶圓針測時所產生的測試結果資料一同送往雷射修補機中，這些資料包括不良品的位置，線路的配置等。雷射修補機的控制電腦可依這些資料，嘗試將晶圓中的不良品修復。

### (三) 加溫烘烤 (Baking)

加溫烘烤是針測流程中的最後一項作業，加溫烘烤的目的有「將點在晶粒上的紅墨水烤乾」與「清理晶圓表面。經過加溫烘烤的產品，只要有需求便可以出貨」。

## 五、封裝製程

電子封裝 (electronic packaging)，指的是電子產品生產的過程中，將各種電子元件，依需要而加以組裝、連接的製程。例如，將晶圓 (wafer) 製造製程加工完成後所提供的晶圓中每一顆 IC 晶粒 (die) 獨立分離，並外接信號線至導線架上並加以包覆。

隨著 IC 產品需求量的日益提昇，推動了電子封裝產業的蓬勃發展。而在電子製造技術不斷發展演進，以及 IC 晶片「輕、薄、短、小、高功能」的要求下，亦使得封裝技術不斷推陳出新，以符合電子產品的需要，並進而充分發揮其功能。

封裝的目的主要有「電力傳送」、「訊號輸送」、「熱的去除」與「電路保護」。

所有電子產品皆以「電」為能源，然而電力的傳送必須經過線路的連接方可達成，IC 封裝即可達到此一功能。而線路連接之後，各電子元件間的訊號傳遞自然可經由這些電路加以輸送。電子封裝的另一功能，則是藉由封裝材料的導熱功能，將電子於線路間傳遞產生的熱量去除，以避免 IC 晶片因過熱而毀損。最後，IC 封裝除對易碎的晶片提供了足夠的機械強度，以及適當的保護，亦避免了精細的積體電路受到污染的可能性。

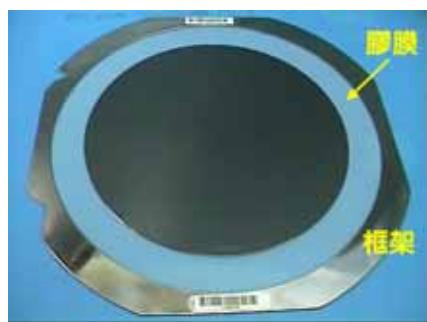
IC 封裝除了能提供上述主要功能之外，亦可使 IC 產品具有優雅美觀的外表，並為使用者提供了安全的使用及簡便的操作環境。

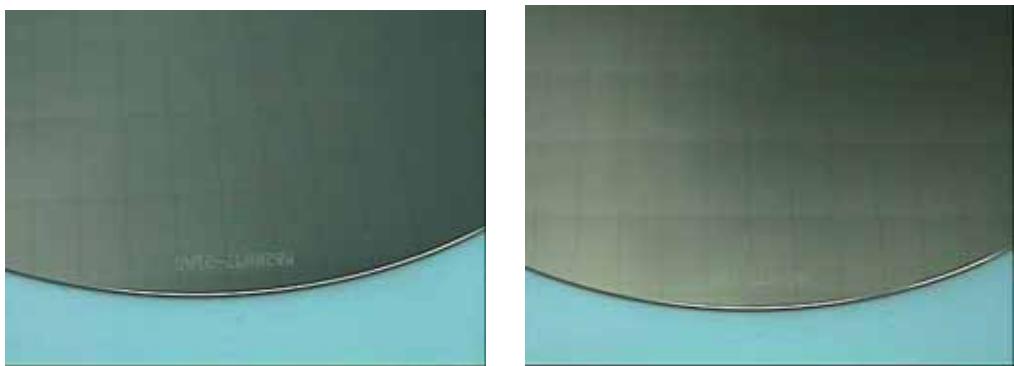
IC 封裝依使用材料可分為陶瓷 (ceramic) 及塑膠 (plastic) 兩種，而目前商業應用，則以塑膠封裝為主。以塑膠封裝中打線接合為例，其步驟依序為晶圓切割 (die saw)、黏晶 (die mount/die bond)、鋅線 (wire bond)、封膠 (mold)、剪切／成形 (trim/form)、印字 (mark)、電鍍 (plating) 及檢驗 (inspection) 等。以下依序對封裝製程的各個步驟做一說明：

### (一) 晶圓切割 (die saw)

晶圓切割的目的乃是要將前製程加工完成的晶圓上一顆顆的晶粒 (Die) 切割分離。首先要將晶圓背面貼上膠帶 (blue tape) 並置於鋼製的框架上，此一動作叫晶圓黏片 (wafer mount) (右圖)。

而後再送至晶片切割機上進行切割。切割完後，一顆顆的晶粒井然有序的排列在膠帶上，如下圖，同時由於框架的支撐可避免膠帶皺摺而使晶粒互相碰撞，而框架撐住膠帶以便於搬運。



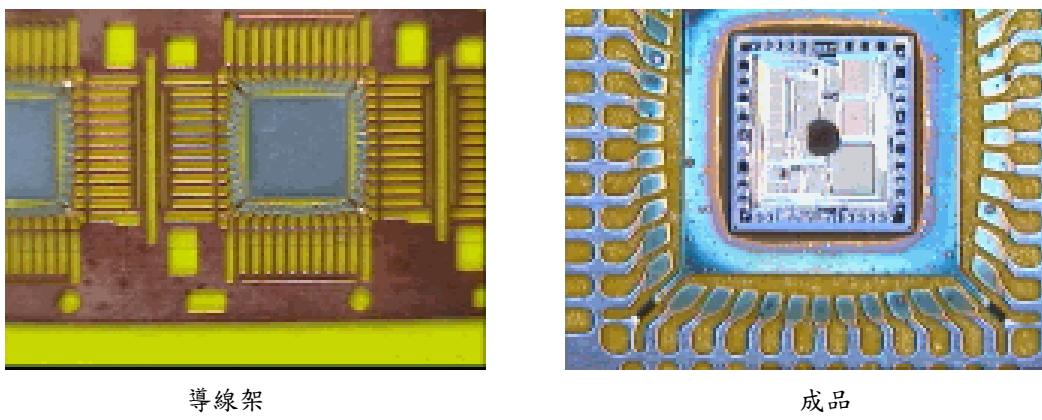


晶圓黏片（wafer mount）乃是於晶圓背面貼上膠帶（blue tape），並置於鋼製的框架上。

## （二）黏晶（die mount / die bond）

黏晶的目的乃是將一顆顆分離的晶粒放置在導線架（lead frame）（下左圖）上，並用銀膠（epoxy）黏著固定。

導線架是提供晶粒一個黏著的位置（晶粒座 die pad），並預設有可延伸 IC 晶粒電路的延伸腳（分為內引腳及外引腳 inner lead/outer lead）。一個導線架上依不同的設計可以有數個晶粒座，這數個晶粒座通常排成一列，亦有成矩陣式的多列排法。導線架經傳輸至定位後，首先要到晶粒座預定黏著晶粒的位置上點上銀膠（此一動作稱為點膠），然後移至下一位置將晶粒置放其上。而經過切割的晶圓上的晶粒則由取放臂一顆一顆地置放在已點膠的晶粒座上。黏晶完後的導線架則經由傳輸設備送至彈匣（magazine）內。黏晶後的成品如下右圖所示。



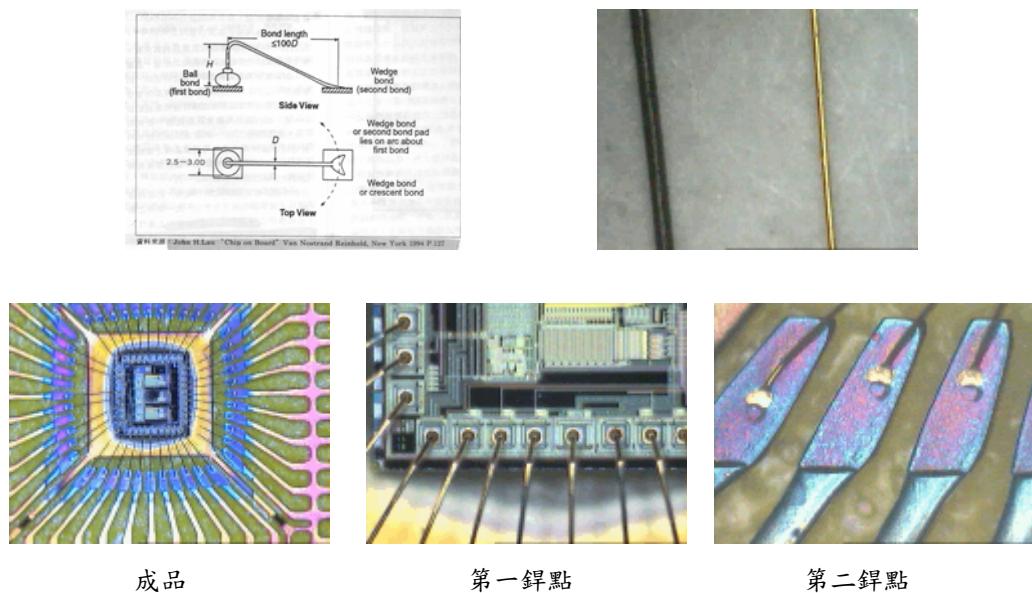
導線架

成品

導線架（lead frame）提供了晶粒黏著的位置，並預設有可延伸 IC 晶粒電路的延伸腳（分內引腳及外引腳）。一個導線架上一不同設計可有一個或數個晶粒座。

### (三) 錏線 (wire bond)

錏線的目的是將晶粒上的接點以極細的金線（18~50um）連接到導線架上的內引腳，藉而將IC晶粒的電路訊號傳輸到外界。當導線架從彈匣內傳送至定位後，應用電子影像處理技術來確定晶粒上各個接點，以及每一接點所相對應的內引腳上的接點的位置，然後做錏線的動作。錏線時，以晶粒上的接點為第一錏點，內接腳上的接點為第二錏點。首先，將金線的端點燒結成小球，而後將小球壓錏在第一錏點上（此稱為第一錏，first bond）。接著依設計好的路徑拉金線，最後將金線壓錏在第二錏點上（此稱為第二錏，second bond），同時並拉斷第二錏點與銅嘴間的金線，而完成一條金線的錏線動作（下圖左）。接著便又結成小球開始下一條金線之錏線動作。錏線完成後之晶粒與導線架則如圖所示。下圖右為 $30\mu\text{m}$ 之金線與頭髮的比較。



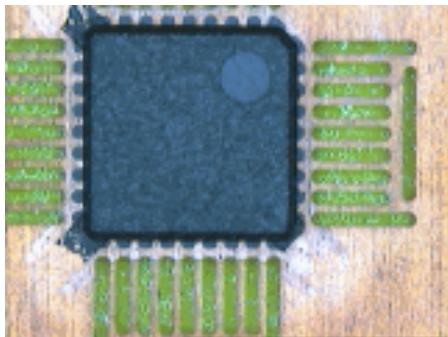
### (四) 封膠 (mold)

封膠的目的有以下數點：

- 防止濕氣等由外部侵入。
- 以機械方式支持導線。
- 有效地將內部產生的熱排出於外部。
- 提供能夠手持的形體。

封膠的過程比較單純，首先將錏線完成的導線架置放於框架上並先行預熱，再將框架置於壓模機（mold press）上的封裝模上，此時預熱好的樹脂亦準備好投入封裝模上的樹脂進料口。啟動機器後，壓模機壓下，封閉上下模再將半溶化後的樹脂擠入模中，待樹脂充填硬化後，開模取出成品。封膠完成後的成品，可以看到在每一條導線架上的每一顆晶粒包覆著堅固之外

殼，並伸出外引腳互相串聯在一起（如圖所示）。



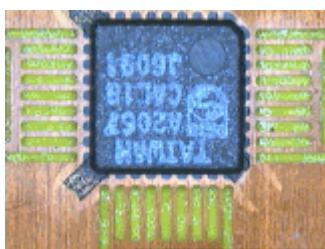
## (五) 印字 (Mark)

印字的目的，在註明商品的規格及製造者。良好的印字令人有高尚產品的感覺，因此，在IC封裝過程中，印字亦是相當重要的，往往會有因為印字不清晰或字跡斷裂而遭致退貨重新印字的情形。

印字的方式有下列幾種：

- 印式：直接像印章一樣印字在膠體上。
  - 轉印式 (pad print)：使用轉印頭，從字模上沾印再印字在膠體上。
  - 雷射刻印方式 (laser mark)：使用雷射直接在膠體上刻印。

為了要使印字清晰且不易脫落，IC 膠體的清潔、印料的選用及印字的方式，就相當的重要。而在印字的過程中，自動化的印字機有一定的程序來完成每項工作以確保印字的牢靠。印字後的成品如圖所示。

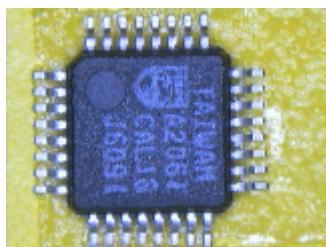


#### (六) 剪切／成形 (trim／form)

封膠完後的導線架須先將導線架上多餘的殘膠去除 (deflash)，並且經過電鍍 (plating) 以增加外引腳的導電性及抗氧化性，而後再進行剪切成型。剪切的目的，乃是要將整條導線架

上已封裝好之晶粒，每個獨立分開，同時，亦要把不需要的連接用材料及部份凸出的樹脂切除（dejunk）。

剪切完成時的每個獨立封膠晶粒的模樣，是一塊堅固的樹脂硬殼，並由側面伸出許多支外引腳。而成型的目的，則是將這些外引腳壓成各種預先設計好的形狀，以便於爾後裝置在電路板上使用，由於定位及動作的連器續性，剪切及成型通常在一部機器上，或分成兩部機（trim / dejunk，form / singular）上連續完成。成型後的每一顆 IC 便送入塑膠管（tube）或承載盤（tray）以方便輸送。照片所示乃剪切成型後的成品。



### （六）檢驗（Inspection）

檢驗的目的為確定封裝完成之產品是否合於使用。檢驗的項目包括：外引腳之平整性、共面度、腳距、印字是否清晰及膠體是否有損傷等的外觀檢驗。



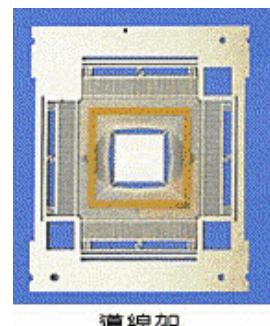
## 六、電子封裝製造技術

IC 晶片必須依照設計與外界之電路連接，才可正常發揮應有的功能。用於封裝的材料主要可分為塑膠（plastic）及陶瓷（ceramic）兩種。其中，塑膠封裝因成本低廉，適合大量生產且能夠滿足表面黏著技術的需求，目前以成為最主要的 IC 封裝方式。而陶瓷封裝的發展已有三十多年歷史，亦為早期主要的封裝方式。由於陶瓷封裝成本高，組裝不易自動化，且在塑膠封裝品質及技術不斷提昇之情形下，大部份業者皆已盡量避免使用陶瓷封裝。然而，陶瓷封裝具有塑膠封裝無法比擬的極佳散熱能力、可靠度及氣密性，並可提供高輸出入接腳數，因此，要求高功率及高可靠度的產品，如 CPU、航太、軍事等產品仍有使用陶瓷封裝的必要性。

目前用於封裝的技術，大概有以下數種。分別為「打線接合」、「捲帶式自動接合」、「覆晶接合」等技術，分述如下：

### （一）打線接合（Wire Bonding）

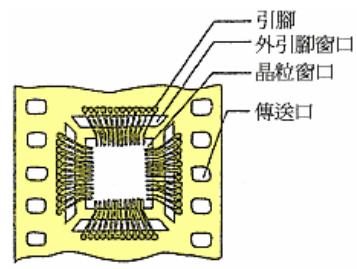
打線接合是最早亦為目前應用最廣的技術，此技術首先將晶片固定於導線架上，再以細金屬線將晶片上的電路和導線架上的引腳相連接。而隨著近年來其他技術的興起，打線接合技術正受到挑戰，其市場佔有比例亦正逐漸減少當中。但由於打線接合技術的簡易性及便捷性，加上長久以來與其相配合的機具、設備及相關技術皆以十分成熟，因此短期內打線接合技術似乎仍不大容易為其他技術所淘汰。



導線架

## (二) 捲帶式自動接合 (Tape Automated Bonding, TAB)

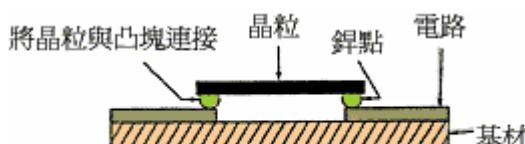
捲帶式自動接合技術首先於 1960 年代，由通用電子 (GE) 提出。捲帶式自動接合製程，即是將晶片與在高分子捲帶上的金屬電路相連接。而高分子捲帶的材料則以 polyimide 為主，捲帶上的金屬層則以銅箔使用最多。捲帶式自動接合具有厚度薄、接腳間距小，且能提供高輸出入接腳數等優點，十分適用於需要重量輕、體積小的 IC 產品上。



捲帶之基本架構

## (三) 覆晶接合 (Flip Chip)

覆晶式接合為 IBM 於 1960 年代中首先開發而成。其技術乃於晶粒的金屬墊上生成鋅料凸塊，而於基版上生成與晶粒鋅料凸塊相對應的接點，接著將翻轉的晶粒對準基版上的接點，將所有點接合。覆晶接合具有最短連接長度、最佳電器特性、最高輸出入接點密度，且能縮小 IC 尺寸，增加單位晶圓產能，已被看好為未來極具潛力的封裝方式。



覆晶接合技術示意圖

表面黏著技術 (surface mount technology)，過去電子零件與基板間的組裝連接，必須賴焊接方可達成。而表面黏著技術為一方便快速的新興技術，藉由表面黏著技術可將電子零件快速的「鋅」於基板上並維持零件與基板間電路的通暢。

## 七、電子封裝型態

半導體產品的 I/O 數目也會影響測試機台的可適用性，所有的 IC 封裝型態可以區分為兩大

類，一為引腳插入型，另一為表面黏著型。

**引腳插入型 (Pin Through Hole ; PTH)**，顧名思義，就是其外面的引腳必須利用插件的方式，才能將該顆 IC 插入與印刷電路板結合裝連接。

**表面黏著技術 (surface mount technology)**，過去電子零件與基板間的組裝連接，必須賴焊接方可達成。而表面黏著技術為一方便快速的新興技術，藉由表面黏著技術可將電子零件快速的「鋸」於基板上並維持零件與基板間電路的通暢。

封裝型態	應用產品	變化型態	
引腳插入型 DIP	消費性電子	PDIP SK-DIP	
表面黏著型 SO LCC QFP Others (BGA、TAB)	記憶體 可程式化邏輯 IC 邏輯 IC 晶片組 LCD	SOP TSOP SSOP SOJ LCC TQFP LQFP BGA TAB F/C	轉貼 轉印 轉印 轉印
DIP=Dual in-line package SO=Small outline QFP=Quad flat package		BGA=Ball grid array TAB=Tape-automated bonging LCC=Leaded chip carrier	

引腳插入型目前常見的封裝型態主要是 DIP，如果再細分的話，又有 SK-DIP、SIP（單邊引腳）等；在表面黏著型方面，主要的封裝型態有 SO、QFP、BGA 等。常見的外觀及相關應用請見下圖：

封裝型態	封裝名稱	常見應用產品
(SIP)	Single In-Line Package (SIP)	Power Transistor
(DIP)	Dual In-Line Package (DIP)	SRAM, ROM, EPROM, EEPROM, FLASH, Microcontroller
(ZIP)	Zig-Zag In-Line Package (ZIP)	DRAM, SRAM
(SOP)	Small Outline Package (SOP)	Linear, Logic, DRAM, SRAM
(PLCC)	Plastic Leaded Chip Carrier (PLCC)	256K DRAM, ROM, SRAM, EPROM, EEPROM, FLASH, Microcontroller

	Small Outline Package (SOJ)	DRAM, SRAM, EPROM, EEPROM, FLASH
	Quad Flat Package (QFP)	Microprocessor
	Pin Grid Array (PGA)	Microprocessor

各封裝型態敘述如下：

### (一) DIP (Dual In-Line Package)

它的引腳是長在 IC 的兩邊，而且是利用插件方式讓 IC 與印刷電路板結合，有別於另一種適用於表面黏著技術的封裝方式，這種封裝的材料可以是塑膠（Plastic）或陶瓷（Ceramic），因而有 PDIP 及 CDIP 之分，大部份 64 隻腳以下的電子元件是利用這種封裝型態包裝的。

### (二) SOP (Small Outline Package)

也有人稱之為 SOIC (Small Outline Integrated Circuit)，跟 DIP 一樣，大部分所使用的腳數仍被侷限在 64 隻腳以下，而大於 44 隻腳以上的電子元件則是轉往 LCC 或是 QFP 等。SO 系列型態包括有 TSOP (Thin Small Outline Package)、TSSOP (Thin-Shrink Small Outline Package)、SSOP (Shrink Small Outline Package)、SOJ (Small Outline J-Lead)、QSOP (Quarter-Size Small Outline Package) 以及 MSOP (Miniature Small Outline Package) 等。

### (三) LCC (Leaded/Leadless Chip Carrier)

它的引腳不像前面的 DIP 或 SO，腳是長在 IC 的兩邊，而是長在 IC 的四邊周圍，因此它的腳數要比前兩者來的稍微多些，常用的腳數可以從 20 ~ 96 隻腳不等，引腳的外觀也有兩種，一種是縮在裡面，從外面看不到，另一種則是 J 型引腳 (J-Lead)，其被稱之為 QFJ (Quat Flat J-Lead Package)。

### (四) PGA (Pin Grid Array)

其引腳的外觀是針狀的，因此它跟 DIP 一樣也是用插件的方式與電路板結合，由於連接方式較不方便，因此隨著 QFP 的進步，有些原本用 PGA 封裝的 IC 已經轉往 QFP 發展。

### (五) QFP (Quad Flat Package)

QFP 是一種高腳數、四邊引腳的包裝，它主導了大部份 ASIC、邏輯 IC 以及中低階的微元件的主要包裝型態，常見的 QFP 變化型還包括有 MQFP (Metric QFP)、MQUAD (Metal QFP)、TQFP (Thin QFP) 等。

事實上，不同的 IC 產品，應其功能 I/O 數的需求及散熱、按裝等考量，也會有其常用搭配的包裝型式。在下表中我們可以看到邏輯性產品中最主要的包裝型態是 SO 及 DIP；在非揮發性的記憶體方面 (ROM、FLASH)，其主要的包裝型式是 SO、DIP 和 LCC 等；而 DRAM 則是以 SO 包裝佔九成上，至於 Microcomponent 所包括的產品最主要的有 MPU、MCU、MPR 等，其最主要的包裝型式為 PGA、QFP 等。

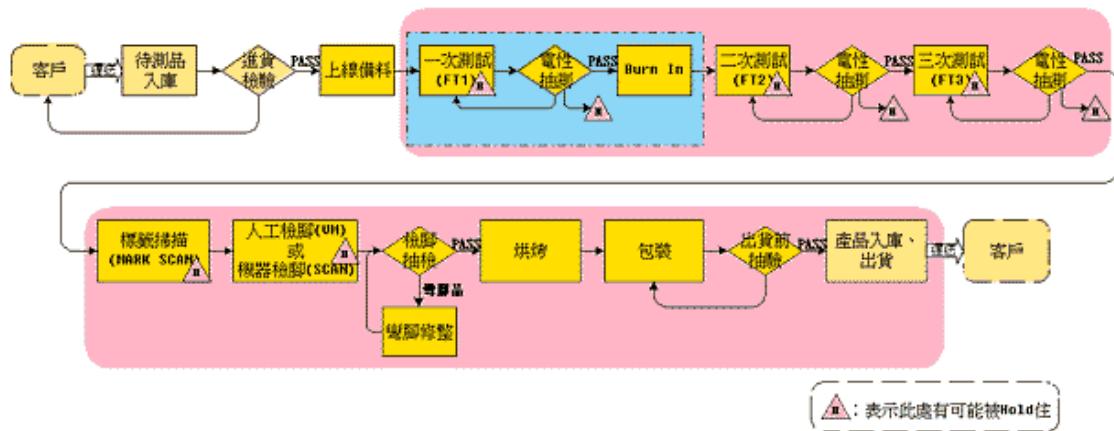
	LOGIC	N.V.MEMORY	DRAM	SRAM	MICROCOMPONENT
DIP	37%	36%	0%	55.8%	13%
SO	52%	61.3%	96.5%	33.3%	24%
LCC	6%	21.8%	3.5%	7.1%	20%
PGA	0.16%	0%	0%	0%	3%
QFP	5%	0%	0%	3.6%	40%
BGA	0.14%	0%	0%	0.3%	0.37%
總計	100%	100%	100%	100%	100%

## 八、半導體測試製程

測試製程乃是於 IC 封裝後測試封裝完成的產品的電性功能，以保證出廠的 IC，在功能上的完整性，並對已測試的產品，依其電性功能作分類（即分 Bin），作為 IC 不同等級產品的評價依據；最後並對產品作外觀檢驗 (Inspect) 作業。

電性功能測試乃針對產品的各種電性參數進行測試，以確定產品能正常運作，用於測試的機台將根據產品不同的測試項目而載入不同的測試程式；而外觀檢驗的項目繁多，且視不同的封裝型態而有所不同，包含了引腳的各項性質、印字 (mark) 的清晰度及膠體 (mold) 是否損傷等項目。而隨表面黏著技術的發展，為確保封裝成品與基版間的準確定位及完整密合，封裝成品接腳的諸多項性質的檢驗尤其重要。

下圖為半導體產品測試的流程圖，其流程包括下面幾道作業：



### (一) 上線備料

上線備料的用意是將預備要上線測試的待測品，從上游廠商送來的包箱內拆封，並將一顆顆的放在一個標準容器（幾十顆放一盤，每一盤可以放的數量及其容器規格，依待測品的外形而有不同）內，以利在上測試機台（Tester）時，待測品在分類機（Handler）內可以將待測品定位，而使其內的自動化機械機構可以自動的上下料。

## (二) 測試機台測試 (FT1、FT2、FT3)

待測品在入庫後，經過入庫檢驗及上線備料後，再來就是上測試機台去測試；如前述，測試機台依測試產品的電性功能種類可以分為邏輯 IC 測試機、記憶體 IC 測試機及混合式 IC（即同時包含邏輯線路及類比線路）測試機三種，測試機的主要功能在於發出待測品所需的電性訊號，並接受待測品因此訊號後所回應的電性訊號，並作出產品電性測試結果的判斷，當然這些在測試機台內的控制細節，均是由針對此一待測品所寫的測試程式（Test Program）來控制。

即使是同一類的測試機，因每種待測品其產品的電性特性及測試機台測試能力限制而有所不同。一般來說，待測品在一家測試廠中，會有許多適合此種產品電性特性的測試機台可供其選擇；除了測試機台外，待測品要完成電性測試還需要一些測試配件：



測試機台

## (1) 分類機 (Handler)

承載待測品進行測試的自動化機械結構，其內有機械機構將待測品一顆顆從標準容器內自動的送到測試機台的測試頭（Test Head）上接受測試，測試的結果會從測試機台內傳到分類機內，分類機會依其每顆待測品的電性測試結果來作分類（此即產品分 Bin）的過程；此外分類機內有升溫裝置，以提供待測品在測試時所需測試溫度的測試環境，而分類機的降溫則一般是靠氮氣，以達到快速降溫的目的。



分類機(Handler)

不同的 Handler、測試機台及待測品的搭配下，其測試效果會有所不同。

測試機台一般會有很多個測試頭（Test Head），其個數視測試機台的機型規格而定，而每個測試頭可以同時接上一部以上的分類機或針測機，因此一部測試機台可以同時的與多台的分類機及針測機相連，而其連接的方式可分為平行處理及乒乓處理，前者指的是在同一測試機台上，有多台分類機以相同的測試程式測試同一批待測品，而後者是在同一測試機台上，有多台分類機以不同的測試程式同時進行不同批待測品的測試。

## (2) 測試程式 (Test Program)

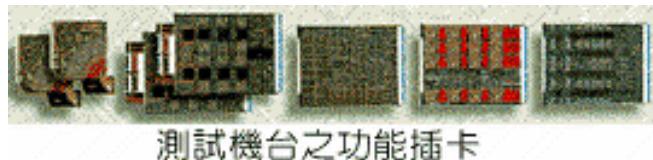
每批待測產品都有在每個不同的測試階段（FT1、FT2、FT3），如果要上測試機台測試，都需要不同的測試程式，不同品牌的測試機台，其測試程式的語法並不相同，因此，即使此測試機台有能力測試某待測品，但卻缺少測試程式，還是沒有用；一般而言，因為測試程式的內容與待測品的電性特性息息相關，所以大多是客戶提供的。

## (3) 測試機台介面

這是一個要將待測品接腳上的訊號，連接上測試機台的測試頭上的訊號傳送接點的一個轉換介面，此轉換介面，依待測品的電性特性及外形接腳數的不同而有很多種類，如：Hi-Fix（記憶體類產品）、Fixture Board（邏輯類產品）、Load Board（邏輯類產品）、Adopt Board + DUT Board（邏輯類產品）、Socket（接腳器，依待測品其接腳的分佈位置及腳數而有所不同）。

每批待測品在測試機台的測試次數並不相同，這完全要看客戶的要求，一般而言，邏輯性的產品，只需上測試機台一次（即 FT2）而不用 FT1、FT3，如果為記憶體 IC，則會經過二至三次的測試，而每次的測試環境溫度要求會有些不同。測試環境的溫度選擇，有三種選擇，即高溫、常溫及低溫，而溫度的度數有時客戶也會要求，升溫比降溫耗時許多，至於那一道要用什麼溫度，這也視不同客戶的不同待測品而有所不同。

每次測試完，都會有測試結果報告，若測試結果不佳，則可能會 Hold 住本批待測品的現象產生。



測試機台之功能插卡

### (三) 預燒爐 (Burn-In Oven) (測試記憶體 IC 才有此程序)

在測試記憶體性產品時，在 FT1 之後，待測品都會上預燒爐裡去 Burn In，其目的在於提供待測品一個高溫、高電壓、高電流的環境，使生命週期較短的待測品在 Burn In 的過程中提早的顯現出來，在 Burn In 後必須在 96 個小時內，待測品 Burn In 物理特性未消退之前完成後續測試機台測試的流程，否則就要將待測品重回預燒爐去重新 Burn In。在此會用到的配件，包括 Burn-In Board 及 Burn In Socket..等。

### (四) 電性抽測

在每一道機台測試後，都會有一個電性抽測的動作（俗稱 QC 或 Q 貨），此作業的目的在將此完成測試機台測試的待測品抽出一定數量，重回測試機台在測試程式、測試機台、測試溫度都不變下，看其測試結果是否與之前上測試機台的測試結果相一致，若不一致，則有可能是測試機台故障、測試程式有問題、測試配件損壞、測試過程有瑕疵..等原因。原因小者，則需回測試機台重測；原因大者，將能將此批待測品 Hold 住，等待工程師、生管人員與客戶協調後再作決策。

### (五) 標籤掃描 (Mark Scan)

利用機械視覺設備對待測品的產品上的產品 Mark 作檢測，內容包括 Mark 的位置歪斜度及內容的清晰度..等。

### (六) 人工檢腳或機器檢腳

檢驗待測品 IC 的接腳的對稱性、平整性及共面度等，這部份作業有時會利用雷射掃描的方式來進行，也會有些利用人力來作檢驗。

### (七) 檢腳抽檢與彎腳修整

對於彎腳品，會進行彎腳品的修復作業，然後再利用人工進行檢腳的抽驗。

### (八) 加溫烘烤 (Baking)

在所有測試及檢驗流程之後，產品必需進烘烤爐中進行烘烤，將待測品上水氣烘乾，使產品在送至客戶手中之前，不會因水氣的腐蝕而影響待測品的品質。

### (九) 包裝 (Packing)

將待測品依其客戶的指示，將原來在標準容器內的待測品的分類包裝成客戶所指定的包裝容器內，並作必要的包裝容器上的商標粘貼等。

### (十) 出貨的運送作業

由於最終測試是半導體 IC 製程的最後一站，所以許多客戶就把測試廠當作他們的成品倉庫，以避免自身工廠的成品存放的管理，另一方面也減少不必要的成品搬運成本，因此針對客戶的要求，測試廠也提供所謂的「Door to Door」的服務，即幫助客戶將測試完成品送至客戶指定的地方（包括客戶的產品買家），有些客戶指的地點在海外者，便需要考慮船期的安排，如果在國內者，則要考慮貨運的安排事宜。