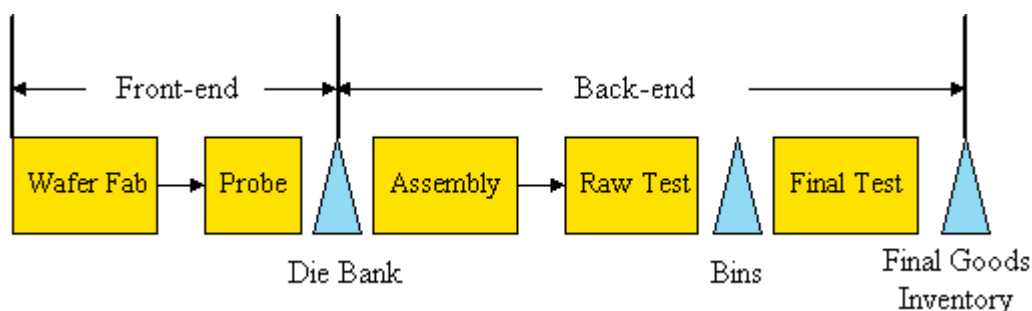


《半導體製造流程》

半導體元件製造過程可概分為**晶圓處理製程**（Wafer Fabrication；簡稱 Wafer Fab）、**晶圓針測製程**（Wafer Probe）、**構裝**（Packaging）、**測試製程**（Initial Test and Final Test）等幾個步驟。一般稱晶圓處理製程與晶圓針測製程為前段（Front End）製程，而構裝、測試製程為後段（Back End）製程。半導體元件製造過程可示意如下圖：



一、晶圓處理製程

晶圓處理製程之主要工作為在矽晶圓上製作電路與電子元件（如電晶體、電容體、邏輯閘等），為上述各製程中所需技術最複雜且資金投入最多的過程，以微處理器（Microprocessor）為例，其所需處理步驟可達數百道，而其所需加工機台先進且昂貴，動輒數千萬一台，其所需製造環境為一溫度、濕度與含塵量（Particle）均需控制的無塵室（Clean-Room），雖然詳細的處理程序是隨著產品種類與所使用的技術有關；不過其基本處理步驟通常是晶圓先經過適當的清洗（Cleaning）之後，接著進行氧化（Oxidation）及沈積，最後進行微影、蝕刻及離子植入等反覆步驟，以完成晶圓上電路的加工與製作。

二、晶圓針測製程

經過 Wafer Fab 之製程後，晶圓上即形成一格格的小格，我們稱之為晶方或是晶粒（Die），在一般情形下，同一片晶圓上皆製作相同的晶片，但是也有可能在同一片晶圓上製作不同規格的产品；這些晶圓必須通過晶片允收測試，晶粒將會一一經過針測（Probe）儀器以測試其電氣特性，而不合格的晶粒將會被標上記號（Ink Dot），此程序即稱之為晶圓針測製程（Wafer Probe）。然後晶圓將依晶粒為單位分割成一粒粒獨立的晶粒，接著晶粒將依其電氣特性分類（Sort）並分入不同的倉（Die Bank），而不合格的晶粒將於下一個製程中丟棄。

三、IC 構裝製程

IC 構裝製程（Packaging）則是利用塑膠或陶瓷包裝晶粒與配線以成積體電路（Integrated Circuit；簡稱 IC），此製程的目的是為了製造出所生產的電路的保護層，避免電路受到機械性刮傷或是高溫破壞。最後整個積體電路的周圍會向外拉出腳架（Pin），稱之為打線，作為與外界電路板連接之用。

四、測試製程

半導體製造最後一個製程為測試，測試製程可分成初步測試與最終測試，其主要目的除了為保證顧客所要的貨無缺點外，也將依規格劃分 IC 的等級。在初步測試階段，包裝後的晶粒將會被置於各種環境下測試其電氣特性，例如消耗功率、速度、電壓容忍度．．．等。測試後的 IC 將會依其電氣特性劃分等級而置入不同的 Bin 中（此過程稱之為 Bin Splits），最後因應顧客之需求規格，於相對應的 Bin 中取出部份 IC 做特殊的測試及燒機（Burn-In），此即為最終測試。最終測試的成品將被貼上規格標籤（Brand）並加以包裝而後交與顧客。未通過的測試的產品將被降級（Downgrading）或丟棄。

《晶柱成長製程》

矽晶柱的長成，首先需要將純度相當高的矽礦放入熔爐中，並加入預先設定好的金屬物質，使產生出來的矽晶柱擁有要求的電性特質，接著需要將所有物質融化後再長成單晶的矽晶柱，以下將對所有晶柱長成製程做介紹。

長晶主要程序：

融化（MeltDown）

此過程是將置放於石英坩鍋內的塊狀複晶矽加熱製高於攝氏 1420 度的融化溫度之上，此階段中最重要的參數為坩鍋的位置與熱量的供應，若使用較大的功率來融化複晶矽，石英坩鍋的壽命會降低，反之功率太低則融化的過程費時太久，影響整體的產能。

頸部成長（Neck Growth）

當矽融漿的溫度穩定之後，將<1.0.0>方向的晶種漸漸注入液中，接著將晶種往上拉昇，並使直徑縮小到一定（約 6mm），維持此直徑並拉長 10-20cm，以消除晶種內的排差（dislocation），此種零排差（dislocation-free）的控制主要為將排差侷限在頸部的成長。

晶冠成長（Crown Growth）

長完頸部後，慢慢地降低拉速與溫度，使頸部的直徑逐漸增加到所需的大小。

晶體成長（Body Growth）

利用拉速與溫度變化的調整來維持固定的晶棒直徑，所以坩鍋必須不斷的上升來維持固定的液面高度，於是由坩鍋傳到晶棒及液面的輻射熱會逐漸增加，此輻射熱源將

致使固液界面的溫度梯度逐漸變小，所以在晶棒成長階段的拉速必須逐漸地降低，以避免晶棒扭曲的現象產生。

尾部成長（Tail Growth）

當晶體成長到固定（需要）的長度後，晶棒的直徑必須逐漸地縮小，直到與液面分開，此乃避免因熱應力造成排差與滑移面現象。

《晶柱切片後處理》

矽晶柱長成後，整個晶圓的製作才到了一半，接下必須將晶柱做裁切與檢測，裁切掉頭尾的晶棒將會進行外徑研磨、切片等一連串的处理，最後才能成為一片片價值非凡的晶圓，以下將對晶柱的後處理製程做介紹。

切片（Slicing）

長久以來經援切片都是採用內徑鋸，其鋸片是一環狀薄葉片，內徑邊緣鑲有鑽石顆粒，晶棒在切片前預先黏貼一石墨板，不僅有利於切片的夾持，更可以避免在最後切斷階段時鋸片離開晶棒所造的破裂。

切片晶圓的厚度、弓形度（bow）及撓屈度（warp）等特性為製程管制要點。

影響晶圓品質的因素除了切割機台本身的穩定度與設計外，鋸片的張力狀況及鑽石銳利度的保持都有很大的影響。

圓邊（Edge Polishing）

剛切好的晶圓，其邊緣垂直於切割平面為銳利的直角，由於矽單晶硬脆的材料特性，此角極易崩裂，不但影響晶圓強度，更為製程中污染微粒的來源，且在後續的半導體製成中，未經處理的晶圓邊緣也為影響光組與磊晶層之厚度，固須以電腦數值化機台自動修整切片晶圓的邊緣形狀與外徑尺寸。

研磨（Lapping）

研磨的目的在於除去切割或輪磨所造成的鋸痕或表面破壞層，同時使晶圓表面達到可進行拋光處理的平坦度。

蝕刻（Etching）

晶圓經前述加工製程後，表面因加工應力而形成一層損傷層（damaged layer），在拋光之前必須以化學蝕刻的方式予以去除，蝕刻液可分為酸性與鹼性兩種。

去疵 (Gettering)

利用噴砂法將晶圓上的瑕疵與缺陷感到下半層，以利往後的 IC 製程。

拋光 (Polishing)

晶圓的拋光，依製程可區分為邊緣拋光與表面拋光兩種

邊緣拋光 (Edge Polishing)

邊緣拋光的主要目的在於降低微粒 (particle) 附著於晶圓的可能性，並使晶圓具備較佳的機械強度，但需要的設備昂貴且技術層面較高，除非各戶要求，否則不進行本製程。

表面拋光 (Surface Polishing)

表面拋光是晶圓加工處理的最後一道步驟，移除晶圓表面厚度約 10-20 微米，其目的在改善前述製程中遺留下的微缺陷，並取得局部平坦度的極佳化，以滿足 IC 製程的要求。基本上本製程為化學－機械的反應機制，由研磨劑中的 NaOH, KOH, NH₄OH 腐蝕晶圓的最表層，由機械摩擦作用提供腐蝕的動力來源。

《晶圓處理製程介紹》

基本晶圓處理步驟通常是晶圓先經過適當的清洗 (Cleaning) 之後，送到熱爐管 (Furnace) 內，在含氧的環境中，以加熱氧化 (Oxidation) 的方式在晶圓的表面形成一層厚約數百個的二氧化矽 (SiO₂) 層，緊接著厚約 1000Å 到 2000Å 的氮化矽 (Si₃N₄) 層將以化學氣相沈積 (Chemical Vapor Deposition; CVD) 的方式沈積 (Deposition) 在剛剛長成的二氧化矽上，然後整個晶圓將進行微影 (Lithography) 的製程，先在晶圓上上一層光阻 (Photoresist)，再將光罩上的圖案移轉到光阻上面。接著利用蝕刻 (Etching) 技術，將部份未被光阻保護的氮化矽層加以除去，留下的就是所需要的線路圖部份。接著以磷為離子源 (Ion Source)，對整片晶圓進行磷原子的植入 (Ion Implantation)，然後再把光阻劑去除 (Photoresist Strip)。製程進行至此，我們已將構成積體電路所需的電晶體及部份的字元線 (Word Lines)，依光罩所提供的設計圖案，依次在晶圓上建立完成，接著進行金屬化製程 (Metallization)，製作金屬導線，以便將各個電晶體與元件加以連接，而在每一道步驟加工完後都必須進行一些電性、或是物理特性量測，以檢驗加工結果是否在規格內 (Inspection and Measurement)；如此重複步驟製作第一層、第二層……的電路部份，以在矽晶圓上製造電晶體等其他電子元件；最後所加工完成的產品會被送到電性測試區作電性量測。

根據上述製程之需要，FAB 廠內通常可分為四大區：

1) 黃光

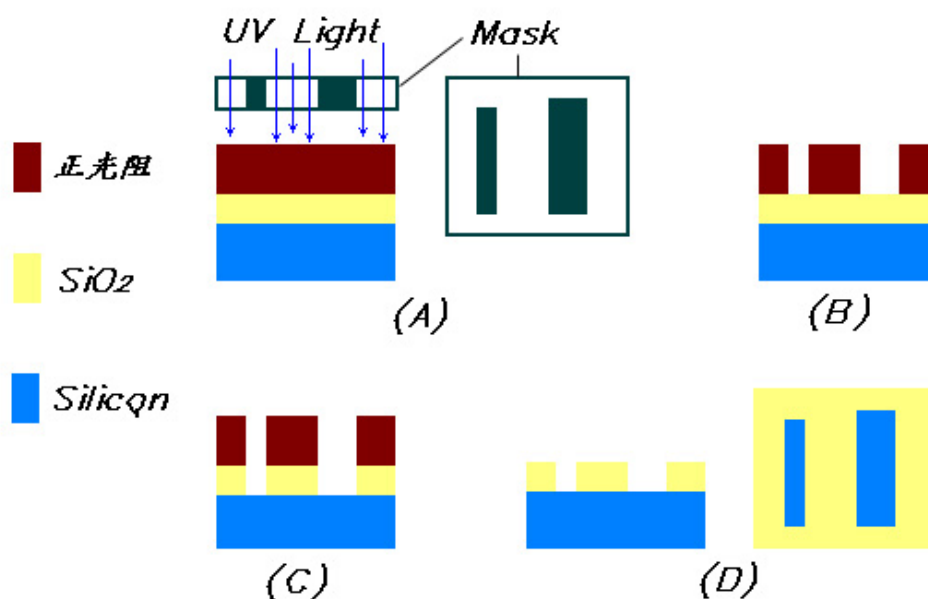
本區的作用在於利用照相顯微縮小的技術，定義出每一層次所需要的電路圖，因為採用感光劑易曝光，得在黃色燈光照明區域內工作，所以叫做「黃光區」。

微影成像(雕像術;lithography)

決定元件式樣(pattern)尺寸(dimension)以及電路接線(routing)

在黃光室內完成,對溫.濕度維持恆定的要求較其它製程高

一個現代的積體電路（IC）含有百萬個以上的獨立元件，而其尺寸通常在數微米，在此種尺寸上，並無一合適的機械加工機器可以使用，取而代之的是微電子中使用紫外光的圖案轉換（Patterning），這個過程是使用光學的圖案以及光感應膜來將圖案轉上基板，此種過程稱為 光刻微影（photolithography），此一過程的示意圖說明於下圖



光刻微影技主要在光感應薄膜，稱之為光阻，而光阻必須符合以下五點要求：

1. 光阻與基板面黏著必須良好。
2. 在整個基板上，光阻厚度必須均勻。
3. 在各個基板上，光阻厚度必須是可預知的。
4. 光阻必須是感光的，所以才能做圖案轉換。
5. 光阻必須不受基板蝕刻溶液的侵蝕。

在光刻微影過程，首先為光阻塗佈，先將適量光阻滴上基板中心，而基板是置於光阻塗佈機 的真空吸盤上，轉盤以每分鐘數千轉之轉速，旋轉 30-60 秒，使光阻均勻塗佈在基板上，轉速與旋轉時間，依所需光阻厚度而定。

曝照於紫外光中，會使得光阻的溶解率改變。紫外光通過光罩照射於光阻上，而在光照及陰影處產生相對應的圖形，而受光照射的地方，光阻的溶解率產生變化，稱之為光化學反應，而陰影處的率沒有變化，這整個過程稱之為曝光（exposure）。在曝光之後，利用顯影劑來清洗基板，將光阻高溶解率部份去除，這個步驟，稱之為顯影（Development），而光阻去除的部份依不同型態的光阻而有不同，去除部份可以是被光照射部份或是陰影部份，如果曝光增加光阻的溶解率，則此類光阻為正光阻，如果曝光降低光阻的溶解率，則稱此類光阻為負光阻。在顯影後，以蝕刻液來蝕刻含有圖案（pattern）光阻的基板蝕刻液去除未受光阻保護的基板部份，而受光阻保護部份，則未受蝕刻。最後，光阻被去除，而基板上則保有被製的圖案。

黃光製程:

- 1.上光阻
- 2.軟烤(預烤): 90 ~ 100 度 C ~ 30 min <~~使光阻揮發變硬一點 o
- 3.曝光顯像
- 4.硬烤: 200 度 C ~ 30 min <~~把剩下的揮發氣體完全揮發使其更抗腐蝕,但不可烤太久因為最後要把光阻去掉 o

相關儀器材料:

- 1.光阻(photoresist) 2.光罩(mask) 3.對準機(mask aligner)
 - 4.曝光光源(exposure source) 5.顯像溶液(develope solution) 6.烤箱(heating oven)
- 光阻: 1.正光阻:曝光區域去除 2.負光阻:曝光區域留下

曝光光源:

- 1.可見光 4000 ~ 7000 埃
- 2.紫外線 < 4000 埃 (深紫外線 0.25um 最多到 0.18um, 找不到合適的光阻及散熱問題,但解析很好,可整片曝光)。
3. X 光 ~ 10 埃 (可整片曝光)
- 4.電子束視電子能量而定 (速度慢 (直接寫入))波粒雙重性質量愈大波愈小 解析度和入波長有關電子 9.1×10^{-31} kg 就會有波的性質

曝光方式:

- 1.直接接觸式(contact): 解析度高.光罩壽命短
 - 2.微間距式(proximity): 解析度低.光罩壽命長(20 ~ 50 um)
 - 3.投射式(projection): 解析度高.鏡片組複雜, 步進式曝光.速度慢
- NA:Numerical Aperture ($NA = n \sin \alpha$)
- DOF:Depth of Focus 景深 (NA 愈大,W 解析度愈小)
- 解析度 $W = 0.6 \lambda / NA$, 聚焦深度 $DOF = \lambda / (NA)^2$ 次方
- 角度愈大,聚焦深度愈窄, 聚焦深度愈深愈好

光阻主要組成:

- 1.矩陣物質(Matrix Material;Resin)：決定光阻之機械特性即,光阻抵抗蝕刻的能力由此物質決定
- 2.感光物質：決定對光的靈敏度是否成像
- 3.溶劑：使光阻保持液態具揮發性

光阻之相關參數:

- 1.精確重現圖樣
- 2.抗腐蝕性良好
- 3.光學特性:包括解析度光敏度及折射率
- 4.製程安全相關特性

負光阻優點：

- 1.較佳的黏著特性
- 2.曝光時間短生產快
- 3.較不受顯像液之稀釋程度及環境溫度影響
- 4.價格較便宜

2) 蝕刻

蝕刻製程是將電路佈局移轉到晶片上之關鍵步驟，包括蝕刻及蝕刻後清洗兩部份，本所現階段以多層導線所需之蝕刻及清洗技術為重點。蝕刻技術開發已完成符合 0.15 微米世代製程規格之 0.2 微米接觸窗蝕刻技術以及符合 0.18 微米世代製程規格(線寬/間距=0.22 微米/0.23 微米)之鋁導線蝕刻技術；同時完成光阻硬化技術，可提高光阻抗蝕刻性 10%~20%；目前之技術重點在於雙嵌入結構蝕刻技術及低介電常數材料蝕刻技術，以搭配銅導線製程達成低電阻、低電容之目標。蝕刻後清洗技術開發已建立基本之氧化層及金屬層蝕刻後清洗能力，目前之技術重點在雙嵌入結構蝕刻後清洗技術，銅導線相容之光阻去除技術、低介電常數材料相容之光阻去除技術、銅污染去除技術等。

經過黃光定義出我們所需要的電路圖，把不要的部份去除掉，此去除的步驟就稱之為蝕刻，因為它好像雕刻，一刀一刀的削去不必要不必要的木屑，完成作品，期間又利用酸液來腐蝕的，所以叫做「蝕刻區」。

濕式蝕刻: 酸鹼溶液(化學方式) 選擇性高等向蝕刻

1. Through-put 高
2. 設備價格低
3. 溶液更新頻率<=>成本
4. 溶液本身的污染

優點

- 1.(through-put)高
- 2.設備價格低
- 3.溶液更新頻率<->成本
- 4.溶液本身的污染

乾式蝕刻: 電漿蝕刻(Plasma Etching),活性離子蝕刻(RIE)(物理方式)

選擇性低非等向蝕刻撞擊損傷(damages)→負面影響:晶格排列因撞擊而偏移

撞擊 -> 能量傳遞 -> 活化能降低 -> 反應加速

蝕刻考慮因素:

1. 選擇性(Selectivity)
2. 等向性(Isotropy)
3. 蝕刻速率(Etching Rate)
4. 晶片損傷(Damags)

3) 擴散

本區的製造過程都在高溫中進行，又稱為「高溫區」，利用高溫給予物質能量而產生運動，因為本區的機台大都為一根根的爐管，所以也有人稱為「爐管區」，每一根爐管都有不同的作用。

氧化

影響熱氧化速率的因素:

1. 反應氣體成分
2. 溫度
3. 晶向
4. 晶片摻雜濃度

SiO₂ 良好的絕緣特性導至矽半導體及 MOS 結構能夠盛行的主要原因。
第一個做出的是 Ge 半導體 Ge(鍺)無良好的氧化物所以發展矽化合物半導體 GaAs Inp 常用在光電因會發光，n 和 p 的濃度提高空乏區寬度變窄，因為技術愈來愈小由 0.35 到 0.07 要空乏區不碰到才行，所以要提高濃度。

倍率高:

TEM 穿透式 電子顯微鏡

SEM 掃描式 電子顯微鏡

熱(高溫)氧化:(Thermal oxidation)

1. 乾氧: $O_2 + Si \rightarrow SiO_2$
2. 濕氧: $H_2O + Si \rightarrow SiO_2 + 2H_2$

成長速率:

CVD SiO₂ > Wet SiO₂ > DRY SiO₂

品質

CVD SiO₂ < Wet SiO₂ < Dry SiO₂

CVD SiO₂:今屬間介電層

Wet SiO₂:場氧化層
Dry SiO₂:閘極氧化層

熱氧化層	<==>	CVD 氧化層
高溫 900 度		低溫 700~800 以下
結構緻密 HF 去吃很慢		結構鬆散 HF 去吃很快
高絕緣強度		低絕緣強度

4) 薄膜

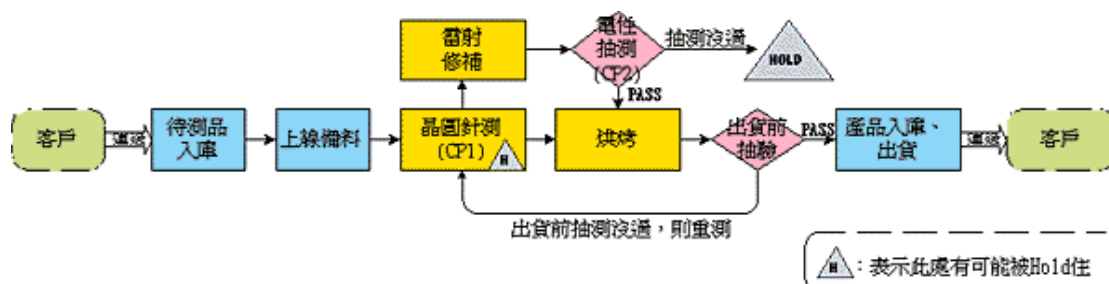
薄膜技術旨在開發應用於 0.18 微米以下，ULSI 製程所需之成膜沈積技術，涵蓋金屬導線技術、介電層技術以及平坦化技術等三項子技術。以金屬導線技術而言，以銅導線沈積技術研發為主，依據半導體製程發展趨勢將開發高電漿密度物理性金屬沈積技術、電化學沈積技術以及化學氣相沈積技術。以介電層技術而言，主要分為先進介電值沈積技術及低介電常數薄膜成膜技術，先進介電質沈積技術為開發高密度電漿化學氣相沈積，介電質抗反射層氟摻雜玻璃蝕刻阻擋層等應用於 0.18 微米之介電層沈積技術；而低介電常數膜主要應用於高速元件傳遞延遲、功率消耗及干擾，本計畫將針對此新材料之成膜應用加以研究。平坦化技術主要開發化學機械研磨相關技術，針對金屬及介電質進行研磨及研磨後清潔技術之研發，並針對研磨終點檢測技術平坦化模擬、研磨後腐蝕及氧化之防治進行研究。

本區機器操作時，機器中都需要抽成真空，所以又稱之為真空區，真空區的機器多用來作沈積暨離子植入，也就是在 Wafer 上覆蓋一層薄薄的薄膜，所以稱之為「薄膜區」。在真空區中有一站稱為晶圓允收區，可接受晶片的測試，針對我們所製造的晶片，其過程是否有缺陷，電性的流通上是否有問題，由工程師根據其經驗與電子學上知識做一全程的檢測，由某一電性量測值的變異判斷某一道相關製程是否發生任何異常。此檢測不同於測試區（Wafer Probe）的檢測，前者是細部的電子特性測試與物理特性測試，後者所做的測試是針對產品的電性功能作檢測。

《晶圓針測製程介紹》

晶圓針測（Chip Probing；CP）之目的在於針對晶片作電性功能上的測試（Test），使 IC 在進入構裝前先行過濾出電性功能不良的晶片，以避免對不良品增加製造成本。

半導體製程中，針測製程只要換上不同的測試配件，便可與測試製程共用相同的測試機台（Tester）。所以一般測試廠為提高測試機台的使用率，除了提供最終測



試的服務亦接受晶片測試的訂單。以下將此針測製程作一描述。

上圖為晶圓針測之流程圖，其流程包括下面幾道作業：

(1) 晶圓針測並作產品分類 (Sorting)

晶圓針測的主要目的是測試晶圓中每一顆晶粒的電氣特性，線路的連接，檢查其是否為不良品，若為不良品，則點上一點紅墨水，作為識別之用。除此之外，另一個目的是測試產品的良率，依良率的高低來判斷晶圓製造的過程是否有誤。良品率高時表示晶圓製造過程一切正常，若良品率過低，表示在晶圓製造的過程中，有某些步驟出現問題，必須儘快通知工程師檢查。

(2) 雷射修補 (Laser Repairing)

雷射修補的目的是修補那些尚可被修復的不良品（有設計備份電路在其中者），提高產品的良品率。當晶圓針測完成後，擁有備份電路的產品會與其在晶圓針測時所產生的測試結果資料一同送往雷射修補機中，這些資料包括不良品的位置，線路的配置等。雷射修補機的控制電腦可依這些資料，嘗試將晶圓中的不良品修復。

(3) 加溫烘烤 (Baking)

加溫烘烤是針測流程中的最後一項作業，加溫烘烤的目的有二：

- (一) 將點在晶粒上的紅墨水烤乾。
- (二) 清理晶圓表面。經過加溫烘烤的產品，只要有需求便可以出貨。

【半導體構裝製程】

隨著 IC 產品需求量的日益提昇，推動了電子構裝產業的蓬勃發展。而電子製造技術的不斷發展演進，在 IC 晶片「輕、薄、短、小、高功能」的要求下，亦使得構裝技術不斷推陳出新，以符合電子產品之需要並進而充分發揮其功能。構裝之目的主要有下列四種：

- (1) 電力傳送
- (2) 訊號輸送
- (3) 熱的去除
- (4) 電路保護

所有電子產品皆以「電」為能源，然而電力之傳送必須經過線路之連接方可達成，IC 構裝即可達到此一功能。而線路連接之後，各電子元件間的訊號傳遞自然可經由這些電路加以輸送。電子構裝的另一功能則是藉由構裝材料之導熱功能將電子於線路間傳遞產生之熱量去除，以避免 IC 晶片因過熱而毀損。最後，IC 構裝除對易碎的晶片提供了足夠的機械強度及適當的保護，亦避免了精細的積體電路受到污染的可能性。IC 構裝除能提供上述之主要功能之外，額外亦使 IC 產品具有優雅美觀的外表並為使用者提供了安全的使用及簡便的操作環境。

IC 構裝依使用材料可分為**陶瓷 (ceramic)**及**塑膠 (plastic)**兩種，而目前商業應用上則以塑膠構裝為主。以塑膠構裝中打線接合為例，其步驟依序為**晶片切割 (die saw)**、**黏晶 (die mount / die bond)**、**鉚線 (wire bond)**、**封膠 (mold)**、**剪切/成形 (trim / form)**、**印字 (mark)**、**電鍍 (plating)**及**檢驗 (inspection)**等。以下依序對構裝製程之各個步驟做一說明：

晶片切割 (Die Saw)

晶片切割之目的為將前製程加工完成之晶圓上一顆顆之 晶粒 (die) 切割分離。欲進行晶片切割，首先必須進行 晶圓黏片，而後再送至晶片切割機上進行切割。切割完後之晶粒井然有序排列於膠帶上，而框架的支撐避免了 膠帶的皺摺與晶粒之相互碰撞。

黏晶 (Die Bond)

黏晶之目的乃將一顆顆之晶粒置於導線架上並以銀膠 (epoxy) 黏著固定。黏晶完成後之導線架則經由傳輸設備送至彈匣 (magazine) 內，以送至下一製程進行鉚線。

鉚線 (Wire Bond)

鉚線乃是將晶粒上的接點以極細的金線 ($18\sim 50\mu\text{m}$) 連接到導線架之內引腳，進而藉此將 IC 晶粒之電路訊號傳輸至外界。

封膠 (Mold)

封膠之主要目的為防止濕氣由外部侵入、以機械方式支持導線、內部產生熱量之去除及提供能夠手持之形體。其過程為將導線架置於框架上並預熱，再將框架置於壓模機上的構裝模上，再以樹脂充填並待硬化。

剪切/成形 (Trim /Form)

剪切之目的為將導線架上構裝完成之晶粒獨立分開，並 把不需要的連接用材料及部份凸出之樹脂切除 (dejunk)。成形之目的則是將外引腳壓成各種預先設計好之形狀，以便於裝置於電路版上使用。剪切與成形主要由一部衝壓機配上多套不同製程之模具，加上進料及出料機構 所組成。

印字 (Mark)

印字乃將字體印於構裝完的膠體之上，其目的在於註明商品之規格及製造者等資訊。

檢驗 (Inspection)

晶片切割之目的為將前製程加工完成之晶圓上一顆顆之 檢驗之目的為確定構裝完成之產品是否合於使用。其中項目包括諸如：外引腳之平整性、共面度、腳距、印字 是否清晰及膠體是否有損傷等的外觀檢驗。

《電子構裝製造技術》

IC 晶片必須依照設計與外界之電路連接，才可正常發揮應有之功能。用於封裝之材料主要可分為塑膠（plastic）及陶瓷（ceramic）兩種。其中塑膠構裝因成本低廉，適合大量生產且能夠滿足表面黏著技術之需求，目前以成為最主要的 IC 封裝方式。而陶瓷構裝之發展已有三十多年歷史，亦為早期主要之構裝方式。由於陶瓷構裝成本高，組裝不易自動化，且在塑膠構裝品質及技術不斷提昇之情形下，大部份業者皆已盡量避免使用陶瓷構裝。然而，陶瓷構裝具有塑膠構裝無法比擬之極佳散熱能力、可靠度及氣密性，並可提供高輸出/入接腳數，因此要求高功率及高可靠度之產品，如 CPU、航太、軍事等產品仍有使用陶瓷構裝之必要性。目前用於構裝之技術，大概有以下數種。分別為「打線接合」、「捲帶式自動接合」、「覆晶接合」等技術，分述如下：

打線接合（Wire Bonding）

打線接合是最早亦為目前應用最廣的技術，此技術首先將晶片固定於導線架上，再以細金屬線將晶片上的電路和導線架上的引腳相連接。而隨著近年來其他技術的興起，打線接合技術正受到挑戰，其市場佔有比例亦正逐漸減少當中。但由於打線接合技術之簡易性及便捷性，加上長久以來與之相配合之機具、設備及相關技術皆以十分成熟，因此短期內打線接合技術似乎仍不太容易為其他技術所淘汰。

捲帶式自動接合（Tape Automated Bonding, TAB）

捲帶式自動接合技術首先於 1960 年代由通用電子（GE）提出。捲帶式自動接合製程，即是將晶片與在分子捲帶上的金屬電路相連接。而分子捲帶之材料則以 polyimide 為主，捲帶上之金屬層則以銅箔使用最多。捲帶式自動接合具有厚度薄、接腳間距小且能提供高輸出/入接腳數等優點，十分適用於需要重量輕、體積小之 IC 產品上。

覆晶接合（Flip Chip）

覆晶式接合為 IBM 於 1960 年代中首先開發而成。其技術乃於晶粒之金屬墊上生成鋁料凸塊，而於基板上生成與晶粒鋁料凸塊相對應之接點，接著將翻轉之晶粒對準基板上之接點將所有點接合。覆晶接合具有最短連接長度、最佳電器特性、最高輸出/入接點密度，且能縮小 IC 尺寸，增加單位晶圓產能，已被看好為未來極具潛力之構裝方式。

【半導體測試製程】

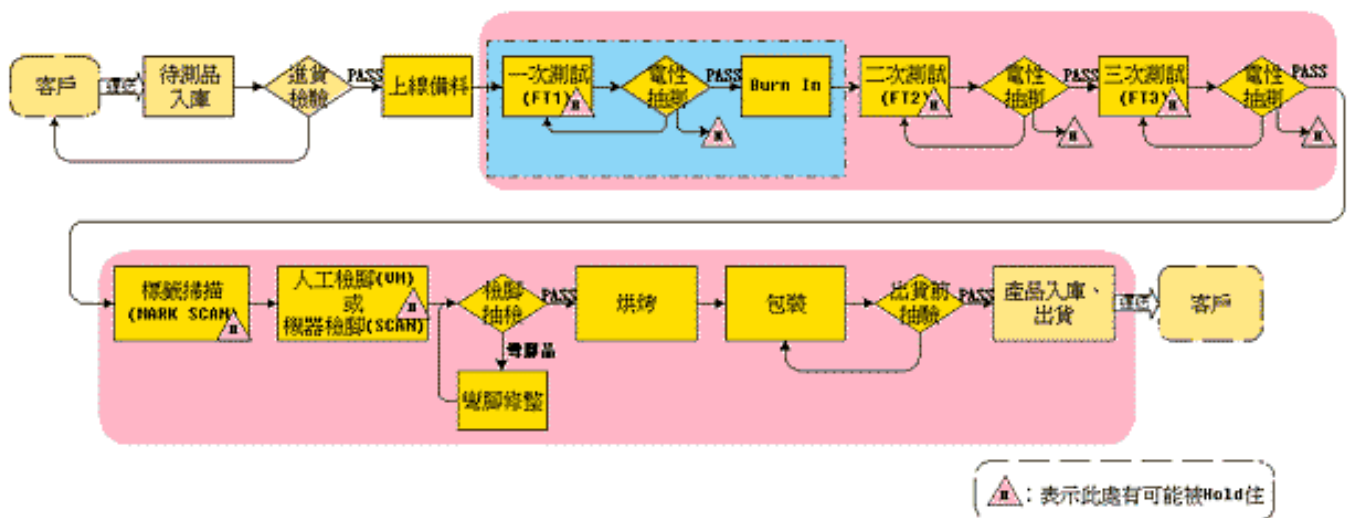
半導體產品的附加價值高、製造成本高，且產品的性能對於日後其用於最終電子商品的功能有關鍵性的影響。因此，在半導體的生產過程中的每個階段，對於所生產的半導體 IC 產品，都有著層層的測試及檢驗來為產品的品質作把關。然而一般所指的半導體測試則是指晶圓製造與 IC 封裝之後，以檢測晶圓及封裝後 IC 的電信功能與外觀而存在的測試製程。

以下即針對「半導體測試製程」中之各項製程技術進行介紹。

《半導體測試製程介紹》

測試製程乃是於 IC 構裝後測試構裝完成的產品之電性功能以保證出廠 IC 功能上的完整性，並對已測試的產品依其電性功能作分類（即分 Bin），作為 IC 不同等級產品的評價依據；最後並對產品作外觀檢驗（Inspect）作業。

電性功能測試乃針對產品之各種電性參數進行測試以確定產品能正常運作，用於測試之機台將根據產品不同之測試項目而載入不同之測試程式；而外觀檢驗之項目繁多，且視不同之構裝型態而有所不同，包含了引腳之各項性質、印字（mark）之清晰度及膠體（mold）是否損傷等項目。而隨表面黏著技術的發展，為確保構裝成品與基板間的準確定位及完整密合，構裝成品接腳之諸項性質之檢驗由是重要。以下將對測試流程做一介紹



上圖為半導體產品測試之流程圖，其流程包括下面幾道作業：

1. 上線備料

上線備料的用意是將預備要上線測試的待測品，從上游廠商送來的包箱內拆封，並一顆顆的放在一個標準容器（幾十顆放一盤，每一盤可以放的數量及其容器規格，依待測品的外形而有不同）內，以利在上測試機台（Tester）時，待測品在分類機（Handler）內可以將待測品定位，而使其內的自動化機械機構可以自動的上下料。

2. 測試機台測試（FT1、FT2、FT3）

待測品在入庫後，經過入庫檢驗及上線備料後，再來就是上測試機台去測試；如前述，測試機台依測試產品的電性功能種類可以分為邏輯 IC 測試機、記憶體 IC 測試機及混合式 IC（即同時包含邏輯線路及類比線路）測試機三種，測試機的主要功能在於發出待測品所需的電性訊號並接受待測品因此訊號後所回應的電性訊號並作出產品電性測試結果的判斷，當然這些在測試機台內的控制細節，均是由針對此一待測品所寫之測試程式（Test Program）來控制。

即使是同一類的測試機，因每種待測品其產品的電性特性及測試機台測試能力限制而有所不同。一般來說，待測品在一家測試廠中，會有許多適合此種產品電性特性

的測試機台可供其選擇；除了測試機 台外，待測品要完成電性測試還需要一些測試配件：

1) 分類機 (Handler)

承載待測品進行測試的自動化機械結構，其內有機械機構將 待測品一顆顆從標準容器內自動的送到測試機台的測試頭 (Test Head) 上接受測試，測試的結果會從測試機台內傳到分類機內， 分類機會依其每顆待測品的電性測試結果來作分類 (此即產品分 Bin) 的過程；此外分類機內有升溫裝置，以提供待測品在測試 時所需測試溫度的測試環境，而分類機的降溫則一般是靠氮氣，以達到快速降溫的目的。不同的 Handler、測試機台及待測品的搭配下，其測試效果 會有所不同，因此對測試產品而言，對可適用的 Handler 與 Tester 就會有喜好的選擇現象存在。測試機台一般會有很多個測試頭 (Test Head)，個數視測試機台的機型規格而定，而每個測試頭同時可以上一部分類機或針測機， 因此一部測試機台可以同時的與多台的分類機及針測機相連，而依連接的方式又可分為平行 處理，及乒乓處理，前者指的是在同一測試機台上多台分類機以相同的測試程式測試同一批 待測品，而後者是在同一測試機台上多台分類機以不同的測試程式同時進行不同批待測品的 測試。

2) 測試程式 (Test Program)

每批待測產品都有在每個不同的測試階段 (FT1、FT2、FT3) ，如果要上測試機台測試，都需要不同的測試程式，不同品牌的測試機台，其測試程式的語法並不相同，因此即使此測試機台有 能力測試某待測品，但卻缺少測試程式，還是沒有用；一般而言，因為測試程式的內容與待測品的電性特性息息相關，所以大多 是客戶提供的。

3) 測試機台介面

這是一個要將待測品 接腳上的訊號連接上測試 機台的測試頭上的訊號傳送接點的一個轉換介面， 此轉換介面，依待測品的 電性特性及外形接腳數的不同而有很多種類，如：Hi-Fix (記憶體類產品)、Fixture Board (邏輯類產品)、Load Board (邏輯類產品)、Adopt Board + DUT Board (邏輯類產品)、Socket (接腳器，依待測品其接腳的分佈位置及腳數而有所不同)。

每批待測品在測試機台的測試次數並不相同，這完全要看客戶的要求，一般而言邏輯性的產品，只需上測試機台一次 (即 FT2) 而不用 FT1、FT3，如果為記憶體 IC 則會經過二至三次的測試，而每次的測試環境溫度要求會有些不同，測試環境的溫度選擇，有三種選擇，即高溫、常溫 及低溫，溫度的度數有時客戶也會要求，升溫比降溫耗時許多，而即於那一道要用什麼溫度，這也視不同客戶的不同待測品而有所不同。

每次測試完，都會有測試結果報告，若測試結果不佳，則可能會產生 Hold 住本批待測品的現象產生。

3.預燒爐 (Burn-In Oven) (測試記憶體 IC 才有此程序)

在測試記憶體性產品時，在 FT1 之後，待測品都會上預燒爐裡去 Burn In，其目的在於提供待測品一個高溫、高電壓、高電流的環境，使生命週期較短的待測品在 Burn In 的過程中提早的顯現出來，在 Burn In 後 必需在 96 個小時內待測品 Burn In 物理特性未消退之前完成後續測試機台 測試的流程，否則就要將待測品種回預燒爐去重新 Burn In。在此會用到的配件包括 Burn-In Board 及 Burn In Socket..等。

4.電性抽測

在每一道機台測試後，都會有一個電性抽測的動作（俗稱 QC 或 Q 貨），此作業的目的在將此完成測試機台測試的待測品抽出一定數量，重回測試機台在測試程式、測試機台、測試溫度都不變下，看其測試結果是否與之前上測試機台的測試結果相一致，若不一致，則有可能是測試機台故障、測試程式有問題、測試配件損壞、測試過程有瑕疵..等原因，原因小者，則需回測試機台重測，原因大者，將能將此批待測品 Hold 住，等待工程師、生管人員與客戶協調後再作決策。

5.標籤掃描（Mark Scan）

利用機械視覺設備對待測品的產品上的產品 Mark 作檢測，內容包括 Mark 的位置歪斜度及內容的清晰度..等。

6.人工檢腳或機器檢腳

檢驗待測品 IC 的接腳的對稱性、平整性及共面度等，這部份作業有時會利用雷射掃描的方式來進行，也會有些利用人力來作檢驗。

7.檢腳抽檢與彎腳修整

對於彎腳品，會進行彎腳品的修復作業，然後再利用人工進行檢腳 的抽驗。

8.加溫烘烤（Baking）

在所有測試及檢驗流程之後，產品必需進烘烤爐中進行烘烤，將待測品上水氣烘乾，使產品在送至客戶手中之前不會因水氣的腐蝕而影響待測品的品質。

9.包裝（Packing）

將待測品依其客戶的指示，將原來在標準容器內的待測品的分類包裝成客戶所指定的包裝容器內，並作必要的包裝容器上之商標粘貼等。

10.出貨的運送作業

由於最終測試是半導體 IC 製程的最後一站，所以許多客戶就把測試 廠當作他們的成品倉庫，以避免自身工廠的成品存放的管理，另一方面也減少不必要的成品搬運成本，因此針對客戶的要求，測試廠也提供所謂的「Door to Door」的服務，即幫助客戶將測試完成品送至客戶指定的地方（包括客戶的產品買家），有些客戶指的地點在海外

者，便需要考慮船期的安排，如果在國內者，則要考慮貨運的安排事宜。

-----本文網路轉貼-----