14级数字逻辑小设计报告要求

一、设计题目

每位同学自选下列题目之一。

（1）时序信号发生器设计

（2）地址译码电路设计

（3）自选（内容要求参见（1）、（2））

二、设计内容要求

2.1、时序信号发生器设计

用Verilog实现一个满足设计要求的时序信号发生器完整电路。

2.1.1设计要求

时序信号是使计算机能够准确、迅速、有条不紊地工作的时间基准。CPU每读出并执行

一条指令所需要的时间通常叫做一个指令周期，一个指令周期一般由若干个CPU周期（通常定义为从内存中读取一个指令字的最短时间，又称为机器周期）组成。

这里的时序信号用节拍表示，一个节拍表示一个CPU周期时间，在一个节拍中又包含若干个节拍脉冲，节拍脉冲表示较小的时间单位。

时序信号发生器的功能就是产生一系列的节拍脉冲，它一般由：

时钟脉冲源；

时序信号产生电路；

启停控制电路等部分组成。

**要求设计一个用于实验系统的简单时序信号发生器，具体功能如下：**

（1）由时钟脉冲源提供频率稳定的方波信号作为系统的主频信号（即时序发生器的输入信号），要求系统的主频信号可以在100MHz，50MHz两种不同频率间进行选择；

（2）规定一个CPU周期（一个节拍）由4个时钟周期组成，即要求在一个CPU周期中产生4个等间隔的节拍脉冲；

（3）为了保证系统可靠地启动和停止，必须对时序信号进行有效的控制。

此外，由于启动信号和停止信号都是随机产生的，考虑到节拍脉冲的完整性，所以要求时序信号发生器启动时从第一个节拍脉冲的前沿开始工作，停止时在第四个节拍脉冲的后沿关闭。

2.1.2 功能描述

根据设计要求可知，时序信号发生器由时钟脉冲源、时序信号产生电路、启停控制电路3部分组成，其结构框图如图2-1所示。

。。。。。

图2-1 时序信号发生器结构框图

假定节拍脉冲信号用T1，T2，T3，T4表示，可画出时序信号发生器产生的波形，如图2-2所示。

。。。。。。

图2-2 时序信号的波形

2.1.3 电路设计

**（1）时钟电路（时钟源）**

由于要求时序发生器的输入信号能在100MHz、50MHz两种不同频率的方波信号之间进行选择。

所以时钟电路应由：信号源和分频电路两部分组成

信号源。。。

分频电路。。。。

（a）给出具体电路

（b）该电路的工作过程如下。。。。。

（c）给出Verilog程序以及RTL级的电路图和仿真图

**（2）时序信号产生电路**

时序信号产生电路一般由一个环形脉冲发生器和一个译码逻辑电路组成。

环形脉冲发生器：。。。。

译码逻辑电路：。。。。

（a）给出具体电路

（b）该电路的工作过程如下。。。。。

（c）时序信号产生电路的波形图。。

（d）给出Verilog程序以及RTL级的电路图和仿真图

**（3）启停控制电路**

启停控制电路：。。。。。

（a）给出具体电路

（b）该电路的工作过程如下。。。。。

（c）给出Verilog程序以及RTL级的电路图和仿真图

2.2 地址译码电路设计

用Verilog设计一个I/0地址译码电路。

2.2.1 设计要求

设计一个I/0地址译码电路，它允许CPU访问256个端口，其端口地址范围为300H～3FFH。所有端口被分为1 6个段，每个段包含4个接口芯片，每个芯片内部具有4个端口。

该I/O地址译码电路的输入／输出关系如图2-3所示。

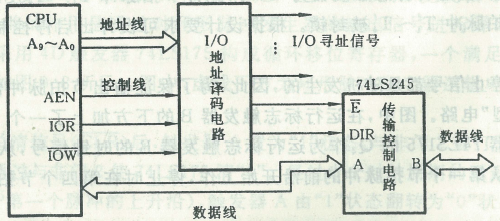


图2-3 I/O地址译码电路的输入／输出关系

电路输入端：

为1 0个地址信号A9 ~A0 ，3个控制信号AEN（当AEN=O时，处于非DMA操作，此时译码有效）、/IOR（读端口）和/IOW（写端口）；

输出端要求：

寻址信号，传输控制电路74LS245的通／断控制信号/E（仅当端口地址处在300H～3FFH范围内时，才使/E有效，它打开74LS245）和传输方向控制信号DIR。

当DIR=O时，数据从B端传到A端；

当DIR=1时，数据从A端传到B端。

要求通过DIP开关实现段选。

2.2.2 功能描述

**1．地址线分配**

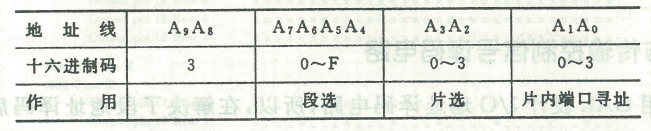
根据给定端口地址范围可知，地址线A9 =A8=1，A7～A0可在00H～FFH范围内变化。一种满足寻址要求的地址分配方案是：

（1）令地址线A7～A4进行组合实现段选；

（2）A3和A2进行组合实现段内片选；

（3）A1和A0进行组合实现片内端口寻址（不参加译码，令其直接与接口芯片相连接）。 10根地址线分配如表2-1所示。

表2-1 译码电路地址线分配表



**2．功能描述**

根据设计要求和地址分配方案，可得到I/O地址译码电路的框图，如图2-4所示。

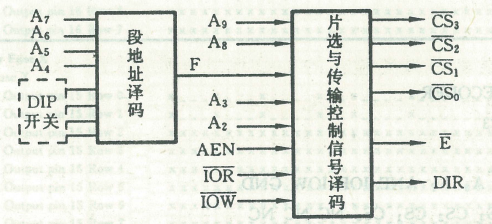


图2-4 I/O地址译码电路的框图

该电路由两部分组成：

第一部分通过DIP开关实现段选，当A7～A4的取值与DIP设置的段地址相同时，段地址译码电路的输出F为1；

第二部分接收地址信号A9、A8、A3、A2、控制信号AEN、/IOR、/IOW和段地址译码电路的输出F，输出片选信号/CS3、/CSl2、/CS1、/CSO；

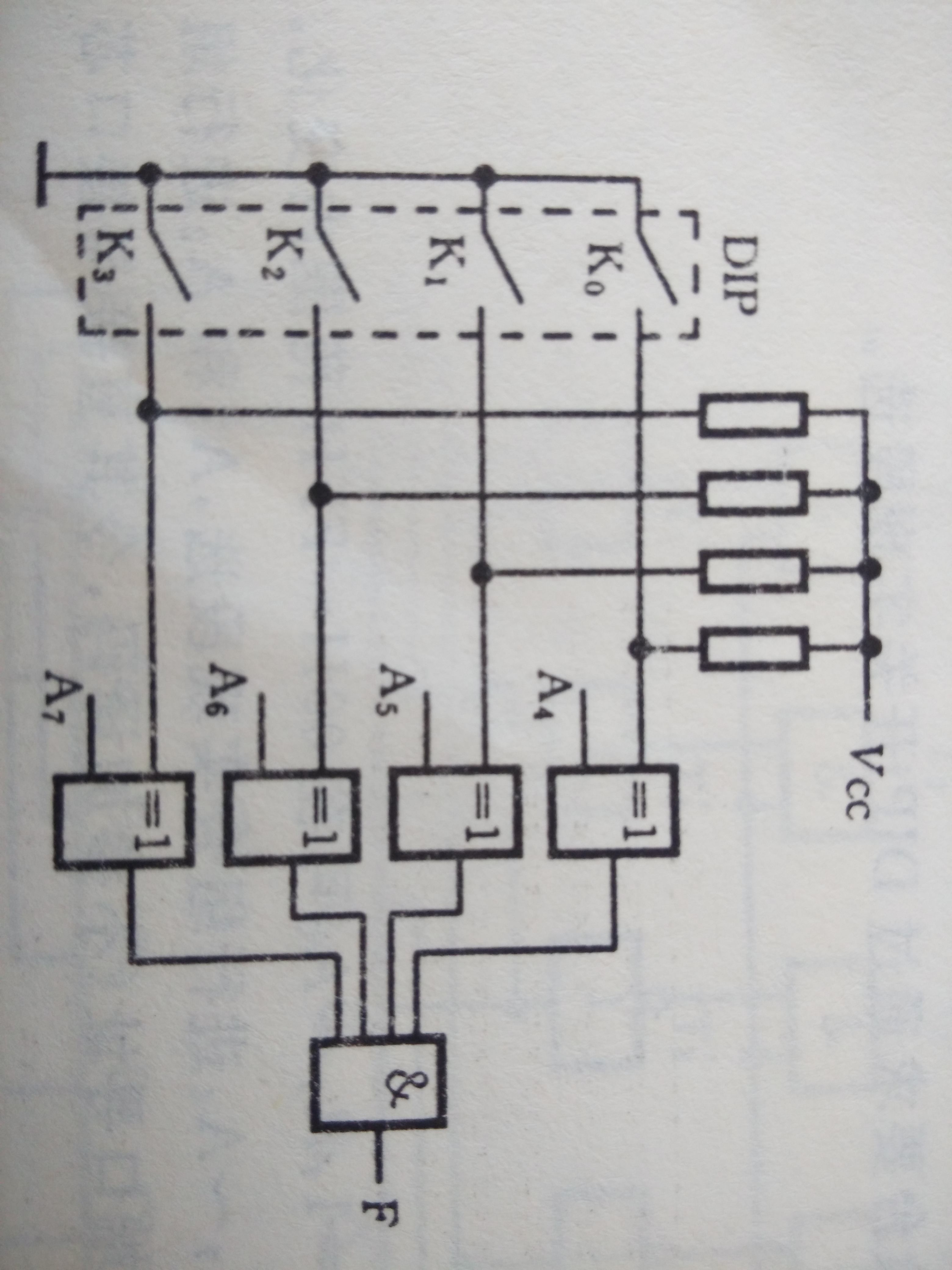
以及传输控制电路的**通／断控制信号E**和**传输方向控制信号DIR**。

2.2.3 电路设计

**1．段地址译码电路**

因为要求通过DIP开关实现段选，

要求：（a）给出具体电路



（b）该电路的工作过程如下

首先通过DIP开关选定段地址，若DIP开关全断开，则异或门段的电位为高电位，仅当A4、A5、A6、A7均为低点位是输出的F才为1，因此仅当DIP开关的选择与A4、A5、A6、A7一致时，F为1。

（c）给出Verilog程序以及RTL级的电路图和（1或2个F值）仿真图

【Verilog程序】

module Paragraph\_Decoder(

input A7,A6,A5,A4,

input [3:0] DIP,

output reg F

);

always @(A7 or A6 or A5 or A4 or DIP)

begin

if((DIP[3] == A7) & (DIP[2] == A6) & (DIP[1] == A5) & (DIP[0] == A4))

F = 1;

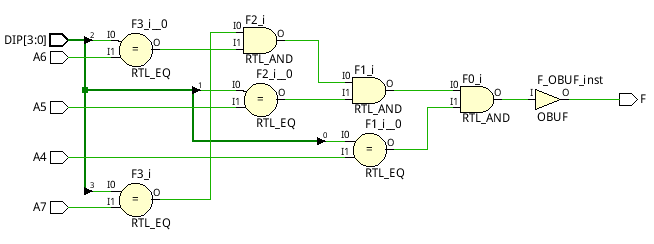
else

F = 0;

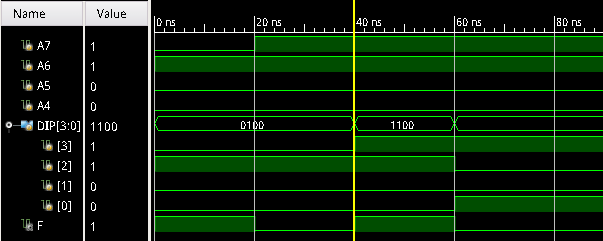
end

endmodule

【RTL级电路图】



【仿真图】



**2．片选与传输控制信号译码电路**

8个输入信号：

地址信号A9、A8 、A3、A2；

段地址译码电路输出信号F；

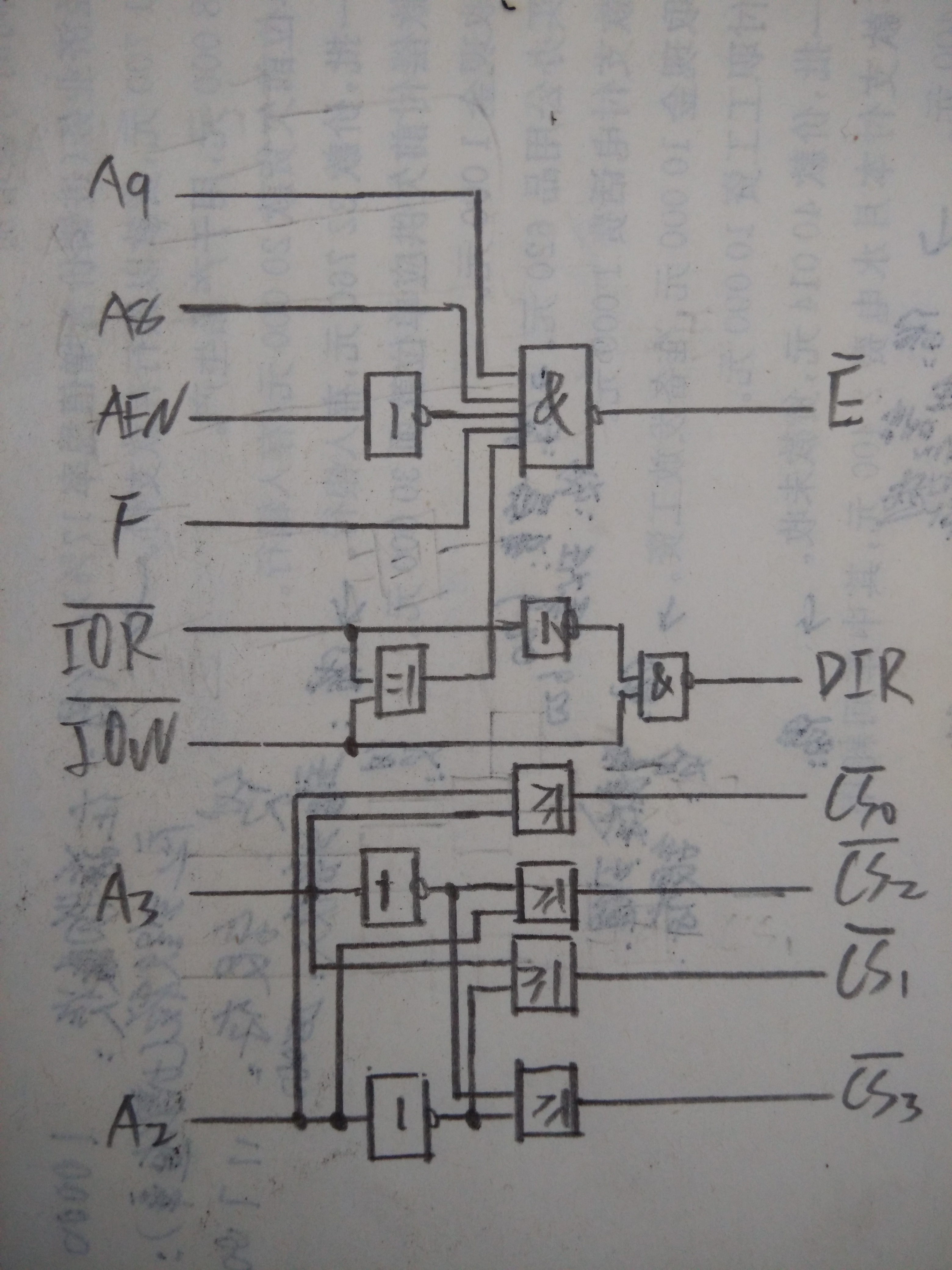
控制信号AEN、/IOR、/I OW。

6个输出信号：

产生片选信号/CS3、/CS2、/GS1、/CS0；

传输控制信号：E和DIR。

要求：（a）给出具体电路



（b）该电路的工作过程如下

通过对地址信号A9、A8，段地址译码电路输出信号F，控制信号AEN、/IOR、/I OW进行逻辑组合获得预期的控制信号E和DIR。然后对地址信号A3、A2进行译码。

（c）给出Verilog程序以及RTL级的电路图和（含片选和传输控制信号的）仿真图

【Verilog程序】

module Chip\_Decoder(

input A9,A8,F,A3,A2,AEN,IORbar,IOWbar,

output reg [3:0] CSbar,

output reg Ebar,DIR

);

reg [1:0] A;

parameter S0 = 0,S1 = 1,S2 = 2,S3 = 3;

always @(A9 or A8 or AEN or F or IORbar or IOWbar)

begin

if((A9 == 1) & (A8 == 1) & (AEN == 0) & F & (IORbar != IOWbar))

Ebar = 0;

else

Ebar = 1;

if((IORbar == 0) & (IOWbar ==1))

DIR = 0;

else

DIR = 1;

end

always @(A3 or A2)

begin

A = {A3,A2};

case(A)

S0 : CSbar = 4'b1110;

S1 : CSbar = 4'b1101;

S2 : CSbar = 4'b1011;

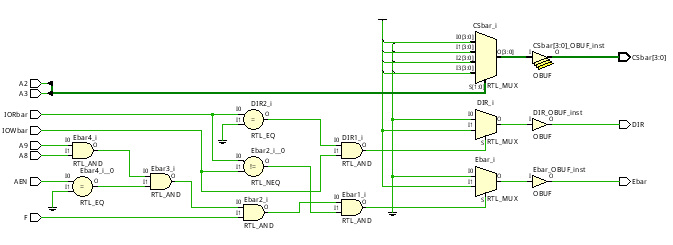
S3 : CSbar = 4'b0111;

endcase

end

Endmodule

【RTL级电路图】



【仿真图】

