

数字电路与逻辑设计

课程设计报告

题目：XXX 控制器的设计与实现

团队成员姓名	班级	学号	贡献百分比

课程设计实验部分：实验完成情况、时间 (亮点、完成、部分完成)			总分 (实验部分 70% + 报告 30%)
	设计 1	设计 2	
检查结果			
检查名次			
检查老师			

报告人：_____

实验指导教师：_____

报告批阅教师：_____

计算机科学与技术学院

20 年 月 日

华中科技大学课程设计报告

数字逻辑课程设计学生工作表

班 级	姓 名	学 号	验收时间（教师填写）				
（学生填写）			课设进度记录（学生填写）				
<div style="display: flex; flex-direction: column; align-items: flex-start;"> <div style="margin-bottom: 10px;">(1) 各自承担课程设计具体工作量记录</div> <div style="margin-bottom: 10px;">(a) 姓名：</div> <div style="margin-bottom: 10px;">(b) 姓名：</div> <div style="margin-top: 10px;">(2) xx 控制器的难点、亮点</div> </div>			日期	进度			
						实验平台故障记录（学生填写，请注明实验平台的编号）	

华中科技大学课程设计报告

重要说明

1、时间安排：课内 2 周。

2、验收准备：

- 1) 完成本表学生应该填写部分；
- 2) 同组的每位学生必须都能以**独立完成的方式**应对任何形式的验收；
- 3) 完成课程设计报告书（**格式参见模板**）；
- 4) 将源程序和报告的电子文档交班长。

3、检查过程：

- 1) 提交验收准备材料，请求老师验收，之后按验收老师的要求做；
- 2) 在开发平台上根据验收老师的要求进行演示；
- 3) 检查过程中独立回答老师提出的相关问题；
- 4) 验收老师有权根据具体情况调整验收的内容与方式；
- 5) 验收完成后关闭电源，整理好设备。

4、评分标准：

- 1) 同组者工作量的具体分配；
- 2) 在完成控制器基本要求外，有**亮点**为加分项；
- 3) 在规定时间内完成控制器基本要求；
- 4) 在规定时间内完成控制器**部分**基本要求；
- 5) 检查时间。

5、课程设计判定为不合格的一些情形：（本人已阅读此条款 1-5 项：签名_____）

- 1) 请人代做或冒名顶替者；
- 2) 替人做且不听劝告者；
- 3) 课程设计报告内容抄袭或雷同者；
- 4) 课程设计报告内容与实际实验内容不一致者；
- 5) 课程设计代码抄袭者。

华中科技大学课程设计报告

目 录

1	课程设计概述.....	6
1.1	课设目的.....	6
1.2	课设要求.....	6
1.3	课设任务.....	6
1.4	实验环境.....	6
2	基本方案设计.....	8
2.1	电子钟设计（或者：xxx 控制器设计）	8
2.1.1	目的.....	8
2.1.2	内容.....	8
2.1.3	设计思路.....	9
2.1.4	代码实现.....	9
2.1.5	仿真.....	11
2.1.6	主要故障.....	12
2.1.7	功能测试.....	12
2.1.8	实验中遇到的主要问题及解决方法.....	13
2.1.9	层次设计的体会.....	13
2.2	药片装瓶系统设计（或者：xxx 控制系统设计）	14
2.2.1	目的.....	14
2.2.2	内容.....	14
2.2.3	设计思路.....	14
2.2.4	代码实现.....	14
2.2.5	仿真过程.....	14
2.2.6	主要故障.....	15
2.2.7	功能测试.....	16
2.2.8	实验中遇到的主要问题及解决方法.....	16

华中科技大学课程设计报告

2.2.9	实验方案的改进意见.....	16
3	总结与心得.....	18
3.1	课设总结.....	18
3.2	课设心得.....	18
4	参考文献.....	19
附 录 1	(源程序)	20
附 录 2	课程设计报告的格式要求补充说明.....	21

华中科技大学课程设计报告

1 课程设计概述

1.1 课设目的

- (1) 掌握 Vivado 软件的使用方法;
- (2) 熟悉 FPGA 器件的使用方法;
- (3) 用 Verilog HDL 进行较复杂逻辑电路的设计和调试;
- (4) 学习数字系统的设计方法;
- (5) 通过规范化的实验报告, 培养学生良好的文档习惯以及撰写规范文档的能力。

1.2 课设要求

- (1) 能够全面地应用课程中所学的基本理论和基本方法, 完成从设计逻辑电路到设计简单数字系统的过渡;
- (2) 能力独立思考、独立查阅资料, 独立设计规定的系统;
- (3) 能够独立地完成实施过程, 包括电路设计、调试、排除故障、仿真和下载验证。

1.3 课设任务

本次课程设计每组要完成两个设计任务, 其中一个设计任务是: “电子钟” 设计、“自动销售机控制器” 设计 2 选 1; 另外一个设计任务是 4 选 1, 具体参见数字逻辑课程设计题目选择。

- (1) 各组要制定出详细设计方案, 明确成员各自分工, 认真记载毕业设计工作日记;
- (2) 通过 Verilog HDL 完成规定的设计内容, 采取模块化、层次化的设计方法设计电路, 然后进行编译和仿真, 认真记录实施过程中遇到的各自故障以及解决方法, 保证设计的正确性;
- (3) 生成 bit 文件, 下载到开发板上, 通过实际线路进行验证设计的正确性;
- (4) 撰写设计报告, 并对存在的问题进行分析、提出改进意见。

1.4 实验环境

开发环境为 Vivado 2015.2 软件和开发板 NEXYS 4 (芯片为 XC7A100TCSG324-1, 封装为 CSG3242)。Vivado 2015.2 是使用 Xilinx FPGA 必备的设计工具。它可以完成 FPGA 开发的全部流程, 包括设计输入、仿真、综合、布局布线、生成 bit 文件、配置以及在线调试等功能。

华中科技大学课程设计报告

Nexys4 开发板简介：参见图 1-1 所示，它是一款简单易用的数字电路开发平台，可以支持在课堂环境中来设计一些行业应用。大规模、高容量的 FPGA，海量的外部存储，各种 USB、以太网、以及其它接口、这些让 Nexys4-DDR 能够满足从入门级组合逻辑电路到强大的嵌入式系统的设计。同时，板上集成的加速度、温度传感器，MEMs 数字麦克风，扬声器放大器以及大量的 I/O 设备，让 Nexys4-DDR 不需要增添额外组件而用于各种各样的设计。

注意：开发板提供的时钟信号频率为 100Mhz，对应的引脚封装编号为“E3”。

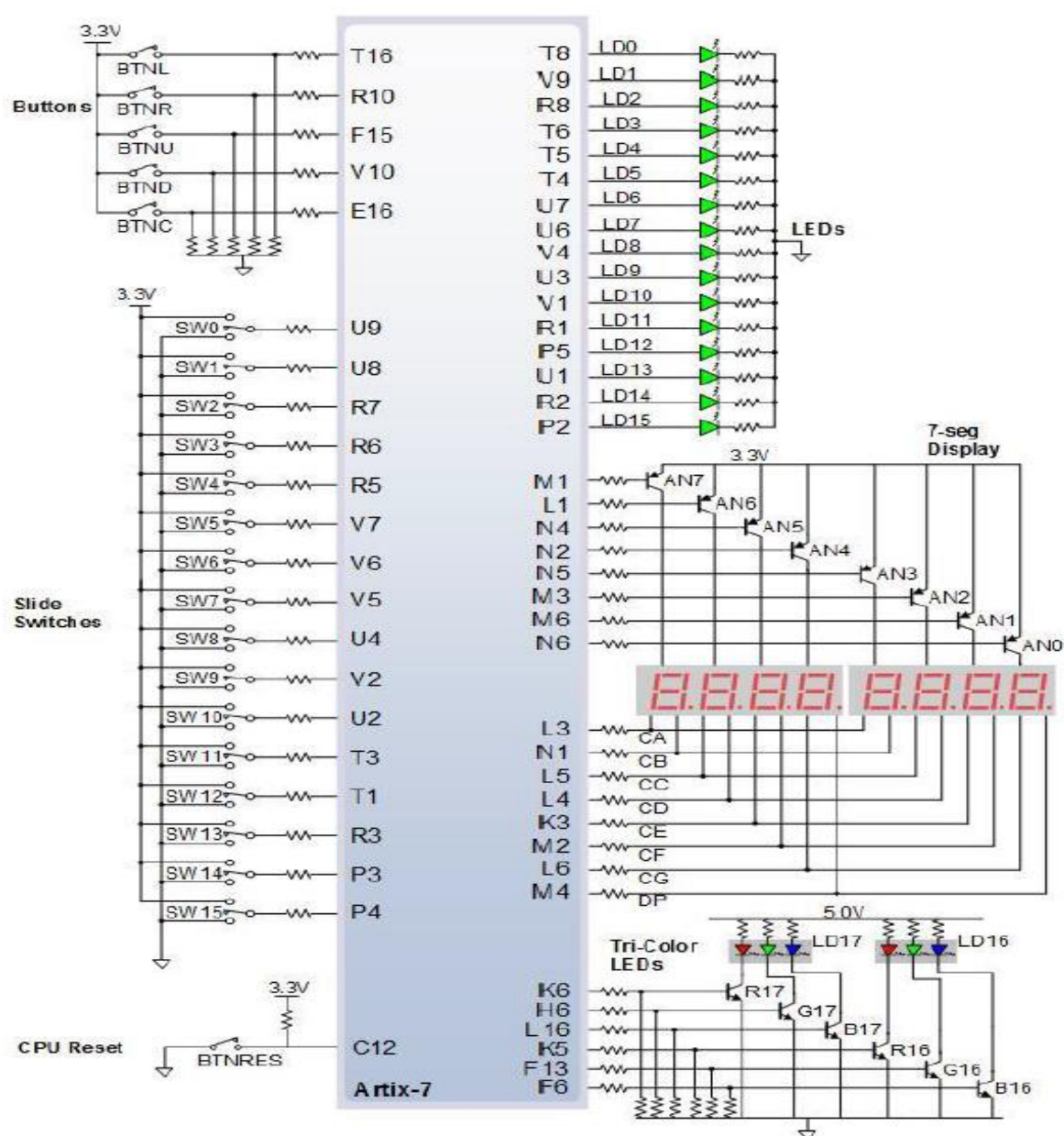


图 1-1 Nexys4 通用 I / O 设备

2 基本方案设计

2.1 电子钟设计（或者：xxx 控制器设计）

2.1.1 目的

- (1) 掌握较复杂的逻辑设计和调试
- (2) 学习用原理图+Verilog HDL 语言设计逻辑电路；
- (3) 学习数字电路模块、层次设计；
- (4) 掌握 Vivado 软件的使用方法；
- (5) 熟悉 FPGA 器件的使用。

2.1.2 内容

- (1) 设计并利用 Nexys4 开发板来实现一个电子钟，它具有下述功能：
 - a) 开发板上的 6 个 7 段数码管显示：时、分、秒；
 - b) 能使电子钟复位（清零）；
 - c) 能启动或者停止电子钟运行；
 - d) 在电子钟停止运行状态下，能够修改时、分、秒的值；
 - e) 具有整点提示功能。
- (2) 要求整个设计为模块化

系统分为若干模块，参见图 2-1 所示。

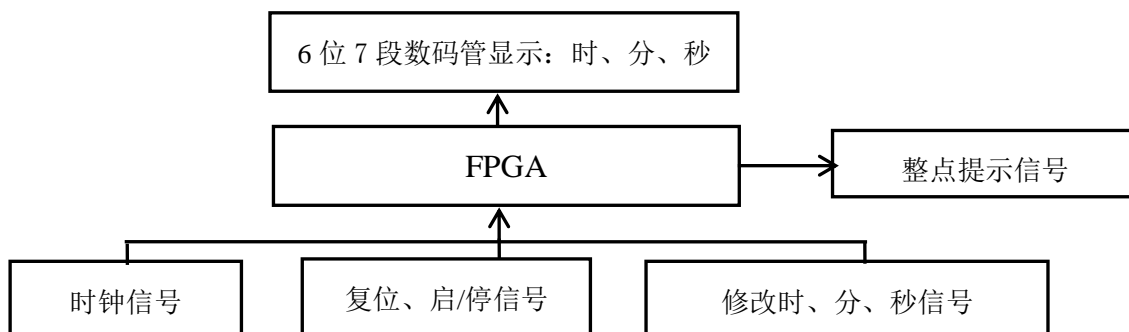


图 2-1 电子钟的系统框图

华中科技大学课程设计报告

(3) 将设计的代码下载到开发板上验证设计的正确性。

2.1.3 设计思路

本设计要求顶层采用原理图设计，各底层均采用 Verilog HDL 设计，参见图 2-2 所示。

- (1) 时钟用一个模 24 的计数器来实现；
- (2) 分钟和秒钟要求分别用一个模 60 的计数器来实现；
- (3) 要实现自动计时，则需要利用开发板提供的 100Mhz 提供脉冲，还需要一个分频的模块 dclk，使其吻合时钟速度；
- (4) 整点提示功能则用一个 ring 的模块实现，分钟进位时开始计数从而实现提示 5 秒。

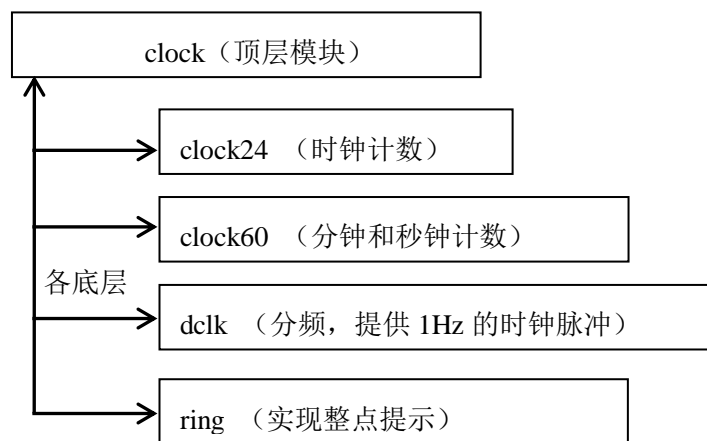


图 2-2 电子钟模块图

2.1.4 代码实现

顶层模块首先要设计系统的原理图，然后用 Verilog HDL 实现它，底层各模块均采用 Verilog HDL 语言设计。

电子钟顶层原理图，参见图 2-3 所示。

华中科技大学课程设计报告

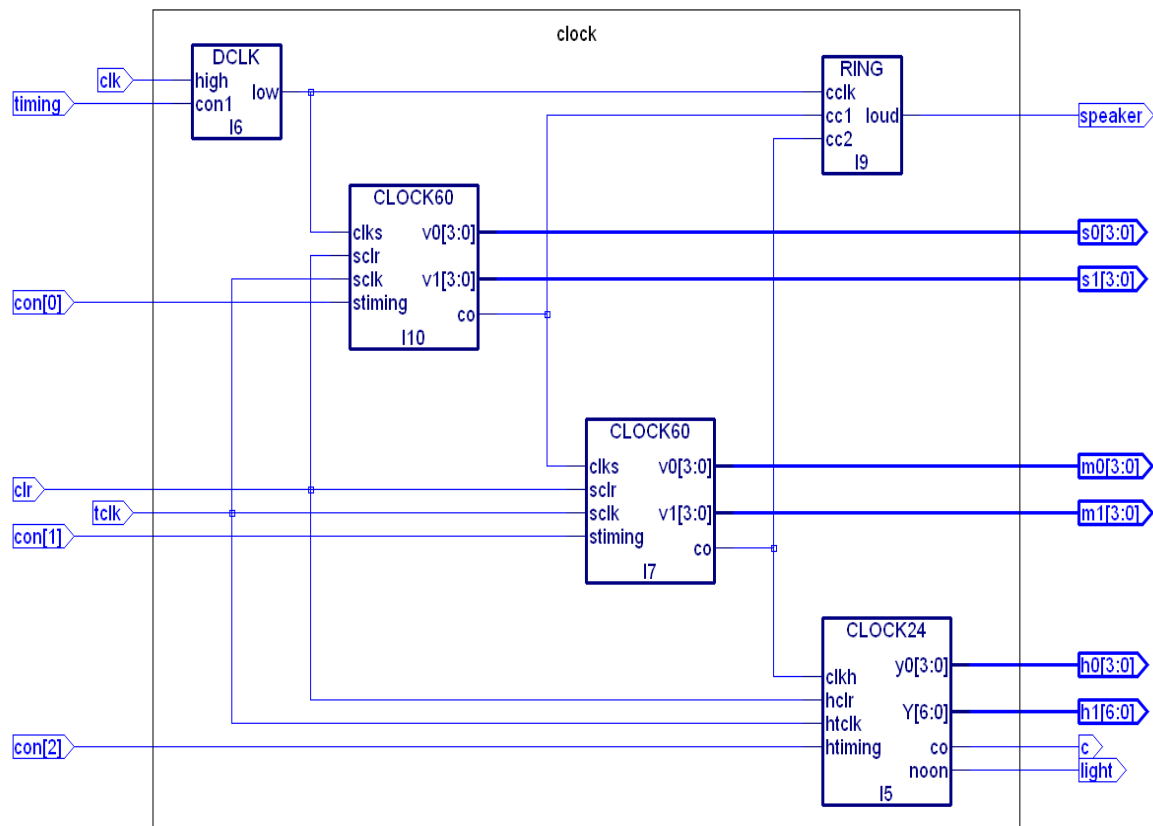


图 2-3 电子钟顶层原理图

(1) 顶层模块 clock（用于整合整个时钟系统）Verilog 代码

。。。。

(2) 底层模块 clock24（用于时钟计时、校时及显示）Verilog 代码

。。。

(3) 底层模块 clock60（用于分钟、秒钟的计时与校时）Verilog 代码

。。。

华中科技大学课程设计报告

(4) 底层模块 dclk (用于提供 1Hz 脉冲) Verilog 代码

。 。 。

(5) 底层模块 ring (用于整点提示) Verilog 代码

。 。 。

2.1.5 仿真

(1) 仿真情况

给出各种情况的仿真文件，并对仿真文件进行说明，最后给出仿真结果，并对仿真波形给予说明并进行分析。

(a) 顶层模块仿真

主模块有*个输入，*个输出，其中输入依次为：xxx、xxx、。。。。输出依次为：xxx、。。。。

仿真文件如下所示：

。 。 。 。 。

主模块仿真图如 xxx 所示。

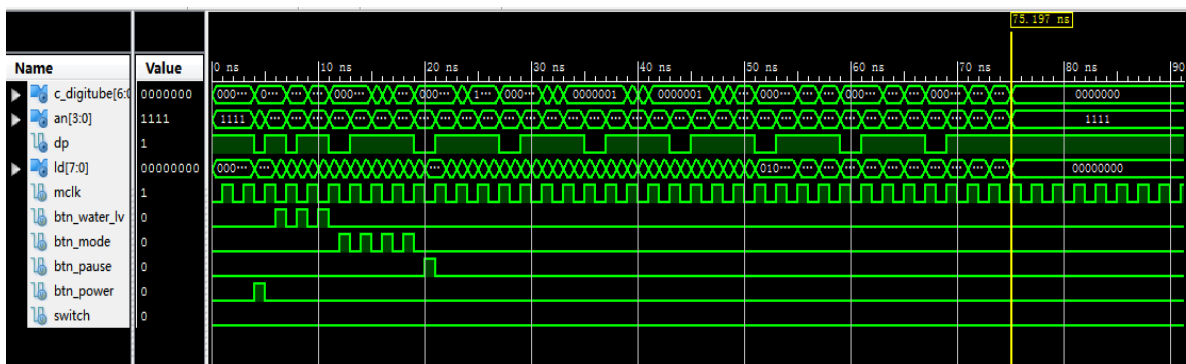


图 xxx 主模块仿真测试图

(b) xxx 底层模块仿真

华中科技大学课程设计报告

xxx 底层模块有*个输入，*个输出，其中输入依次为：xxx、xxx、。。。。输出依次为：xxx、。。。。

仿真文件如下所示：

。。。。。

2.1.6 主要故障

(1) 故障 1

问题描述：某些地方的判断语句不生效

问题分析：这些判断语句失效的地方全为 `if({var1,var2} == xx)`,经过单独测试和查阅资料，`{var1,var2}`这种形式只能用于赋值语句，判断语句无效。

解决方法：改变写法

。。。。

2.1.7 功能测试

共进行了 xx 项测试，它们分别为：

(1) 时钟计数测试

对测试过程和测试结果进行说明：（可以拍照开发板的计数值来加以说明）

(2) 整点提示测试

。。。。。。。

华中科技大学课程设计报告

2.1.8 实验中遇到的主要问题及解决方法

问题	解决方案
如何模拟时钟系统	以低位的进位做高位的时钟脉冲（即秒钟进位做分钟的 clk，分钟进位做时钟的 clk）
如何对应时钟输出	由于每个计数器都是采用“个位”和“十位”分别计数，则使该位连接到相应的灯上输出即可，最高位则使用七段译码器进行转换，因此增加一个 LED 的模块实现该功能
如何显示上下午	两个层面：1.时钟采用 24 进制计时；2.增加一个管脚连灯，判断当时钟为[0,12]区间内则亮灯，否则灭灯。
如何提供 1Hz 的时钟脉冲	。。。
如何实现校时功能	。。。
如何实现整点报时	。。。
。。。。	。。。。

2.1.9 层次设计的体会

本实验由一个顶层模块 clock 来整合实现整个时钟系统的所有功能，其下有四个模块：dclk（提供 1Hz 脉冲），clock24（时钟计数器），clock60（分钟、秒钟计数器），ring（实现整点报时），其中 clock60。。。。。

顶层模块中调用其他底层模块，使得各部分功能并发进行。

华中科技大学课程设计报告

2.2 药片装瓶系统设计（或者：xxx 控制系统设计）

2.2.1 目的

- (1) 掌握较复杂的逻辑设计和调试
- (2) 掌握用原理图+Verilog HDL 语言设计逻辑电路；
- (3) 学习数字系统设计方法；
- (4) 掌握 Vivado 软件的使用方法；
- (5) 熟悉 FPGA 器件的使用。

2.2.2 内容

- (1) 设计并利用 Nexys4 开发板实现 xxx，。。。。。

。。。。。

2.2.3 设计思路

2.2.4 代码实现

2.2.5 仿真过程

- (1) 仿真结果

给出各种情况的仿真文件，并对仿真文件进行说明，最后给出仿真结果，并对仿真波形给予说明并进行分析。

- (a) 顶层模块仿真

华中科技大学课程设计报告

主模块有*个输入，*个输出，其中输入依次为：xxx、xxx、。。。输出依次为：xxx、。。。。

仿真文件如下所示：

。。。。。

主模块仿真图如 xxx 所示。

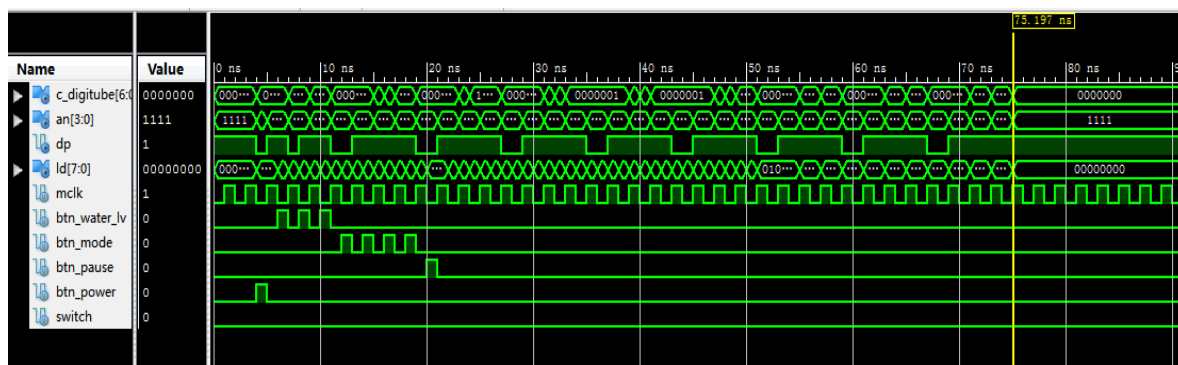


图 xxx 主模块仿真测试图

(b) xxx 底层模块仿真

xxx 底层模块有*个输入，*个输出，其中输入依次为：xxx、xxx、。。。输出依次为：xxx、。。。。

仿真文件如下所示：

。。。。。

2.2.6 主要故障

(1) 故障 1

问题描述：某些地方的判断语句不生效

问题分析：这些判断语句失效的地方全为 `if({var1,var2} == xx)`,经过单独测试和查阅资料，`{var1,var2}`这种形式只能用于赋值语句，判断语句无效。

解决方法：改变写法

。。。。。

华中科技大学课程设计报告

2.2.7 功能测试

(1) 时钟计数测试

对测试过程和测试结果进行说明：（可以拍照开发板的计数值来加以说明）

(2) 整点提示测试

。。。。。。

2.2.8 实验中遇到的主要问题及解决方法

问题	解决方案
。。。。。。	。。。
。。。。。。	。。。。

2.2.9 实验方案的改进意见

(1) 设计需求

新增时间 xxx 功能,。。。

。。。。。。

(2) 改进方案

。。。。

(a) 具体改进的模块结构设计

。。。。

(b) 具体改进的模块 Verilog 代码

。。。

华中科技大学课程设计报告

o o o

(3) 仿真

给出仿真程序和仿真波形：

o o o o o

仿真图 xxx 下。

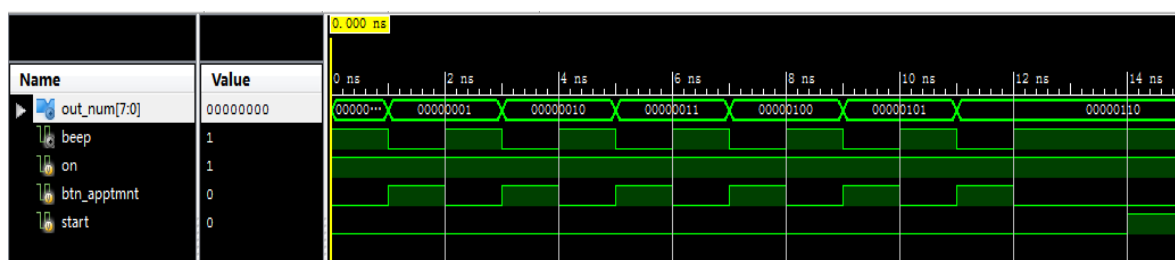


图 xxx xx 模块仿真图

(4) 修改后的功能测试

o o o o o o

经功能测试，修改后的系统增加了 xxx 功能 提高了 xxx 效率

3 总结与心得

3.1 课设总结

为了实现洗衣机系统的功能要求，作了如下几点工作：

- 1) 整个设计过程分为了早期的基本功能的实现，中期的预约功能添加以及后期的系统的仿真分析和请教同学，完成了对主要模块的仿真以及。。
- 2) 。。。电（auto_off），这些实现了上述的基本功能。另外还设计了辅助模块。。。
- 3) 。。仿真图，以此来辅助对整个系统的调试；
- 4) 。。。。。。
- 5) 在“模块复用”方面。。。。。

3.2 课设心得

- 1) 请教同学，注意知识的堆积。。。这样学才会有进步。
- 2) 。。。克服学习的弊病，也让我不得不直视自己的缺点，从而学到了更多，理解得更深。
- 3) 。。。。

4. 参考文献

教学参考书：

1. 欧阳明星，于俊清。 数字逻辑。武汉：华中科技大学出版社，2012
2. 白中英，谢松云。数字逻辑。北京：科学出版社，2013
3. 徐光辉，程东旭，黄如。基于 FPGA 的嵌入式开发与应用。北京:电子工业出版社,2006.
4. Guy Even. Digital Logic Design: A Rigorous Approach, Cambridge University Press, 2012
5. David Harris. Digital Design and Computer Architecture(Second Edition), Morgan Kaufmann, 2012
6. Stephen Brown. 数字逻辑基础与 Verilog 设计, 机械工业出版社, 2009

课外文献阅读：

1. Introductory Digital Systems Laboratory
<http://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-111-introductory-digital-systems-laboratory-fall-2002>
2. Digital Design Fabrication
<http://ocw.mit.edu/courses/architecture/4-510-digital-design-fabrication-fall-2008/>
3. Analysis and Design of Digital Integrated Circuits
<http://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-374-analysis-and-design-of-digital-integrated-circuits-fall-2003/>

华中科技大学课程设计报告

附录 1（源程序）

华中科技大学课程设计报告

附录 2 课程设计报告的格式要求补充说明

(1) 正文部分使用五号字，行间距为 1.25 倍行距，其中中文用宋体，英文和数字使用 Times New Roman 字体。

(2) 程序清单，包括仿真程序和后面的附录，使用五号字，行间距为单倍行距，中文注释用宋体，英文和数字使用 Times New Roman 字体。

(3) 所有的章节下面的项目编号使用 (1) (2) (3) 式样，如果还有下一级编号则用 a. b. c. (注意后面有点)。

(4) 所有的图、表、仿真程序要按照章编号，图的编号和名称放在图的下面，表的编号和名称放在上面，程序清单的内容放在双线表格中，且图和图名，表和表名不能分页显示。

(5) 图表的编号和名称均使用小五号字，中文用宋体，英文和数字使用 Times New Roman 字体。

(6) 所有的段落（除章节标题外）均在首行空两个中文字符。所有的章必须另起一页，即按章分页。

(7) 参考文献的格式样例如下（注意顺序和标点符号）：

[1]王静康,张凤宝,夏淑倩等.论化工本科专业国际认证与国内认证的“实质性”.高等工程教育研究,2014,5:1-4

[2]Stone J A, Howard L P. A simple technique for observing periodic nonlinearities in Michelson interferometers. Precision Engineering, 1998, 22(4):220-232

[3]朱印红,袁衍明.Dreamweaver 完美网页设计——技术入门篇.(第一版).北京:中国电力出版社,2006:19~20

[4]Lewis S L. Physics and chemistry of the solar system.北京:北京大学出版社,2014.1~2

[5]陈剑.上博简《民之父母》“而得既塞於四海矣”句解释[EB/OL].简帛研究网站,
<http://www.bamboosilk.org/Wssf/2003/chenjian03.htm>. 2003-01-18