
华中科技大学

数字逻辑实验报告（1）

团队成员：

姓名	班级	学号	贡献百分比

实验部分：实验完成结果、时间 (亮点、完成、基本完成、未完成)				总分 (实验部分 70% + 报告 30%)
	第一个实验	第二个实验	第三个实验	
检查结果				
检查名次				
检查老师				

报告人 ： _____

实验指导教师： _____

报告批阅教师： _____

计算机科学与技术学院

20 年 月 日

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

一、实验内容

组合逻辑电路的设计

二、实验目的

1. 熟悉 DICE-SEM 数字逻辑实验箱的使用方法；
2. 掌握逻辑门功能的测试方法；
3. 掌握组合逻辑电路的分析和设计方法；
4. 掌握组合逻辑电路的功能测试方法。

三、实验所用组件

型号	数量	备注
74LS00	2	二输入四与非门组件
74LS04	1	单输入 6 非门组件
74LS86	1	二输入四异或门组件
74LS08	1	二输入四与门组件
74LS10	1	三输入三与非门组件
74LS244	1	六总线驱动器，三态输出、非反相数据输出

四、实验要求

1. 一位全加/全减法器的实现（必选）

设计一个全加全减法器，电路有四个输入 M 、 A 、 B 、和 C_{in} ，两个输出 S 和 C_o 。要求如下：

(1) $M=0$ 时，电路实现加法运算。输入端 A 、 B 、和 C_{in} 分别为被加数、加数和来自低位的进位，输出 S 和 C_o 为本位和和向高位的进位；

(2) $M=1$ 时，电路实现减法运算。输入端 A 、 B 、和 C_{in} 分别为被减数、减数和来自低位的借位，输出 S 和 C_o 为本位差和向高位的借位。

2. 舍入与奇偶检测电路的设计（必选）

设计一个舍入与奇偶检测电路，该电路输入为 8421 码，输出为 F_1 和 F_2 。要求如下：

F_1 为四舍五入的输出信号， F_2 为奇偶检测输出信号。当电路检测到输入的代码大于或等于 $(5)_{10}$ 时，输出 $F_1=1$ ，否则 $F_1=0$ ；当输入代码中的 1 的个数为奇数个时，输出 $F_2=1$ ，否则 $F_2=0$ 。

3. 四路选择器的实现（可选）

设计一个四路选择器，电路有 6 个输入端 A_1 、 A_0 、 \overline{OE} 、 D_0 、 D_1 、 D_2 、 D_3 ，一个输出

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

端 Y。要求如下：

\overline{OE} 为使能控制端， A_1, A_0 为数据选择控制端， D_0, D_1, D_2, D_3 为数据输入端。

当 $\overline{OE} = 1$ 时，电路不工作，输出为高阻状态；

当 $\overline{OE} = 0$ 时，电路工作，输出 Y 由 A_1, A_0 决定，即：

当 $A_1A_0=00$ 时， $Y=D_0$ ；

当 $A_1A_0=01$ 时， $Y=D_1$ ；

当 $A_1A_0=10$ 时， $Y=D_2$ ；

当 $A_1A_0=11$ 时， $Y=D_3$ 。

附：三态、六总线驱动器 74LS244 的管脚图和逻辑表达式如图 1 和表 1 所示。

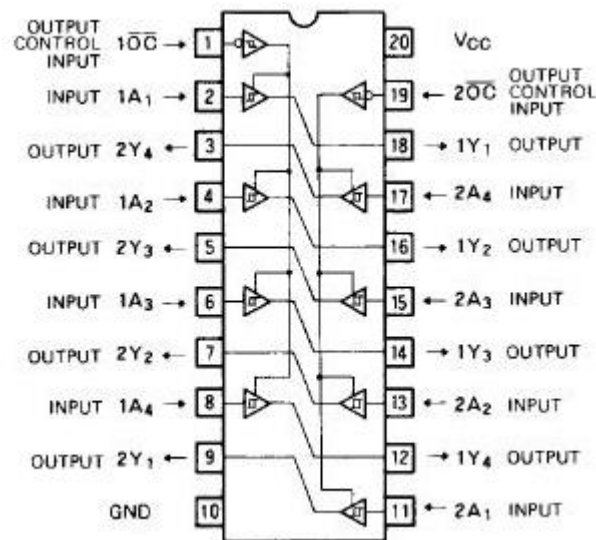


图 1 74LS244 管脚排列图

表 1 74LS244 真值表

A	\overline{OC}	Y
L(低电平)	L	L
H(高电平)	L	H
X(任意)	H	Z(高阻)

74ls244 有 2 组、每组四路输入、输出构成。每组有一个控制端 G，由控制端的高或低电平决定该组数据被接通还是断开。

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

五、实验方案设计

1. 一位全加/全减法器的设计方案

(A) 建立给定问题的逻辑描述

(B) 求出逻辑函数的最简表达式

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

(C) 选择实验给定的逻辑门进行逻辑函数的变换

(D) 画出逻辑电路图

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

2. 舍入与奇偶检测电路的设计方案

(A) 建立给定问题的逻辑描述

(B) 求出逻辑函数的最简表达式

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

(C) 选择实验给定的逻辑门进行逻辑函数的变换

(D) 画出逻辑电路图

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

3. 四路选择器的设计方案

(A) 建立给定问题的逻辑描述

(B) 求出逻辑函数的最简表达式

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

(C) 选择实验给定的逻辑门进行逻辑函数的变换

(D) 画出逻辑电路图

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

六、实验结果记录

1. 一位全加/全减法器的结果记录

输入			输出			
A	B	C _{in}	加法 (M=0)		减法 (M=1)	
			S	C _o	S	C _o
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

2. 舍入与奇偶检测电路的结果记录

B ₈	B ₄	B ₂	B ₁	F ₂	F ₁		B ₈	B ₄	B ₂	B ₁	F ₂	F ₁
0	0	0	0				1	0	0	0		
0	0	0	1				1	0	0	1		
0	0	1	0				1	0	1	0		
0	0	1	1				1	0	1	1		
0	1	0	0				1	1	0	0		
0	1	0	1				1	1	0	1		
0	1	1	0				1	1	1	0		
0	1	1	1				1	1	1	1		

3. 四路选择器的结果记录

使能	选择输入		数据输入				输出
\overline{OE}	A ₁	A ₀	D ₀	D ₁	D ₂	D ₃	Y
1	d	d	d	d	d	d	
0	0	0	0	d	d	d	
0	0	0	1	d	d	d	
0	0	1	d	0	d	d	
0	0	1	d	1	d	d	
0	1	0	d	d	0	d	
0	1	0	d	d	1	d	
0	1	1	d	d	d	0	
0	1	1	d	d	d	1	

《数字电路与逻辑设计》实验报告

学生姓名：_____ 学号：_____ 所在班级：_____

七、实验结果分析

八、思考题

1. 化简包含无关条件的逻辑函数时应注意什么？
2. 多输出逻辑函数化简时应注意什么？
3. 你所设计的电路是否达到最简？为什么？

九、心得体会

十、意见与建议