

数字逻辑实验报告（3）

团队成员：

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名 | 班级 | 学号 | 贡献百分比 |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 实验部分：实验完成结果、时间  （亮点、完成、基本完成、未完成） | | | | 总分  （实验部分 **70% +**报告 **30%**） |
|  | 第一个实验 | 第二个实验 | 第三个实验 |  |
| 检查结果 |  |  |  |
| 检查名次 |  |  |  |
| 检查老师 |  |  |  |

报告人 ：

实验指导教师：

报告批阅教师：

计算机科学与技术学院

**20** 年 月 日

一、实验内容

异步时序逻辑电路的 Verilog HDL 设计。

二、实验目的

1. 了解 Verilog 电路设计中险象的存在并掌握消除它的方法；

2. 熟悉用 Verilog 实现脉冲异步计数器的方法；

3. 掌握时序逻辑电路中数据正确传输的实现方法；

4. 掌握正确的电路仿真。

三、实验所用组件

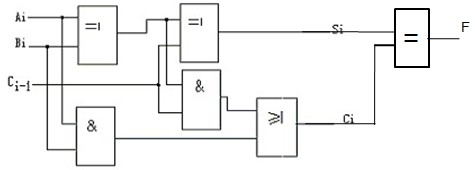
Xilinx NEXYS 4 开发板（芯片为 XC7A100TCSG324-1，封装为 CSG324）1 套。

四、实验要求

**1.** 险象验证与消除（必选）

如果将一位全加器电路的输出 Si 和 Ci 作一次同或运算，见图 1 所示电路（假 定门电路的时间延时都是 2ns），电路不存在时间延时的理论输出波形和存在时 间延时的实际输出波形见图 2 所示。

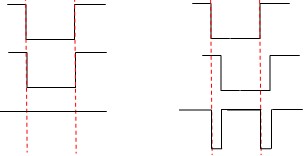
图 1 一位的全加器



Si

理论波形 Ci

F



实际波形

图 2 理论波形和实际波形

具体要求：

（1）用 Verilog HDL 设计该电路，利用“Behavioral Simulation”，验证图 1

所示电路存在险象；

（2）修改图 1 所示电路，消除其险象，再用 Verilog HDL 设计它，利用 “Behavioral Simulation”，验证修改后电路的险象是否消除。

**2.** 脉冲异步计数器（必选）

分析如图 3 所示的脉冲异步计数器电路，完成如下内容：

（1）说明该计数器的模是多少？

（2）用 Verilog DHL 实现该脉冲异步计数器，将之下载到开发板中进行验

证。

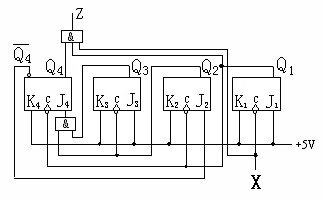


图 3 脉冲异步计数器电路

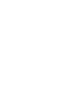
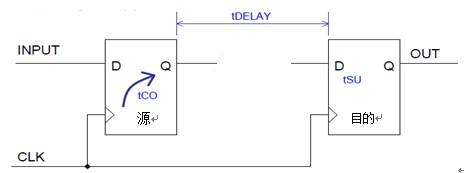
3．时序逻辑电路的传输（可选）

图 4 为时序逻辑的一种传输电路，它的输入有 2 个，分别为 INPUT 和 CLK，

输出有一个，为 OUT， 电路的传输周期 T=tCO（触发器的延时）+ tDELAY + tSU(触 发器数据建立时间)，当 CLK 的周期大于或等于 T 时，电路传输正常，否则会。。。

tDELAY

＆



tCO

tSU

源 目的

具体要求：

图 4 时序逻辑的传输电路

假设源触发器的延时时间为 2ns，“非门”的延时时间为 17ns，目的触发器的

数据建立时间为 1ns。

（1）如果 CLK 的周期为 20ns，且它的上升沿对应数据为 1101000 时，用

Verilog HDL 设计该电路，给出含 CLK、INPUT、OUT 的仿真波形图；

（2）有人想提高电路传输的频率，仅将 CLK 周期变为 15ns，用 Verilog HDL 再设计该电路，并给出含 CLK、INPUT、OUT 的仿真波形图，此人能达到目的 吗？

（3）如果想将电路的传输频率提高到 15ns，需要采取哪些“措施”？并用 含 CLK、INPUT、OUT 的仿真波形图来说明它。

五、实验方案设计

**1.** 险象验证与消除设计方案

（**A**）险象验证设计方案

（a）源程序

`timescale 1ns / 1ps

module lab3\_1(

input Ai,Bi,Cin,

output wire Si,Ci,F

);

wire X1,A1,A2,A3,A4,C1;

xor #2

ux1 (X1,Ai,Bi),

ux2 (A4,X1,C1);

and #2

ua1 (A1,Ai,Bi),

ua2 (A2,A1,1),

ua3 (C1,Cin,1),

ua4 (A3,X1,C1),

ua5 (Si,A4,1);

or #2

uo1 (Ci,A2,A3);

xnor #2

un1 (F,Si,Ci);

endmodule

（b）仿真程序

（**B**）险象消除设计方案

（a）消除险象后的电路图

（b）源程序

`timescale 1ns / 1ps

module lab3\_1(

input Ai,Bi,Cin,

output wire Si,Ci,F

);

wire X1,A1,A2,A3,A4,C1;

xor #2

ux1 (X1,Ai,Bi),

ux2 (A4,X1,C1);

and #2

ua1 (A1,Ai,Bi),

ua2 (A2,A1,1),

ua3 (C1,Cin,1),

ua4 (A3,X1,C1),

ua5 (Si,A4,1);

or #2

uo1 (Ci,A2,A3);

xnor #2

un1 (F,Si,Ci);

endmodule

（c）仿真程序

**2.** 脉冲异步计数器的分析和设计方案

（A）源程序

（B）仿真程序

（C）引脚约束（绑定）程序

**3.** 时序逻辑电路的传输设计方案

给出传输电路的时延为 **20ns**，**CLK** 的周期分别为 **20ns**、**15ns** 时的设计 方案。

（a）源程序

（b）CLK 的周期分别为 20ns、15ns 时的仿真程序

（**i**）CLK 周期为 20ns

（ii）仅将 CLK 周期提高为 15ns 的情况

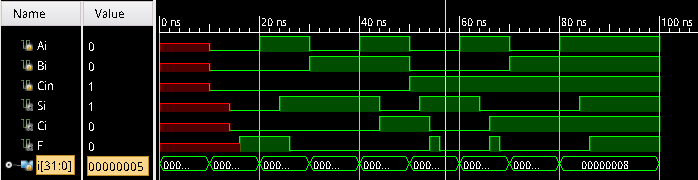
（iii）采取“措施”后，CLK 的周期提高为 15ns 的情况

六、实验结果记录

**1.** 险象验证与消除结果记录

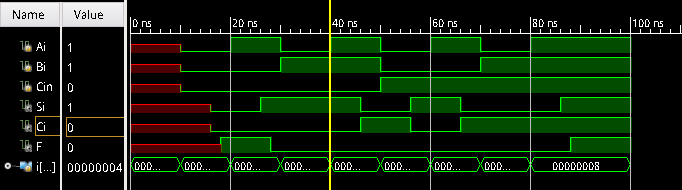
（**1**） 利用“**Behavioral Simulation**”，给出存在险象时的仿真结果

（波形含 Ai，Bi，Ci-1，Si，Ci 和 F）



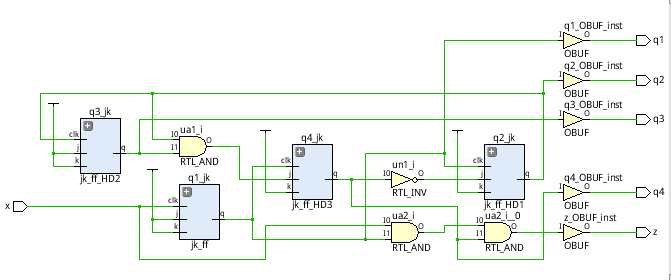
（**2**） 利用“**Behavioral Simulation**”，给出消除险象后的仿真结果

（波形含 Ai，Bi，Ci-1，Si，Ci 和 F）



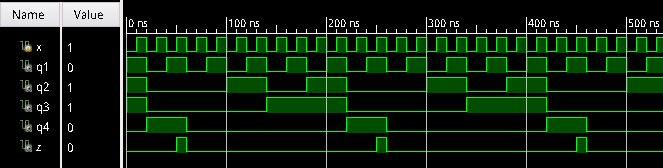
**2.** 异步 **X** 进制加法计数器的结果记录

（**1**）给出 **Verilog** 设计的电路图（RTL Analysis 下的“Schematic”）



（**2**）仿真结果（波形含 **X**，**Q1**，**Q2**，**Q3**，**Q4** 和 **Z**）

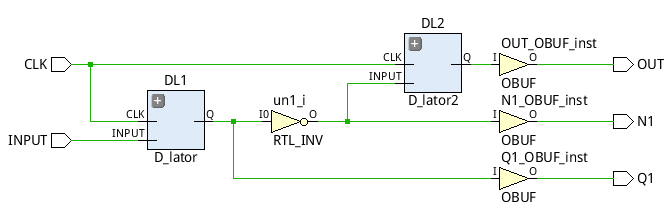
（仿真结果具有周期性的要在仿真图上将其“周期”加以标注和说明）



（**3**）开发板上电路的验证情况（主要记录：验证过程和结论）

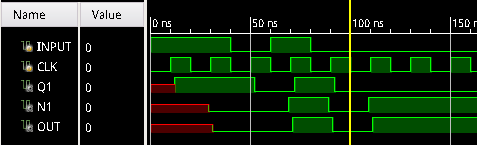
3. 时序逻辑电路的传输结果记录

（**1**）给出 **Verilog** 设计的电路图（RTL Analysis 下的“Schematic”）



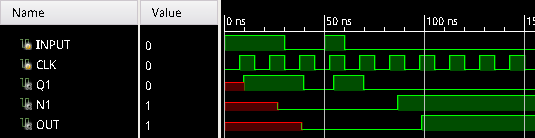
（2）当 **CLK** 周期为 **20ns**，给出含 **CLK**、**INPUT**、**OUT** 的仿真波形图

（仿真结果具有周期性的要在仿真图上将其“周期”加以标注和说明）



（3）提高 **CLK** 周期为 **15ns**，给出含 **CLK**、**INPUT**、**OUT** 的仿真波形图， 某人仅通过提高 **CLK** 的频率来提高电路传输的目的达到了吗？

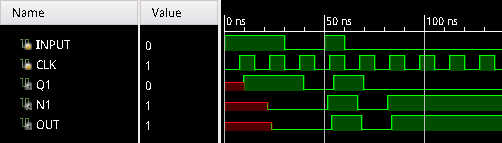
（仿真结果具有周期性的要在仿真图上将其“周期”加以标注和说明）



（**4**）采取“措施”后，**CLK** 的周期提高为 **15ns**，给出含 **CLK**、**INPUT**、

**OUT** 的仿真波形图，某人提高电路传输的目的达到了吗？

（仿真结果具有周期性的要在仿真图上将其“周期”加以标注和说明）



七、实验结果分析

八、思考题

1．图 4 所示电路的最大传输频率是多少？如果要想提高数据传输频率要考虑那 些因素？

2. RTL Analysis 下的“Schematic”与 Synthesized Design 下的“Schematic”的区别

九、心得体会

十、意见与建议