

电子技术实验

实验报告

(2021 - 2022 学年度 秋季学期)

实验名称 实验四时序逻辑电路的设计

姓名 刘若涵

学号 2020011126

班级 自 05 班

教师 陈莉萍

时间 2021 年 11 月

一、实验内容

设计一个星期显示电路，可以显示星期，且具有清零、手动调节等功能。

1. 整体思路

将该电路分为两个模块——控制模块和显示模块，其中控制模块在 FPGA 板上完成，显示模块在面包板上完成。FPGA 板产生的信号通过扩展端口输出，经过杜邦线引入面包板扩展端口。

2. 控制模块

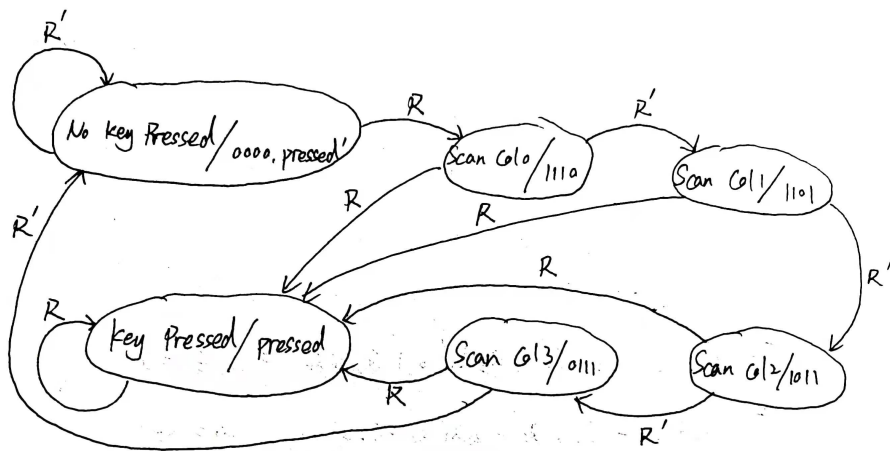
(1) 时钟信号发生模块

设计一个分频器，将晶振 50MHz 频率降为 1Hz，为星期显示电路提供时钟信号。信号占空比 50%。可利用 Verilog 语言实现，准备一个寄存器，将晶振信号作为触发源输入，一个时钟周期寄存器的存数加一，当加到 25M 时，输出信号翻转。

(2) 矩阵键盘识别模块

输出列线扫描检测信号，输入行线状态，根据行线及列线状态确定被按下按键的编码。

用状态 R 表示行线均为高电平，R' 表示不全为高电平，若有按键被按下则开始列线扫描，按照 1110、1101、1011、0111 的顺序，若扫描到某一列行线不全为高电平，则扫描停留在该列，直到行线全部恢复高电平。



如果没有按键被按下，则输出 1111111111111111；如果有按键被按下，则几号按键被按下第几位为 0，如 SW1 被按下，输出 1111111111111101。

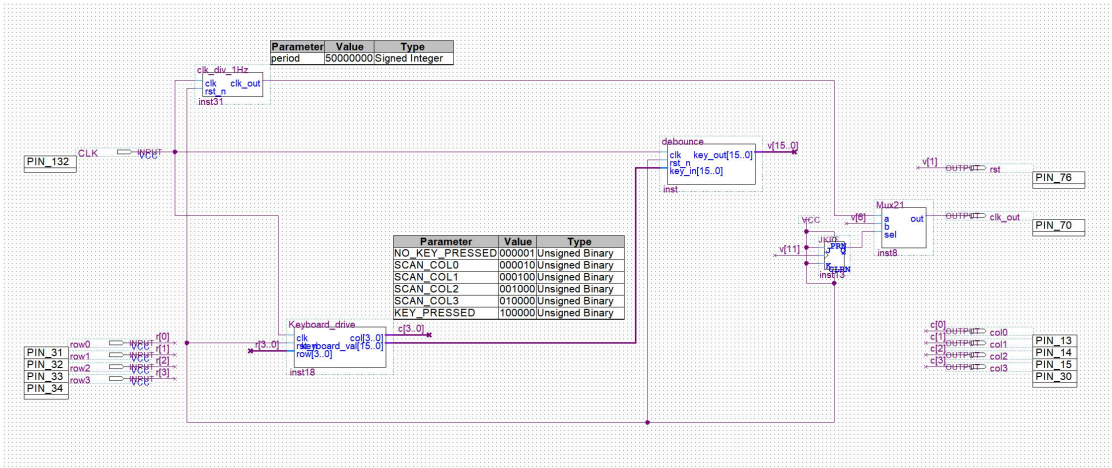
(3) 防抖模块

按键消抖，防止信号抖动对电路显示造成影响。由于一般的抖动在 20Ms 以内，检测输入信号变化时刻及变化后 20Ms 的值，若相同，则输出信号变化且锁存 20Ms，若不同则输出信号不变。

(4) 手动/连续时钟选择模块

根据按键 SW11 状态，选择输出手动时钟还是连续时钟，按一次切换一次模式。可利用 T 触发器串联二选一数据选择器实现。SW11 按一次，T 触发器翻转一次，并记住该状态，触发器输出接数据选择器选择端，手动时钟及连续时钟信号分别接数据选择器被选择端。

(5) 控制模块顶层电路图

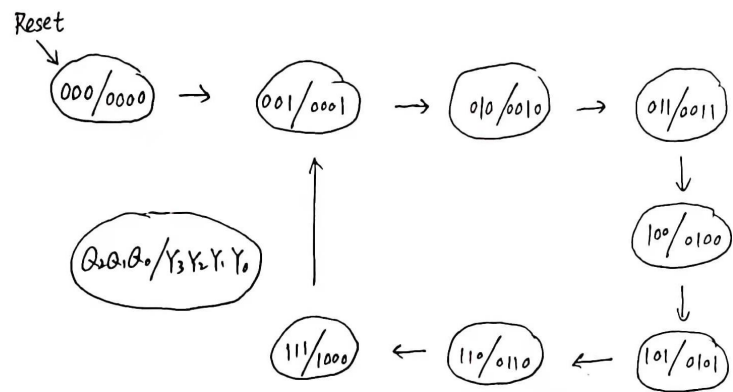


3. 显示模块

输入时钟和清零信号,时钟信号每进行一周期星期显示加一,清零信号低电平有效,星期显示置零。用面包板上的 1 位数码管显示 1~6 和 8 代表显示星期一~星期六和星期日。用 D 触发器和门电路实现。

状态转换图:

以 $Q_2Q_1Q_0$ 为 001、010、011、100、101、110、111 分别代表星期一到星期日,为实现电路自启动将 000 的次态设为 001。



状态方程:

Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0

1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	1

$$Q_2^* = Q_2 \oplus (Q_1 Q_0)$$

$$Q_1^* = Q_1 \oplus Q_0$$

$$Q_0^* = ((Q_2 Q_1)' Q_0)'$$

驱动方程：

$$D_2 = Q_2 \oplus (Q_1 Q_0)$$

$$D_1 = Q_1 \oplus Q_0$$

$$D_0 = ((Q_2 Q_1)' Q_0)'$$

输出方程：

Q_2	Q_1	Q_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0
0	0	1	0	0	0	1
0	1	0	0	0	1	0
0	1	1	0	0	1	1
1	0	0	0	1	0	0
1	0	1	0	1	0	1
1	1	0	0	1	1	0
1	1	1	1	0	0	0

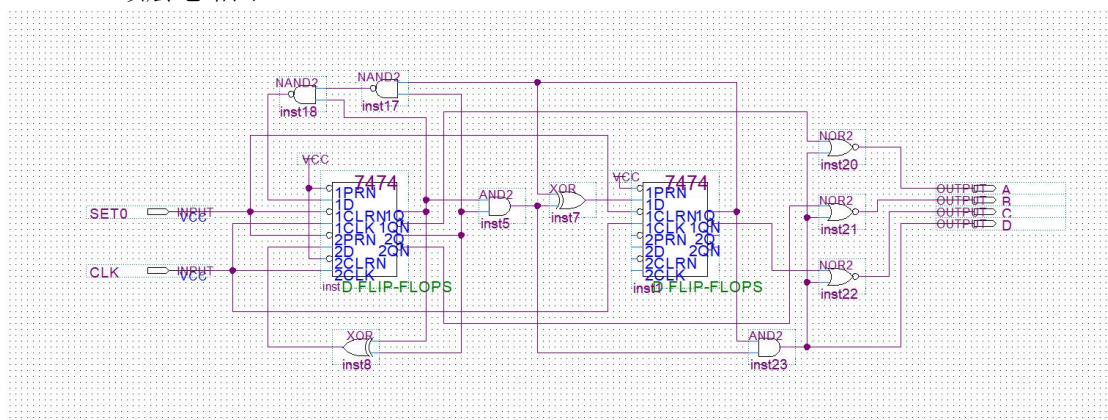
$$Y_3 = Q_2 Q_1 Q_0$$

$$Y_2 = Q_2 (Q_2 Q_1 Q_0)'$$

$$Y_1 = Q_1 (Q_2 Q_1 Q_0)'$$

$$Y_0 = Q_0 (Q_2 Q_1 Q_0)'$$

顶层电路图：



二、 实验总结

1. 时序逻辑电路的设计步骤

- (1) 根据电路所需功能将电路拆分成多个模块。
- (2) 分析问题中的状态个数，对每个状态进行编码，画出状态转换图。
- (3) 化简状态转换图，列出状态转换表。
- (4) 根据状态转换表写出状态方程和输出方程，并化简。化简时要根据已有的芯片资源适当将逻辑式转化。
- (5) 选择使用触发器的种类，根据触发器的特性方程，得出驱动方程。
- (6) 根据驱动方程和输出方程搭接电路。

2. 时序逻辑电路的调试步骤

- (1) 在 QuartusII 上仿真检查逻辑功能是否正确。
- (2) 分别调试 FPGA 板和面包板，FPGA 板可用 LED 灯作为输出信号观察状态，面包板可用拨码开关模拟信号输入检查电路。
- (3) 若输出状态不正确，则将输入输出信号连接示波器，逐个模块检查输入输出状态是否符合预期。
- (4) 若某个模块不符合，则依次检查该模块现态次态，判断状态异常位置。
- (5) 找到异常位置，判断状态机描述是否错误，观察电路是否搭接正确。

3. 实验中遇到的问题及解决方法

- (1) 将 FPGA 板输出信号直接输入面包板，发现数码管显示较暗。考虑二者工作电压不同，FPGA 板输出信号不足以直接驱动面包板电路。将 FPGA 板输出信号接施密特触发器后再输入面包板电路，得以解决。
- (2) 两个板分别工作时都功能正常，但将两个板相连，则发现面包板数码管显示恒为 0。后发现两板未共地，且 FPGA 板杜邦线接口插错。
- (3) 按矩阵键盘 SW6 和 SW11 键时无反应，而 SW1 工作正常。后发现 Verilog 矩阵键盘识别模块编写中出现错误，被按下键盘编码误用 4'bXXXXXXXXXXXX 表示，改为 16'bXXXXXXXXXXXX 则功能正确。

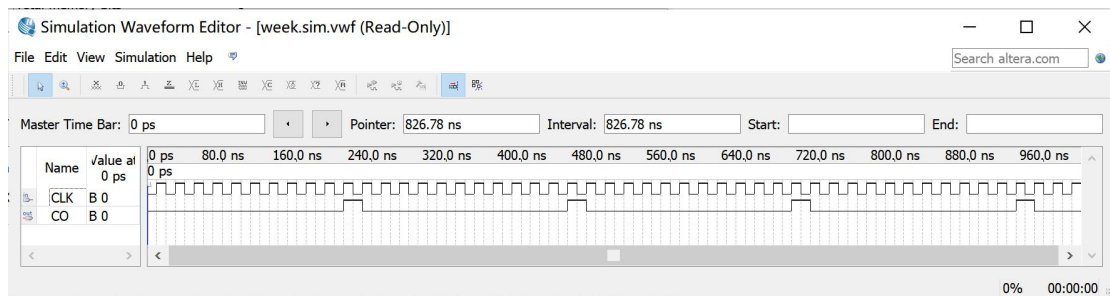
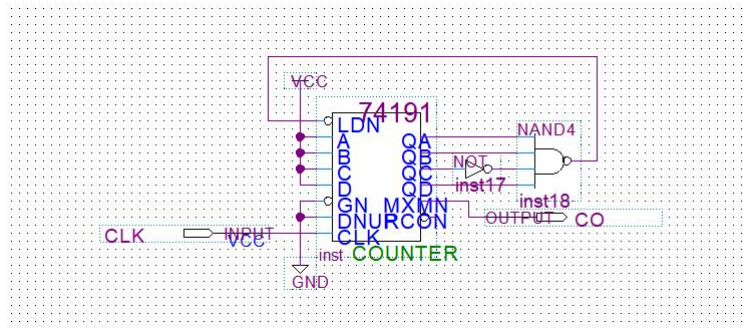
4. 收获

- (1) 熟悉了时序逻辑电路的设计与调试过程
- (2) 锻炼了编写 Verilog 的技巧。
- (3) 加深了对状态机的理解。

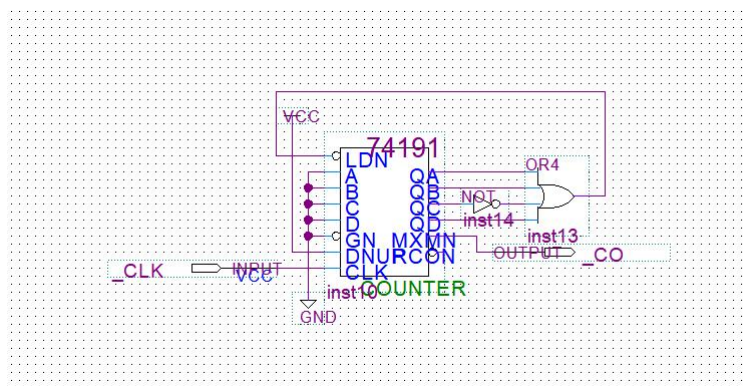
三、 思考题

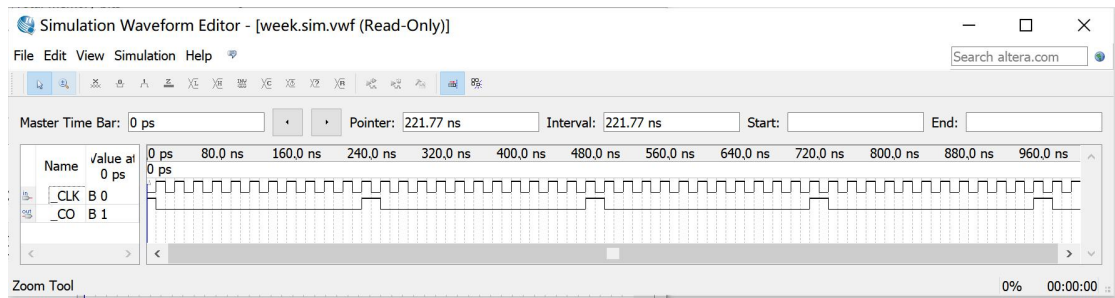
1. 在 EDA 平台上用 4 位同步二进制加/减计数器 74191 设计一个 12 秒报时器，要求使用加计数和减计数两种方法实现。附电路图和仿真波形图

加计数：



减计数：





将 CLK 接 1Hz 方波，CO 接蜂鸣器，即可实现 12 秒报时器。