EDA 大作业一 二进制运算器及其数码管扫描显示电路

2021 年秋季学期 自动化系

一、实验目的

- 1. 学习面向 FPGA 的简单数字系统的设计流程。
- 2. 掌握 EDA 软件 Quartus II 的原理图输入方式。
- 3. 熟悉实验装置——实验板,掌握板上外设的工作原理。

二、预习任务

按照以下任务要求完成预习报告,验收后和终结报告合并一起提交。

- 1. 根据实验任务中的步骤提示,写出要用到的电路模块及其功能。
- 2. 阅读网络学堂中的 "FPGA 实验板说明书"了解实验板上的外设资源,并掌握其工作原理。

三、实验任务

在可编程逻辑器件上设计一个运算电路,可以实现S=M+N。M和N为3位二进制数,其中1位是符号位,2位是有效数字。要求用原理图的输入方式完成。

用实验板上的拨码开关模拟运算数(原码输入),用发光二极管表示运算数的正负标志;用数码管显示运算数、运算结果(原码)及运算结果的正负标志。 具体内容及步骤如下:

- 1. <mark>用门电路设计一个</mark>1位二进制全加器。运用波形仿真检查功能正确后,将 其封装成1位全加器模块。
- 2. 以1中已封装的1位全加器模块为基础实现一个4位二进制全加器,并仿真检查功能正确与否。
- 3. 以 2 中的 4 位全加器模块为基础实现一个二进制运算器,可以完成运算 S = M+N。
 - 4. 设计一个 4 位数码管的扫描显示电路。(或完成第四项选做任务)
 - (1) 将运算器的两个运算数和运算结果根据拨码开关 DIP1、DIP2 的状态在 4 位数码管上轮流显示,如表 1 所示。(提示:可以选用库中的译码器 7448或自行设计译码器)与此同时,运算数的正负标志在发光二极管上显示。
 - (2) 正负数标志在数码管 1 显示时,正数无显示,负数显示"一"。 拨码 开关与数码管实物图,见图 1。

DIP1、DIP2	数码管 3 (DIG3)	数码管 2 (DIG2)	数码管 1 (DIG1)	数码管 0 (DIG0)
00	M	不亮	不亮	不亮
01	不亮	N	不亮	不亮
10	不亮	不亮	S(正负标志)	不亮
11	不亮	不亮	不亮	S (运算结果)

表 1 拨码开关与数码管状态表

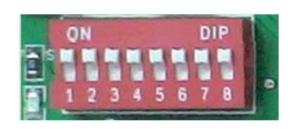




图 1a 拨码开关

图 1b 4 位扫描数码管

5. 下载到实验板上验证功能。

四、选做任务

设计一个数码管的**动态**扫描显示电路,可以在4位数码管上同时显示4个数字。电路的输入方式不限(即可用原理图或其他方式)。

具体内容及步骤:

- (1) 设计一个分频器,建议将系统时钟由 50MHz 分频至 250Hz。
- (2) 设计一个电路, 使运算器的两个运算数和运算结果**同时**显示在 4 位数码管上。

五、验收步骤

请同学们首先按以下步骤自查:

- 1. 全加器的顶层原理图和仿真
- 2. 运算器的顶层原理图和仿真
- 3. 运算器下载及功能演示
- 4. 运算器及数码管扫描显示电路的顶层原理图和仿真
- 5. 运算器及数码管扫描显示电路下载及功能演示

整个 project 下载实现全部功能后,才能开始验收。**做的过程中可以答疑,但** 每人只有一次验收机会。

现场验收包括,但不限于以下内容:

- 1. 预习报告
- 2. 运算器及数码管扫描显示电路的功能演示
- 3. 全加器的顶层原理图和仿真
- 4. 运算器的顶层原理图和仿真
- 5. 运算器及数码管扫描显示电路的顶层原理图和仿真

六、上传设计项目和实验终结报告

验收之后将设计项目和电子版终结报告提交到网络学堂"课程作业"中。

1. 设计项目压缩为*.qar 文件。

压缩方法: 在打开设计项目界面,选择 project—archive project。压缩*.qar 文件时,路径中最好不要含有中文。如不成功,可压缩为 rar 或 zip 文件。

- 2. 终结报告内容包括:
 - (1) 预习报告。
 - (2) 阐述设计思路。
 - (3) 顶层电路图,并说明其中各模块电路的功能。
 - (4) 验收步骤中的仿真波形图及其分析说明。
 - (5) 设计和调试中遇到的问题及解决方法。