

电子技术实验

实验报告

(2021 - 2022 学年度 秋季学期)

实验名称 实验二门电路的电特性

姓名 刘若涵

学号 2020011126

班级 自 05 班

教师 陈莉萍

时间 2021 年 10 月

一、 实验内容

(一) 必做任务

1. CMOS 与非门 CD4011 的电压传输特性

测试电路如图 1 所示， v_I 是由函数信号发生器输出 100Hz、0~5V、对称性 50% 的锯齿波，利用示波器的 XY 时基模式观测电压传输特性曲线。

记录曲线，从曲线中读取并标注阈值电压 V_{TH} 、输入噪声容限 V_{NH} 和 V_{NL} 。

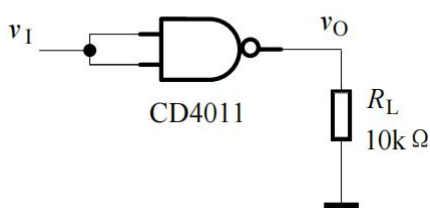
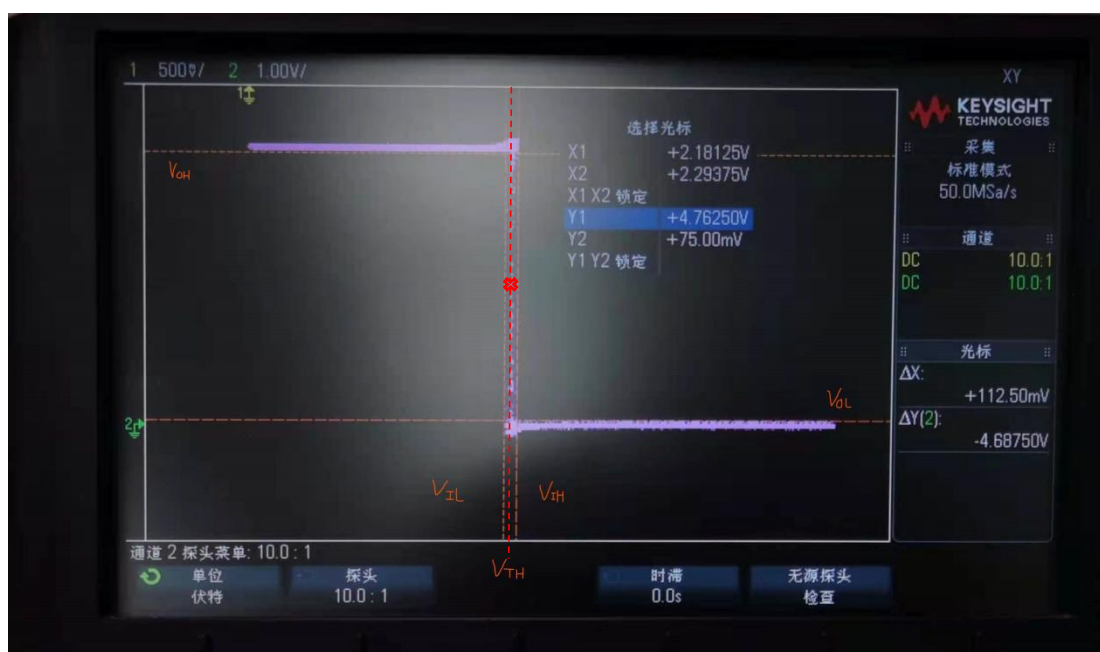


图 1 电压传输特性的测试电路

(a) 数据处理



CD4011 电压传输特性曲线如图所示，读图可知 $V_{IL(max)} = 2.18125 \text{ V}$ ， $V_{IH(min)} = 2.29375 \text{ V}$ ， $V_{OL(max)} = 75.00 \text{ mV}$ ， $V_{OH(min)} = 4.76250 \text{ V}$ ， $V_{TH} = 2.2375 \text{ V}$ 。

计算得， $V_{NH} = V_{OH(min)} - V_{IH(min)} = 4.76250 - 2.29375 = 2.46875 \text{ V}$ ， $V_{NL} = V_{IL(max)} - V_{OL(max)} = 2.18125 - 0.07500 = 2.10625 \text{ V}$ 。

(b) 实验分析及结论

CD4011 阈值电压 $V_{TH} = 2.2375\text{ V}$ ，略小于 $1/2 V_{DD}$ 。输入噪声容限 $V_{NH} = 2.46875\text{ V}$ ， $V_{NL} = 2.10625\text{ V}$ ，噪声容限较大，抗干扰能力较强，可容忍较差输入信号，输出较理想高低电平。

2. CMOS 与非门 CD4011 的低电平输出特性

测试电路如图 2 所示。

- （1）改变 R_L 阻值，用逐点法画出 CMOS 与非门低电平输出特性曲线。
- （2）测量 V_{DD} 的值，并计算 MOS 管的导通电阻 R_{ON} 。

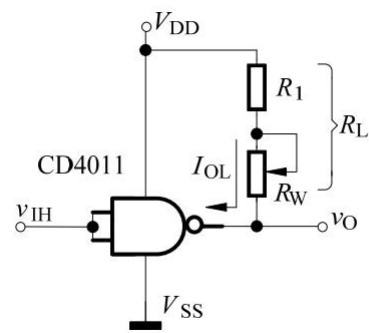


图 2 负载电流 I_{OL} 的测试电路

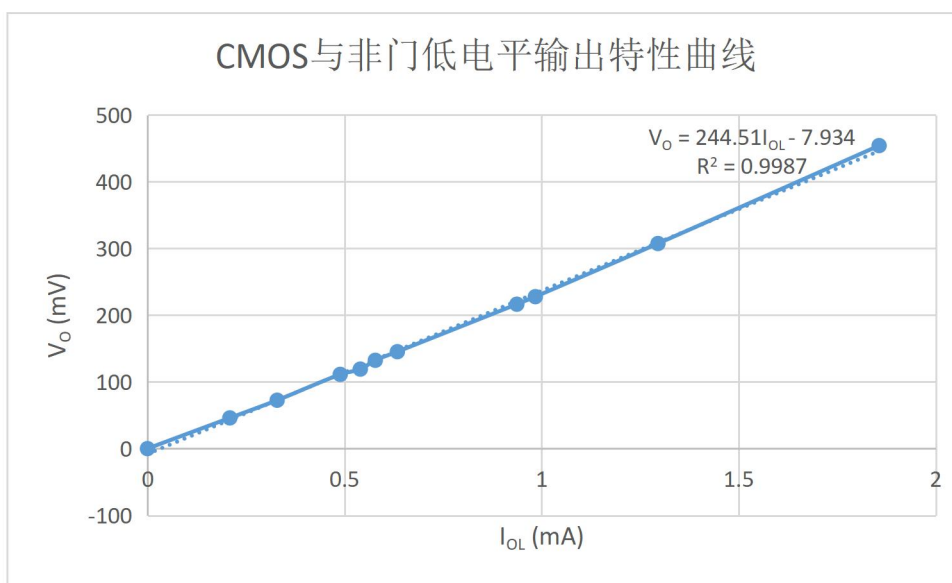
（a）数据处理

表 1

$R_{L\text{ 参考}}(\Omega)$	∞	24k	15k	10k	9.1k	8.2k	7.5k	5.1k	4.7k	3.6k	2.4k
$R_{L\text{ 实测}}(\Omega)$		24.16k	15.23k	9.86k	9.19k	8.29k	7.55k	5.03k	4.78k	3.569k	2.411k
$V_{DD\text{ 实测}}(\text{V})$	5.12	5.09	5.08	4.93	5.08	4.92	4.93	4.93	4.93	4.93	4.93
$V_o(\text{mV})$	0.1	46.1	72.6	111.3	119.2	132.4	145.3	216.4	227.7	307.3	454
$I_{OL}(\text{mA})$	0	0.209	0.329	0.489	0.540	0.578	0.634	0.937	0.984	1.295	1.856

（注：中间换了一个电源，所以 V_{DD} 有两种取值）

其中 $I_{OL} = (V_{DD\text{ 实测}} - V_o)/R_{L\text{ 实测}}$ 。



由图可知，CMOS 导通电阻 $R_{ON} = 244.51 \Omega$ 。

(b) 实验分析及结论

实验中使用滑动变阻器来作负载电阻,通过调节其阻值改变输出电流及输出电压的大小,并保证输出电压始终为低电平。由表 1 数据可知,随着负载电阻的减小,输出电压及输出电流逐渐增加。绘制 CMOS 与非门低电平输出特性曲线,可知输出电压与输出电流接近线性关系,斜率为 MOS 管导通电阻 R_{ON} , $R_{ON} = 244.51 \Omega$, 较小。但随着输出电流的增加,由于 R_{ON} 的存在抬高了输出电压,使得输出低电平信号变差。

3. CMOS 与非门 CD4011 的传输延迟时间 t_{PHL} 、 t_{PLH}

测试电路如图 3 所示, v_I 是频率为 20kHz 的方波。记录输入、输出波形和传输延迟时间 t_{PHL} 、 t_{PLH} 。

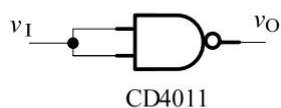
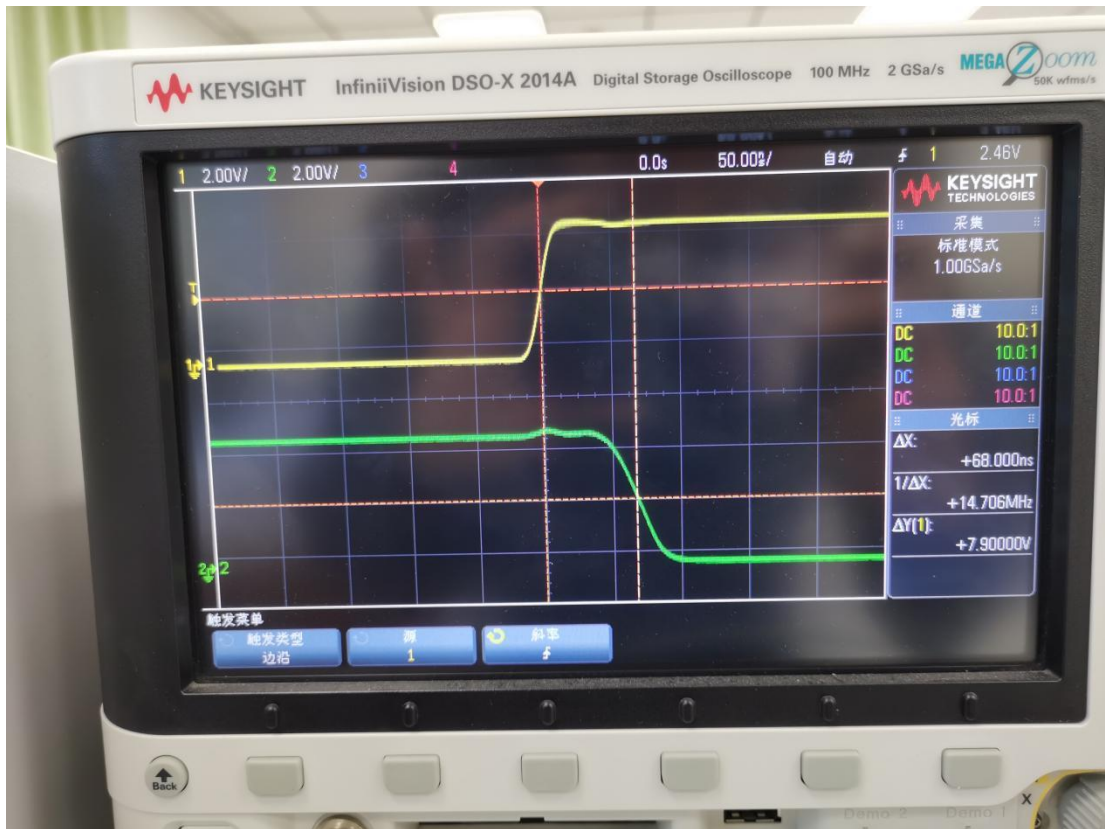
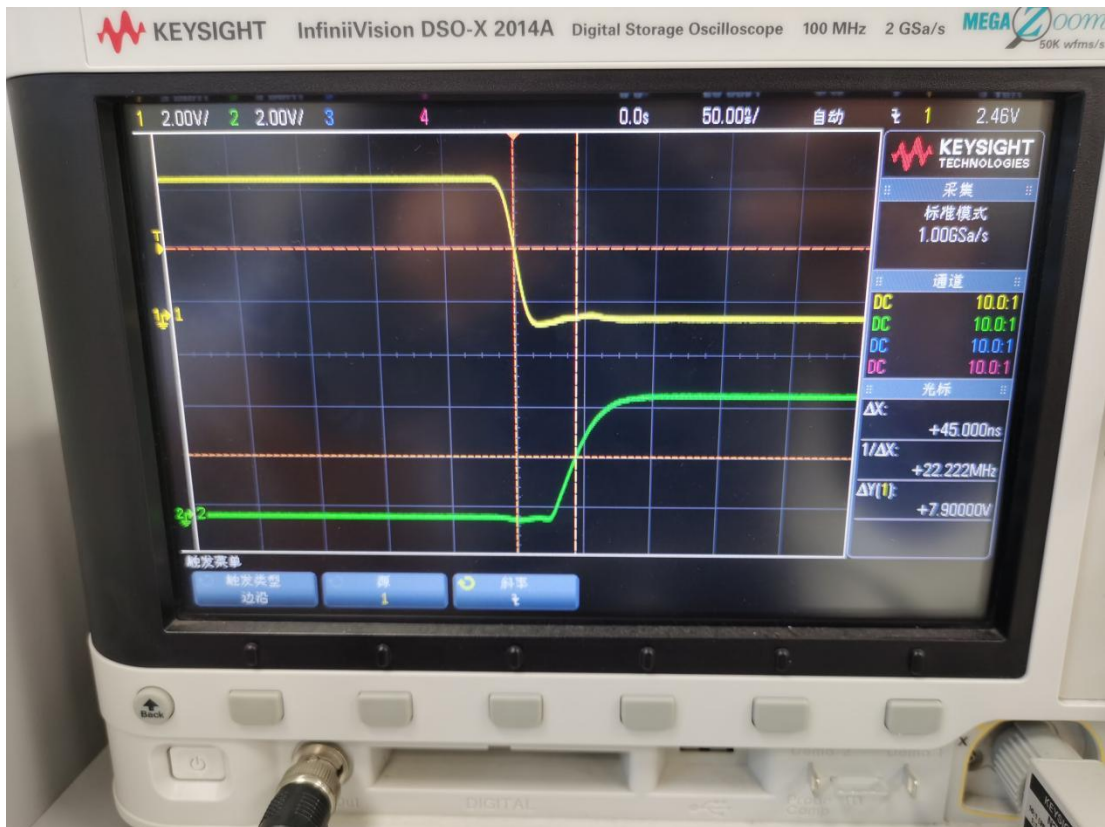


图 3 与非门的平均延迟时间与测试电路

(a) 数据处理



如图可知, $t_{\text{PHL}} = \Delta x = 68.000 \text{ ns}$ 。



如图可知, $t_{\text{PLH}} = \Delta x = 45.000 \text{ ns}$ 。

(b) 实验分析及结论

$t_{\text{PHL}} = 68.000 \text{ ns}$, $t_{\text{PLH}} = 45.000 \text{ ns}$, 二者并不相等, 这可能是因为 CMOS 与非门上拉下拉结构不同造成的。CD4011 的数据手册上给出的传输延迟时间典型值为 125ns, 实验中测得的数据小于这一数值, 说明所使用的 CD4011 与非门是合格的。

4. CMOS 与非门 CD4011 的动态功耗

测试电路如图 4 所示, v_I 是由函数信号发生器输出 100Hz、0~5V、对称性 50% 的锯齿波。在门电路 V_{SS} 和地之间接入一个小的电流取样电阻, 电阻上的电压波形就反映了在输出状态转换的过程中瞬时导通电流的变化。记录输入、输出波形。

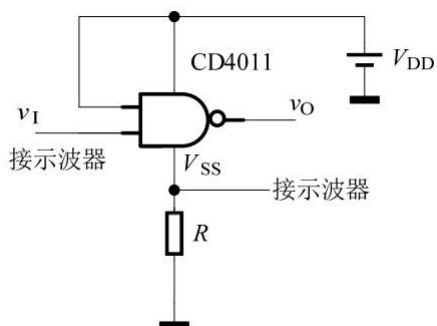
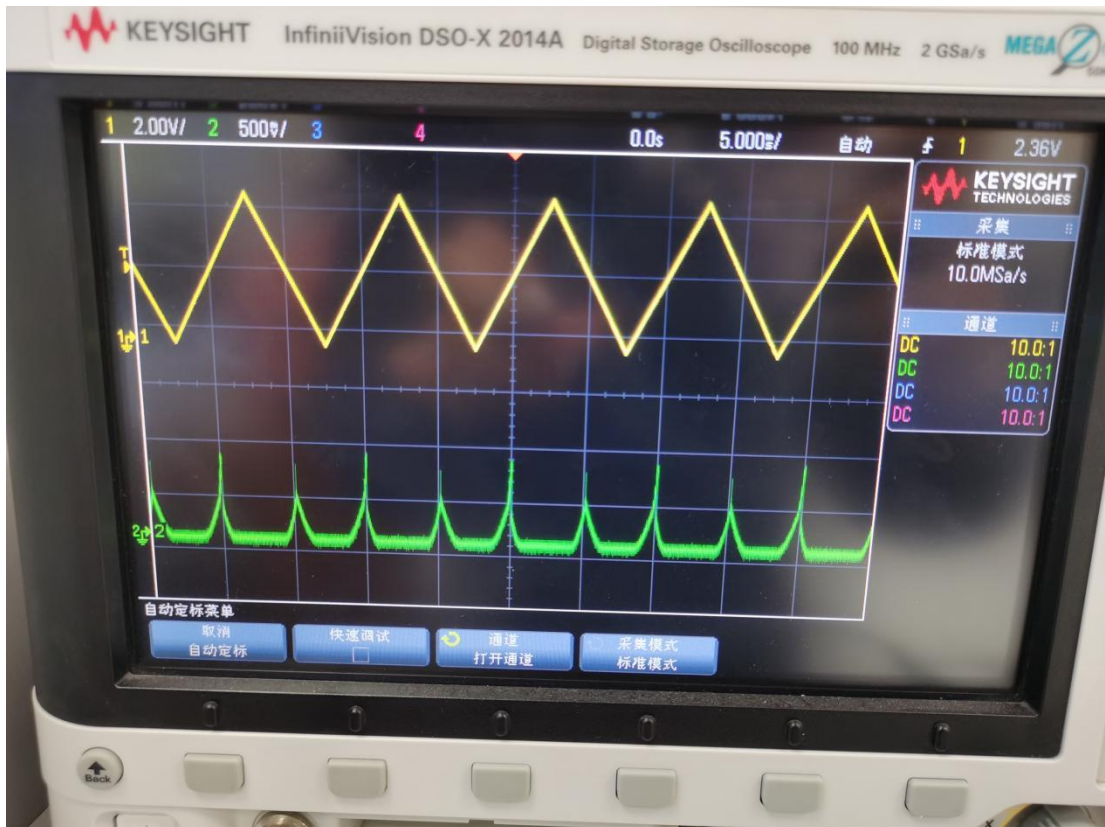


图 4 观察 CMOS 与非门动态功耗的电路

(a) 数据处理

取样电阻 $R = 1\text{k}\Omega$ 。



通道一为输入波形，通道二为输出波形。

(b) 实验分析及结论

1) 取样电阻的选取：取样电阻 R 不宜过大，较大的阻值会使取样电阻上功率损耗比较大，带来严重的发热问题，从而影响电阻的精度和温升系数的非线性，甚至烧毁取样电阻。取样电阻 R 也不宜过小，以防止输出电压过小，误差偏移量和干扰噪声在信号幅度中所占比重过大，采样精度降低。

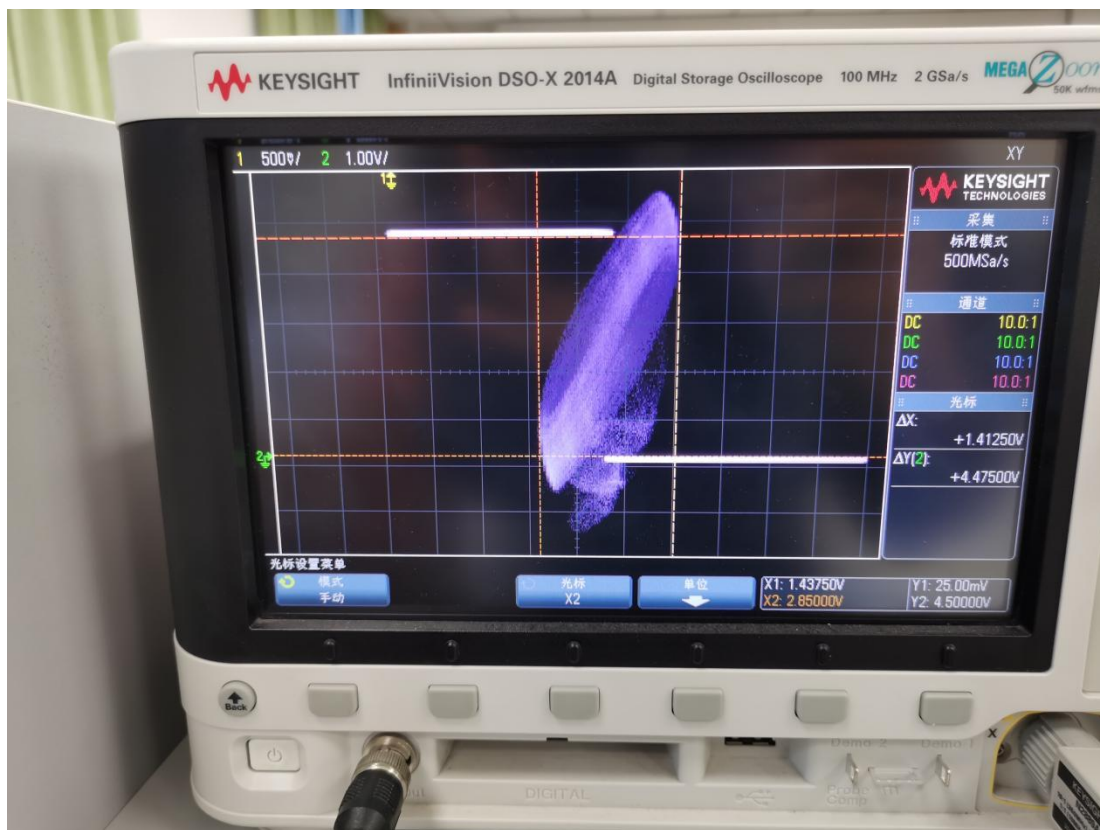
2) 尖峰电压（电流）的产生：在波形图中可以看出，在 $v_i \approx 2.5V$ 时， V_{ss} 产生尖峰。这是由于 v_i 从 V_{ih} 过渡到 V_{il} 或从 V_{il} 过渡到 V_{ih} 的过程中，都将经过短时间的 $V_{GS(th)N} < V_G < V_{DD} - |V_{GS(th)P}|$ 的状态，在此状态下接 v_i 的 MOS 管 T1 和 T2 同时导通，有瞬时导电电流 i_t 流过 T1 和 T2，即尖峰电流。在实验中，可通过测量取样电阻 R 两端电压探测到尖峰电流的存在。由于尖峰电流的存在，CMOS 门电路会产生动态功耗。由于 CMOS 与非门的上拉和下拉电路结构不同，所以 v_i 由高至低和由低至高变化时对应的尖峰电流大小不同。

(二) 选做任务

1. 高速 CMOS 与非门 74HC00 的噪声容限

测试电路和测试方法同必做任务 1。观测并记录 74HC00 的电压传输特性曲线和输入噪声容限 V_{NH} 和 V_{NL} 。试对实验现象做出分析。

(a) 数据处理



74HC00 电压传输特性曲线如图所示，读图可知 $V_{IL(min)} = 1.43750\text{ V}$ ， $V_{IH(min)} = 2.85000$

V ， $V_{OL(min)} = 25.00\text{ mV}$ ， $V_{OH(min)} = 4.50000\text{ V}$ 。

计算得， $V_{NH} = V_{OH(min)} - V_{IH(min)} = 4.50000 - 2.85000 = 1.65000\text{ V}$ ， $V_{NL} = V_{IL(min)} - V_{OL(min)} = 1.43750 - 0.02500 = 1.41250\text{ V}$ 。

(b) 实验分析及结论

74HC00 输入噪声容限 $V_{NH} = 1.65000\text{ V}$ ， $V_{NL} = 1.41250\text{ V}$ ，与 CD4011 相比，74HC00 在高低电平跳变时噪声较大，噪声容限较小。这是由于 74HC00 属于高速 CMOS 与非门，传输延迟时间较小，对于输入电压的变化较为敏感，因此当输入电压接近高低电平变化点时，微小的噪声都可能使输出电压发生改变，因此 74HC00 比 CD4011 的噪声容限小。

2. TTL 与非门 74LS00 的输入端负载特性

测试电路如图 5 所示，调节电阻 R_P ，通过示波器观察 v_I 、 v_O 的变化。

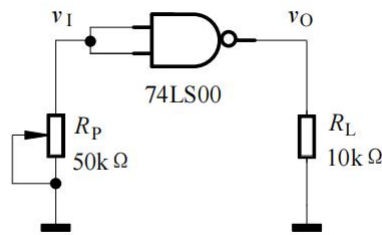


图 5 TTL 与非门输入端负载特性测试电路

(a) 数据处理

(1) 自行设计数据表格，记录当 R_P 改变时， v_I 与 v_O 随之变化的几组典型数据。

表 2

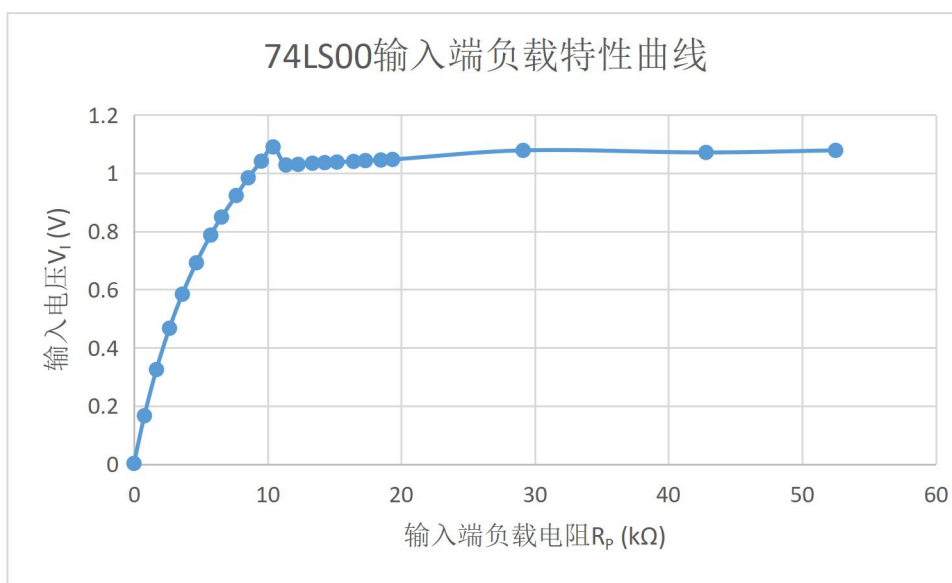
$R_P(\Omega)$	0	0.782k	1.682k	2.658k	3.62k	4.67k	5.74k	6.55k
$V_I(V)$	0.0027	0.1665	0.3251	0.467	0.584	0.692	0.787	0.849
$V_O(V)$	3.205	3.205	3.194	3.193	3.189	3.189	3.191	3.149
$R_P(\Omega)$	7.65k	8.55k	9.53k	10.41k	11.37k	12.28k	13.35k	14.27k
$V_I(V)$	0.923	0.984	1.041	1.090	1.028	1.030	1.034	1.036
$V_O(V)$	2.857	2.343	1.744	0.998	0.1536	0.1522	0.1522	0.1513
$R_P(\Omega)$	15.19k	16.43k	17.32k	18.47k	19.35k	29.12k	42.8k	52.5k
$V_I(V)$	1.038	1.040	1.043	1.045	1.047	1.078	1.071	1.078
$V_O(V)$	0.1510	0.1503	0.1504	0.1503	0.1496	0.1473	0.1474	0.1473

(注: $V_{DD} = 4.60V$)

(3) 从上述数据中读取输入低电平 V_{IL} 、输入高电平 V_{IH} 、输出低电平 V_{OL} 和输出高电平 V_{OH} 。

由表可知, $V_{IL} \approx 0.8V$, $V_{IH} \approx 1.0V$, $V_{OL} \approx 0.15V$, $V_{OH} \approx 3.2V$ 。

(3) 根据记录的数据画出 74LS00 的输入端负载特性曲线。



(b) 实验分析及结论

输入端负载电阻 R_p 与 TTL 与非门中 R_1 电阻分压，当 R_p 增大时，其分压增大。当 R_p 远小于 R_1 时， V_I 几乎与 R_p 成正比，满足 $V_I = \frac{R_p}{2R_1 + R_p}(V_{CC} - V_{BE1})$ 。但当 V_I 增大至 V_{IH} 时，TTL 与非门中 T2 和 T5 的发射结同时导通，将 V_{B1} 钳制在 2.1V 左右， R_p 再增大， V_I 也不会增大了，特性曲线趋近于 $V_I=1.4V$ 的水平线。但由于实验用 V_{DD} 偏小， V_I 偏小，趋近于 1.1V 左右。

二、 实验总结

1. 实验中的测试方法

(1) 阈值电压 V_{TH} ：电压传输特性转折区中点所对应的输入电压。

(2) 输入噪声容限 V_{NH} 、 V_{NL} ：测量输出高电平的最低值，记为 $V_{OH(min)}$ ，测量输出低电平的最高值，记为 $V_{OL(max)}$ 。测量转折区最左端对应输入电压，记为 $V_{IL(max)}$ ，测量转折区最右端对应输入电压，记为 $V_{IH(min)}$ 。由 $V_{NH} = V_{OH(min)} - V_{IH(min)}$ ， $V_{NL} = V_{IL(max)} - V_{OL(max)}$ 计算得出结果。

(3) 传输延迟时间 t_{PHL} 、 t_{PLH} ：输入电压达到 50% V_{OH} 至输出电压达到 50% V_{OH} 间的时间差。其中 t_{PHL} 为输出电压由高电平跳变为低电平的传输延迟时间， t_{PLH} 为输出电压由低电平跳变为高电平的传输延迟时间。

2. 测试中的注意事项

(1) 在使用电阻时，通过观察色环来判断大致阻值，但是在实验数据处理中，要使用万用表测量其准确阻值，防止标称值不准而影响实验。

(2) 在使用 CMOS 芯片时，多余的门电路输入端应当同时接地或同时接高电平，以防外界环境的变化对实验结果的影响或干扰

(3) 测量可调电阻的阻值时，必须断电、断开电阻所在支路连线。

(4) 事先了解芯片的引脚排列，注意电源和接地引脚不能接错。

(5) 门电路的输入信号要符合电平标准。输入信号应先在示波器上调好后再接入电路。

3. 在实验中遇到的问题及解决方法

观察到的信号波形不稳定，可能是电路接触不良，增加面包板上引出导线的数量，让探头或老虎夹与导线充分接触。也可能是因为 CMOS 芯片上多余的门电路输入端引脚没有接地，导致环境因素对波形有干扰。

4. 实验收获

(1) 实验的进行要结合理论的分析，多去发问和思考为什么会有这样的现象，这样能对实验内容及所学理论有更深入的理解，学以致用。

(2) 更加真实地了解 CMOS 及 TTL 元件的各种特性，直观感受了噪声容限等特性在波形上的体现。

(3) 能更加熟练地使用实验仪器，学会了测量 CMOS 及 TTL 的电特性主要参数的方法。

(4) 学会阅读芯片的数据手册，并从中获取需要的数据。

三、 思考题

1. 在 CMOS 数字集成电路中，如 CD4011，若仅用其中的一个门电路，其余门电路的输入端应该如何处理？为什么？

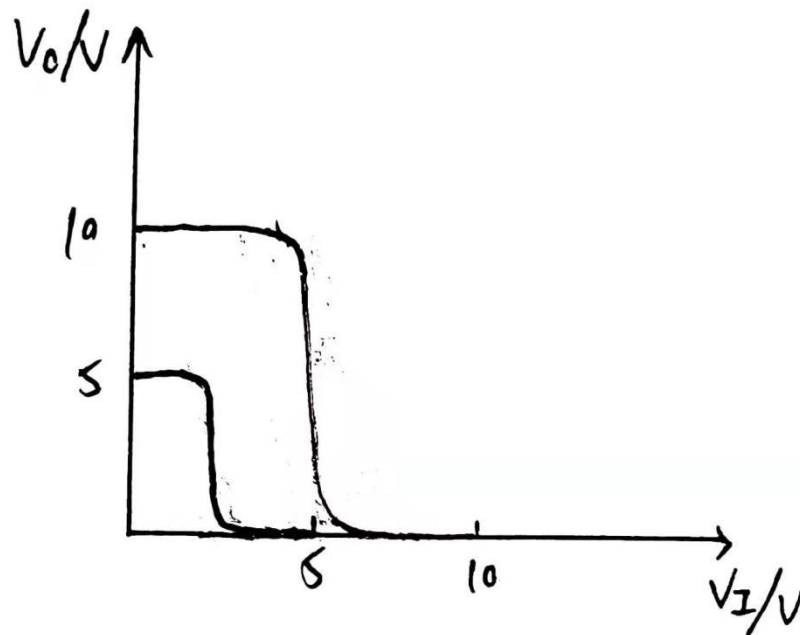
答：其余门电路的输入端应同时接地或接高电平，否则外界的扰动会对正在使用的元件产生干扰，使测量的产生偏差。

2. 在 TTL 数字集成电路中，如 74LS00，若仅用其中的一个门电路，其余门电路的输入端应该如何处理？为什么？

答：其余门电路的输入端可以悬空或接高电平或接地。接高电平或接地理由同上一题。
特别的，对于 TTL 门电路来讲，将输入端悬空等效于接高电平。

3. 如果要观测 CMOS 门电路的直流噪声容限与电源电压的关系，需要改变图 1 电路中芯片工作电压 V_{DD} 和测试电路输入信号 V_I 。请根据实验室现有仪器设备及其主要技术指标判断能否进行实验。如能，请写出 V_{DD} 和 V_I 的值，并画出电压传输特性曲线；如不能，请说明原因。

答：可以进行实验。根据 CD4011 的数据手册， V_{DD} 可以取到 15V， V_I 可以取到 10V。
因此可以取 $V_{DD}=10V$ ， V_I 为 0~10V，频率为 100Hz，对称性 50%的锯齿波。



4. 在如图 6 所示的两个电路中，不同工艺的数字集成电路在互相对接时应满足什么条件？

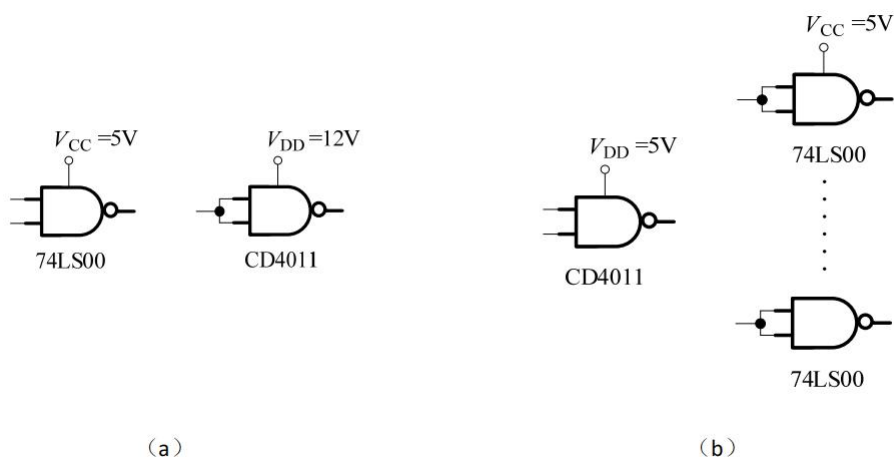


图 6

答：需要满足 $V_{OHmin\text{前}} \geq V_{IHmin\text{后}}$ ， $V_{OLmax\text{前}} \leq V_{ILmax\text{后}}$ ， $|I_{OHmin\text{前}}| \geq nI_{IHmax\text{后}}$ ， $I_{OLmin\text{前}} \geq |mI_{ILmax\text{后}}|$ 。查阅数据手册可知，a 中 $V_{OHmin}(74LS00, 5V) = 2.5V$ ， $V_{IHmin}(CD4011, 12V) > V_{IHmin}(CD4011, 10V) = 7V > V_{OHmin}(74LS00, 5V)$ ，不满足条件，需要在 74LS00 的输出端与电源之间接入阻值合适的上拉电阻，来提高输入电压。b 中 $V_{OHmin}(CD4011, 5V) = 4.95V > V_{IHmin}(74LS00, 5V) = 2.5V$ ， $V_{OLmax}(CD4011, 5V) = 0.05V < V_{ILmax}(74LS00, 5V) = 0.8V$ ，可以直接对接， $I_{OHmin}(CD4011, 5V) = -0.51mA$ ， $I_{OLmin}(CD4011, 5V) = 0.51mA$ ， $I_{IHmax}(74LS00, 5V) = 20\mu A$ ， $I_{ILmax}(74LS00, 5V) = -0.4mA$ ，计算可得 $n=25$ ， $m=1$ ，满足条件，CD4011 至多可以驱动 1 个 74LS00。

四、 原始数据

必做1

$$V_{IL} = 2.18125 \text{ V}$$

$$V_{IH} = 2.29375 \text{ V}$$

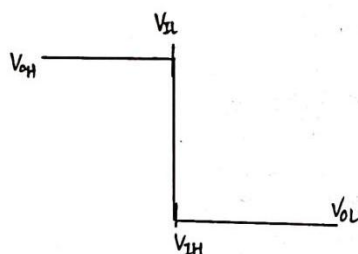
$$V_{OL} = 75.00 \text{ mV}$$

$$V_{OH} = 4.76250 \text{ V}$$

$$V_{MH} = 2.46875 \text{ V}$$

$$V_{NL} = 2.10625 \text{ V}$$

$$V_{TH} = 2.2375 \text{ V}$$



必做2

$R_L(\Omega)$	∞	24k	15k	10k	9.1k	8.2k	7.5k	5.1k	4.7k
实测 $R_L(\Omega)$		24.16k	15.23k	9.86k	9.19k	8.29k	7.55k	5.03k	4.78k
实测 V_{DD}	5.12V	5.09V	5.08V	4.93V	5.08V	4.92V	4.93V	4.93V	4.93V
V_O	0.1mV	46.1mV	72.6mV	111.3mV	119.2mV	132.4mV	145.3mV	216.4mV	227.7mV
$I_{OL}(\text{mA})$	0	0.209	0.329	0.489	0.540	0.578	0.634	0.937	0.984
$R_L(\Omega)$		3.6k	2.4k						
实测 $R_L(\Omega)$		3.569k	2.411k						
V_{DD}		4.93V	4.93V						
V_O		307.3mV	0.454V						
I_{OL}		1.295	1.856						

3.

$$t_{PHL} = 68.0 \text{ ns}$$

$$t_{PLH} = 45.0 \text{ ns}$$

选做1

$$V_{NH} = 1.65000 \text{ V}$$

$$V_{NL} = 1.47250 \text{ V}$$

$$V_{IL} = 1.43750 \text{ V}$$

$$V_{IH} = 2.85000 \text{ V}$$

$$V_{OL} = 25.00 \text{ mV}$$

$$V_{OH} = 4.50000 \text{ V}$$

选做2 $V_{DD} = 4.6V$

$R_p(k\Omega)$	0	0.782k	1.682k	2.658k	3.62k	4.67k	5.74k	6.55k
V_I	2.7mV	166.5mV	325.1mV	0.467V	0.584V	0.692V	0.787V	0.849V
V_O	3.205V	3.205V	3.194V	3.193V	3.189V	3.189V	3.191V	3.149V
	7.65k	8.55k	9.53k	10.41k	11.37k	12.28k	13.35k	14.27k
	0.923V	0.984V	1.041V	1.090V	1.028V	1.030V	1.034V	1.036V
	2.857V	2.343V	1.744V	0.998V	153.6mV	152.2mV	152.2mV	151.3mV
	15.19k	16.43k	17.32k	18.47k	19.35k	29.12k	42.8k	52.5k
	1.038V	1.040V	1.043V	1.045V	1.047V	1.078V	1.071V	1.078V
	151.0mV	150.3mV	150.4mV	150.3mV	149.6mV	147.3mV	147.4mV	147.3mV