

电子技术实验

实验报告

(2021 - 2022 学年度 秋季学期)

实验名称 实验三组合逻辑电路的设计

姓名 刘若涵

学号 2020011126

班级 自 05 班

教师 陈莉萍

时间 2021 年 11 月

一、 实验内容

（一）必做任务

使用 74HC 系列门电路芯片设计一个可进行 2 位加减运算的电路。即实现 $S=A+B$ 和 $S=A-B$ 。根据二进制的输入进行加减运算，当结果为负数时，原码显示结果并给出负数标志。用实验板上的拨码开关模拟二进制输入 A 和 B；用 1 位带译码器的数码管显示十进制运算结果；用发光二极管显示负数标志。

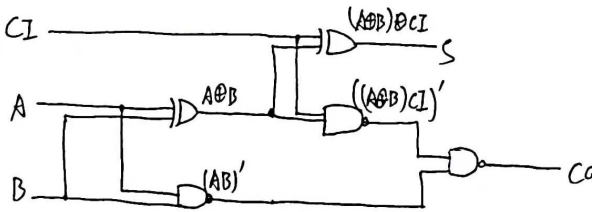
1. 设计过程

（1）用门电路设计 1 位全加器

CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = CI'A'B + CI'AB' + CIA'B' + CIAB = (A \oplus B) \oplus CI$$

$$CO = CI'AB + CIA'B + CIAB' + CIAB = (A \oplus B)CI + AB = (((A \oplus B)CI)'(AB)')'$$



（2）用两个 1 位全加器接成一个 2 位全加器

将计算低位的 1 位全加器的 CO_0 接在计算高位的 1 位全加器的 CI_1 上，即可获得 2 位全加器。

CI	A ₁	A ₀	B ₁	B ₀	S ₁	S ₀	CO
0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	0
0	0	0	1	0	1	0	0
0	0	0	1	1	1	1	0
0	0	1	0	0	0	1	0
0	0	1	0	1	1	0	0
0	0	1	1	0	1	1	0
0	0	1	1	1	0	0	1
0	1	0	0	0	1	0	0

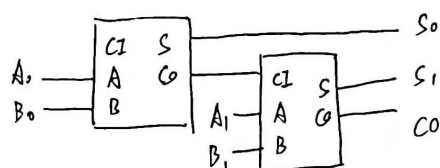
0	1	0	0	1	1	1	0
0	1	0	1	0	0	0	1
0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	0
0	1	1	0	1	0	0	1
0	1	1	1	0	0	1	1
0	1	1	1	1	1	0	1
1	0	0	0	0	0	1	0
1	0	0	0	1	1	0	0
1	0	0	1	0	1	1	0
1	0	0	1	1	0	0	1
1	0	1	0	0	1	0	0
1	0	1	0	1	1	1	0
1	0	1	1	0	0	0	1
1	0	1	1	1	0	1	1
1	1	0	0	0	1	1	0
1	1	0	0	1	0	0	1
1	1	0	1	0	0	1	1
1	1	0	1	1	1	0	1
1	1	1	0	0	0	0	1
1	1	1	0	1	0	1	1
1	1	1	1	0	0	0	1
1	1	1	1	0	1	1	1
1	1	1	1	1	0	0	1
1	1	1	1	1	1	1	1

$$S_0 = (A_0 \oplus B_0) \oplus CI$$

$$CO_0 = (((A_0 \oplus B_0)CI)'(A_1B_0))'$$

$$S_1 = A_1 \oplus B_1 \oplus CO_0$$

$$CO = (((A_1 \oplus B_1)CO_0)'(A_1B_1))'$$



(3) 用门电路和 2 位全加器实现加减运算功能

引入选择加减法的信号 SEL，当 SEL=0 时表示加法，SEL=1 时表示减法。当进行减法操作时，可将 B (B₁B₀) 由原码转化为补码后再和 A 进行加法运算。

记 $b_0 = B_0 \oplus SEL$, $b_1 = B_1 \oplus SEL$ 则当 SEL=0 时 $b_0 = B_0$, $b_1 = B_1$; SEL=1 时, $b_0 = B_0'$, $b_1 = B_1'$, 即进行原码转补码过程中的“取反”操作。

SEL 信号同时作为 2 位全加器的 CI 输入，则进行加法时 CI=SEL=0 对运算无影响，减法时 CI=SEL=1，即进行是原码转补码过程中的“加一”操作。

$$S_0 = (A_0 \oplus b_0) \oplus SEL$$

$$CO_0 = (((A_0 \oplus b_0)SEL)'(A_1b_0)')'$$

$$S_1 = A_1 \oplus b_1 \oplus CO_0$$

$$CO = (((A_1 \oplus b_1)CO_0)'(A_1b_1)')'$$

记输出运算结果 $Y_2Y_1Y_0$ 的符号位为 SIGN, SIGN=0 表示结果为正数, SIGN=1 表示结果为负数。

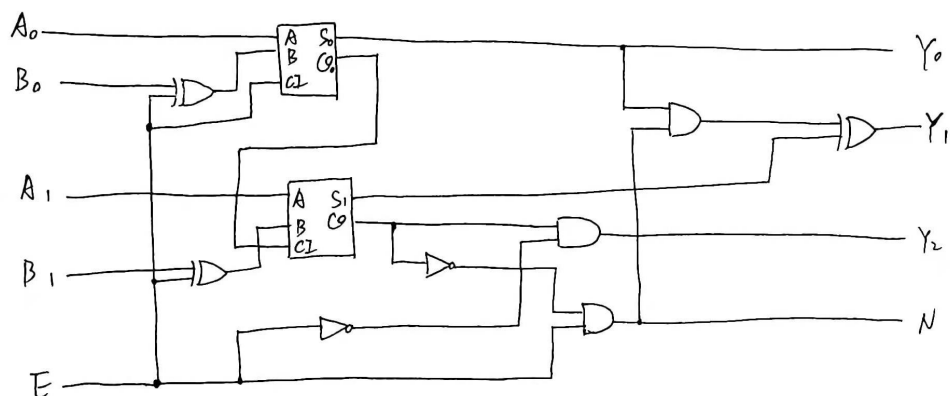
SEL	CO	S_1	S_0	SIGN	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	1
0	1	1	1	—	—	—	—
1	0	0	0	—	—	—	—
1	0	0	1	1	0	1	1
1	0	1	0	1	0	1	0
1	0	1	1	1	0	0	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	0	1	0	1	0
1	1	1	1	1	0	1	1

$$SIGN = SEL \cdot CO'$$

$$Y_2 = SEL' \cdot CO$$

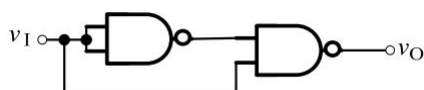
$$Y_1 = S_1 \oplus (SEL \cdot CO' \cdot S_0)$$

$$Y_0 = S_0$$

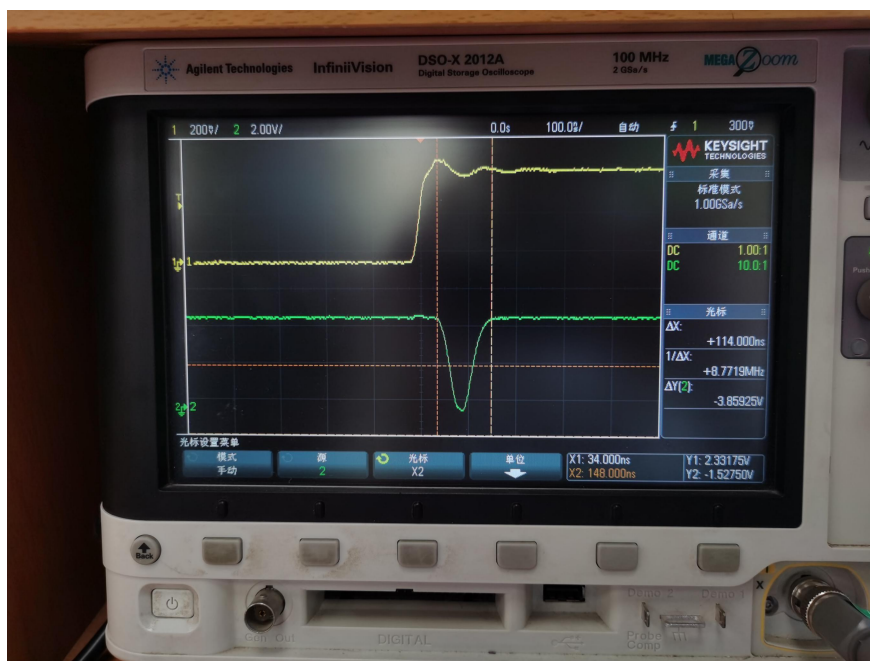


(二) 选做任务

使用芯片 CD4011 搭建如下图所示电路， v_i 是由函数信号发生器输出的 $0\sim 5V$, $20Hz$ 的方波。

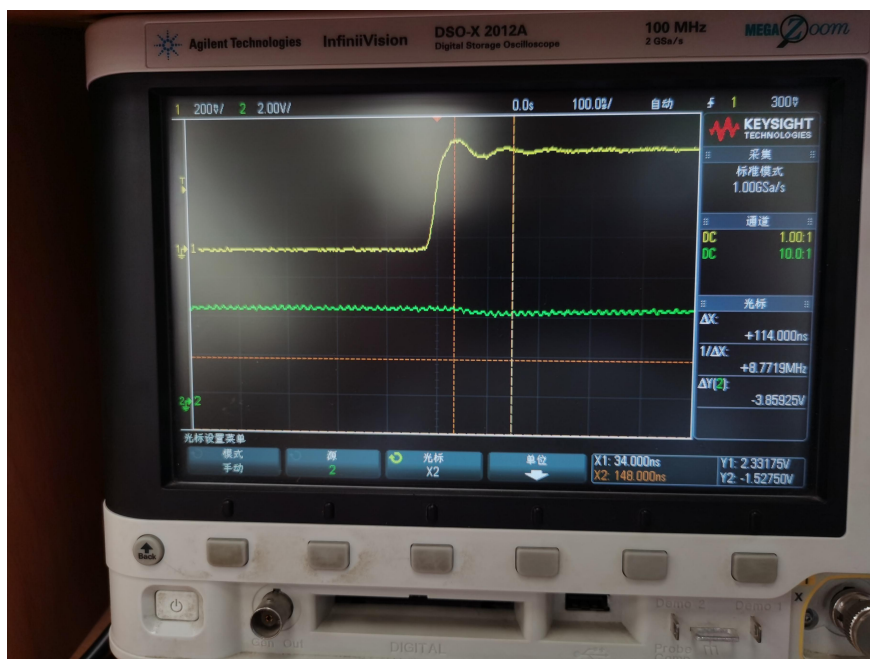


(1) 通过示波器观察和记录 v_i 和 v_o 的波形。



(2) 若电路出现竞争-冒险现象请在不改变电路结构的条件下予以消除。

$v_o = (v_i v_i')' = v_i' + v_i$ ，存在竞争-冒险现象。在输出端并联 $680pF$ 的电容可消除毛刺。电容值的选择方法见思考题 1。



二、 实验总结

1. 组合逻辑电路的设计步骤

- (1) 根据电路所需功能将电路拆分成多个模块。
- (2) 对于每个模块确定输入输出变量，列出真值表，求出逻辑式。
- (3) 根据元件盒中拥有的元器件化简逻辑式，画出电路图。
- (4) 查阅元件数据手册，知晓引脚排布方式，设计面包板布局，使各个元件摆放位置及导线的连接方式得当。

2. 组合逻辑电路的调试步骤

- (1) 在 QuartusII 上仿真检查逻辑功能是否正确。
- (2) 搭建好电路后，观察输出，判断是否实现功能。
- (3) 若输出不正确，则从小到大逐个模块检查输入输出电压是否符合预期。
- (4) 若某个模块不符合，则在该模块内逐个引脚检查电压，判断电压异常位置。
- (5) 找到异常位置，观察是电路接错还是导线或引脚接触不良还是芯片损坏导致的异常，并改正。

3. 实验中遇到的问题及解决方法

- (1) 最初设计电路时，电路设计过于繁琐，用了过多的与门，查看原件盒时发现芯片数量不够。后发现逻辑式可以化简，从而减少了使用的与门数量。
- (2) 由于必做任务中芯片的引脚排列均一致，因此我在搭建选做电路时，也误以为 CD4011 的引脚排列与之前的相同，后发现输出波形不符合预期，查阅数据手册后发现 CD4011 的引脚排列与之前的芯片不一致，重新搭建电路后，得到预期波形。

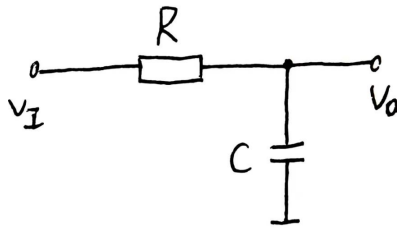
4. 收获

- (1) 熟悉了组合逻辑电路的设计与调试过程，锻炼了面包板搭建的技巧，加深了对竞争-冒险现象的理解。
- (2) 知道了在正式搭建电路前要查阅数据手册，了解引脚排布，以防引脚接错，造成芯片损坏。
- (3) 知道了为使电路美观而高效，合理化简逻辑式、在搭建电路前预先布局的重要性。

三、思考题

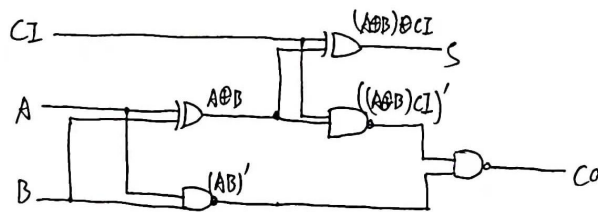
1. 试分析选做任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。

答：在输出端并联滤波电容可以滤除输出信号的高频部分，而对直流部分无影响，因此可以消除竞争-冒险现象中的尖峰脉冲。如图所示， $v_0 = \frac{\frac{1}{j\omega C}}{R + \frac{1}{j\omega C}} v_1 = \frac{1}{j\omega RC + 1} v_1$ ，对于交流部分，幅度变为原来的 $\frac{1}{\sqrt{1 + \omega^2 C^2 R^2}}$ ，电容越大滤波效果越好。但电容值过大时，电路传输延迟时间过长。因此选用 $C \approx \frac{\tau}{R_{ON}}$ ，从选做任务中读出 $\tau = 114\text{ns}$ ，上次实验测得 CD4011 的 R_{ON} 约为 $244\ \Omega$ ， C 约为 467pF ，元件盒中比 467pF 略大的电容值为 680pF 。



2. 根据一位全加器电路设计，查阅相应门电路的数据手册，分析该电路传输延迟时间，说明电路传输延迟时间与哪些因素有关。

答：1 位全加器电路中用到了异或门和与非门，分别使用 74HC86 和 74HC00 芯片。查阅数据手册可知，74HC86 的 $t_{pd} = 11\text{ns}$ ，74HC00 的 $t_{pd} = 7\text{ns}$ 。由下图可知，1 位全加器的传输延迟时间应该为 $11 + 7 + 7 = 25\text{ns}$ 。



影响电路的传输延迟时间的因素主要有：

- (1) 电路的设计
- (2) 逻辑门的数量
- (3) 芯片的选取

(4) 芯片的工作电压

(5) 温度等环境因素