

实验三 组合逻辑电路的设计

2021 年秋季学期 自动化系

一、实验目的

1. 学习组合逻辑电路的分析方法和设计方法。
2. 初步学会分析实验现象，并且使用仪器查找、排除电路故障的方法。

二、预习任务

1. 复习补码及如何利用补码实现减法运算。
2. 根据实验任务要求完成电路设计，包括：
 - (1) 参照元件清单，查阅 74HC 系列门电路芯片的数据手册。
 - (2) 根据建议步骤，列出各模块电路的真值表和逻辑表达式。
 - (3) 根据任务和盒中 74HC 系列门电路芯片画出实现电路功能的纸版逻辑图。
3. 实验板左上角的 1 位数码管由 CMOS 集成电路 CD4511B (CM511B) 驱动，可将 BCD 代码译成数码管所需要的驱动信号。查阅驱动芯片的数据手册。
4. 画出选做任务电路的输入输出电压波形，并分析该电路是否会发生竞争—冒险现象。如有，请参考思考题 1 给出解决方案。
5. 写出调试方法和步骤、注意事项等。
6. 建议进入实验室之前，在面包板上搭接电路。

三、必做任务

使用元件清单中的 74HC 系列门电路芯片设计一个可进行 2 位加减运算的电路，即实现 $S=A+B$ 和 $S=A-B$ 。其中，A 和 B 均为 2 位二进制无符号数，S 为运算结果。根据二进制的输入进行加减运算，当运算结果为负数时，原码显示结果并给出负数标志。

用实验板上的拨码开关模拟二进制输入 A 和 B；用 1 位带译码器的数码管显示十进制运算结果；用发光二极管显示负数标志。

建议按以下步骤进行设计和调试：

1. 用门电路设计一个 1 位全加器；
2. 用两个 1 位全加器接成一个 2 位全加器；
3. 用门电路和 2 位全加器实现加减运算功能。

四、选做任务

用 CD4011 搭建如下图所示电路， v_I 是由函数信号发生器输出 20Hz 的方波，通过示波器观察和记录 v_I 与 v_O 的波形。

若电路出现竞争—冒险现象请在不改变电路结构的条件下予以消除。

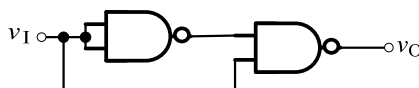


图 1 测试电路

五、实验注意事项

1. 了解芯片的引脚排列，特别注意电源和接地引脚不能接错。若引脚有弯折，调整后再插入面包板中。
2. 整体电路输出故障时，可参照“建议步骤”分块检查调试。

六、实验报告

第 9 周周末之前在网络学堂中提交本次实验终结报告。报告包括：

1. 整理并写出设计过程，如真值表、逻辑表达式等，并画出逻辑图。
2. 总结
 - (1) 组合逻辑电路的设计和调试步骤。
 - (2) 在实验中遇到的问题及解决方法。
 - (3) 此次实验的收获。
3. 回答思考题。

七、思考题

1. 试分析选作任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。
2. 请根据你的 1 位全加器电路设计，并查阅相应门电路的数据手册。试分析该电路传输延迟时间是多少？并说明电路传输延迟时间与哪些因素相关。