



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών

Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής

Κατεύθυνση Ηλεκτρονικής και Συστημάτων

Σχεδίαση ενός χαμηλής κατανάλωσης μετατροπέα αναλογικού σήματος
σε ψηφιακό διαδοχικής προσέγγισης (SAR ADC) των 8-bit

Διπλωματική Εργασία

του

Χαρίτου Πέτρου

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Αθήνα, Φεβρουάριος 2024



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Σχεδίαση ενός χαμηλής κατανάλωσης μετατροπέα αναλογικού
σήματος σε ψηφιακό διαδοχικής προσέγγισης (SAR ADC) των 8-bit

Διπλωματική Εργασία

του

Χαρίτου Πέτρου

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 5^η Μαρτίου 2024:

.....
Πάυλος Π. Σωτηριάδης	Ευάγγελος Χριστοφόρου	Αθανάσιος Παναγόπουλος
Καθηγητής	Καθηγητής	Καθηγητής
Ε.Μ.Π.	Ε.Μ.Π.	Ε.Μ.Π.

Αθήνα, Φεβρουάριος 2024

.....
Χαρίτος Πέτρος

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών, Ε.Μ.Π.

Copyright © Χαρίτος Πέτρος, 2024.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Στόχος της παρούσας διπλωματικής εργασίας είναι η σχεδίαση ενός Μετατροπέα Αναλογικού σήματος σε Ψηφιακό διαδοχικής προσέγγισης (SAR ADC) των 8-bit δίνοντας ιδιαίτερη έμφαση στην εξοικονόμηση ενέργειας. Ο σχεδιασμός αυτός αποσκοπεί στην αποτελεσματική μετάφραση σημάτων αισθητήρων ή φωνητικών εντολών σε ψηφιακή πληροφορία για εφαρμογές γενικού σκοπού.

Η τελική αρχιτεκτονική αποτελείται από διάφορα υποσυστήματα. Αναλυτικότερα, το σύστημα Δειγματοληψίας και Συγκράτησης είναι υπεύθυνο να δειγματοληπτεί το σήμα εισόδου και διατηρεί το δείγμα έως ότου ολοκληρωθεί η διαδικασία της μετατροπής. Στη συνέχεια, το δείγμα αυτό, το οποίο αποτελεί ένα διαφορικό σήμα, οδηγείται σε έναν Συγκριτή με Μανδάλωση και συγκρίνεται με το διαφορικό σήμα ενός Μετατροπέα Ψηφιακού σήματος σε Αναλογικό (DAC). Ανάλογα με το αποτέλεσμα της σύγκρισης, ο Καταχωρητής Διαδοχικής Προσέγγισης (SAR) θέτει με λογικό 0 ή λογικό 1 την κατάλληλη θέση του. Τέλος, το περιεχόμενο του καταχωρητή εισέρχεται ως είσοδο στο DAC ο οποίος με τη σειρά του προσφέρει την έξοδό του προς σύγκριση. Με άλλα λόγια, ο μετατροπέας εκτελεί τον αλγόριθμο της δυαδικής αναζήτησης έτσι ώστε να εντοπίσει την ψηφιακή λέξη που περιγράφει καλύτερα την αναλογική είσοδο.

Εκτός από την χαμηλή κατανάλωση, ο μετατροπέας χρειάζεται πολύ μικρή τάση τροφοδοσίας. Παράλληλα, διαθέτει ικανοποιητική γραμμικότητα και έχει εξαιρετικές δυναμικές επιδόσεις. Η υλοποίηση και προσομοίωση των κυκλωμάτων έγινε με το πρόγραμμα σχεδίασης Cadence IC Suite και η τεχνολογία που χρησιμοποιήθηκε είναι η TSMC 90nm.

Λέξεις Κλειδιά

κυκλώματα, ολοκληρωμένα, χαμηλή κατανάλωση, ασθενής αναστροφή, περιοχή υποκατωφλίου, μετατροπή, αναλογικό, ψηφιακό, διαδοχική προσέγγιση, ADC, SAR, DAC

Abstract

The objective of this thesis is to design an 8-bit Successive Approximation Register Analog-to-Digital Converter (SAR ADC) with a focus on energy efficiency. This design aims at efficiently translating sensor signals or voice commands into digital information for general-purpose applications.

The final architecture comprises various subsystems. Specifically, the Sampling and Hold system is responsible for sampling the input signal and maintaining the sample until the conversion process is complete. Subsequently, this sample, representing a differential signal, is directed to a Latched Comparator and compared with the differential signal from a Digital-to-Analog Converter (DAC). Depending on the comparison result, the Successive Approximation Register (SAR) sets the appropriate position with a logical 0 or 1. Finally, the content of the register serves as input to the DAC, which, in turn, provides its output for further comparison. In other words, the converter executes the binary search algorithm to identify the digital word that best describes the analog input.

In addition to low power consumption, the converter requires a very low supply voltage. Simultaneously, it exhibits satisfactory linearity and exceptional dynamic performance. The implementation and simulation of the circuits were performed using the Cadence IC Suite design software, with the technology utilized being TSMC 90nm.

Keywords

circuits, integrated, low power consumption, weak inversion, subthreshold region, conversion, analog, digital, successive approximation, ADC, SAR, DAC

Ευχαριστίες

Με την παρούσα εργασία ολοκληρώνω ένα σημαντικό κομμάτι της ζωής μου, τις προπτυχιακές μου σπουδές. Σε όλη αυτή τη διαδρομή υπήρξαν πολλοί άνθρωποι που με βοήθησαν και με καθοδήγησαν.

Πρώτα απ' όλα, θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή μου, κ.Παύλο-Πέτρο Σωτηριάδη, ο οποίος πάντα έδειχνε πραγματικό ενδιαφέρον για τους φοιτητές του και ήταν πρόθυμος να τους βοηθήσει να πετύχουν. Μέσω της διδασκαλίας του, με μύησε στον χώρο της ηλεκτρονικής, πράγμα που οδήγησε και στην πραγματοποίηση αυτής της εργασίας. Ακόμα, θα ήθελα να ευχαριστήσω όλη την ομάδα του και ειδικότερα τον υποψήφιο διδάκτορα Βασίλειο Αλιμήση του οποίου η βοήθεια που μου προσέφερε είναι ανεκτίμητης αξίας.

Στη συνέχεια, θα ήθελα να ευχαριστήσω τους φίλους μου. Με πολλούς από αυτούς πορευτήκαμε μαζί σε αυτή τη διαδρομή, η οποία ήταν γεμάτη τόσο με χαρές όσο και με προκλήσεις. Η καθημερινή συναναστροφή μαζί τους μου έδινε ώθηση να προχωρήσω.

Τέλος, θα ήθελα να εκφράσω την ευγνωμοσύνη μου στην οικογένειά μου. Ευχαριστώ από καρδιάς τους γονείς μου, Ελένη και Νίκο, και την αδελφή μου, Μαριέττα, για την αμέτρητη αγάπη και υποστήριξή τους. Η συγκεκριμένη εργασία αφιερώνεται σε αυτούς.

Χαρίτος Πέτρος, Φεβρουάριος 2024

Περιεχόμενα

Περίληψη	5
Abstract	7
Ευχαριστίες	9
Ευρετήριο Εικόνων	14
Κατάλογος Πινάκων	17
1 Εισαγωγή	18
2 Χαμηλή Κατανάλωση Ισχύος	20
2.1 Δομή MOSFET	20
2.2 Αναλογική Λειτουργία	21
2.2.1 Αρχή Λειτουργίας	21
2.2.2 Περιοχές Λειτουργίας	21
2.2.3 Ασθενής Αναστροφή	23
2.2.4 Μοντέλο Μικρού Σήματος	24
2.3 Ψηφιακή Λειτουργία	25
2.3.1 Αρχή Λειτουργίας	25
2.3.2 Κατανάλωση Ισχύος	26
3 Θεωρία Μετατροπής Δεδομένων	28
3.1 Ορολογία Μετατροπής Δεδομένων	28
3.1.1 Ιδανικός DAC	28
3.1.2 Ιδανικός ADC	29
3.1.3 Στατικά Μέτρα Επίδοσης	31
3.1.4 Δυναμικά Μέτρα Επίδοσης	33
3.2 Αρχιτεκτονικές Μετατροπέων A/D	34
3.3 Μετατροπέας Διαδοχικής Προσέγγισης (SAR ADC)	36

4	Βοηθητικά Κυκλώματα	38
4.1	Καθρέφτες Ρεύματος	38
4.1.1	Απλοί	38
4.1.2	Κασκοδικοί	39
4.1.3	Μεγάλης Ταλάντευσης	39
4.2	Τελεστικός Ενισχυτής	40
4.2.1	Τελεστικός Ενισχυτής AMP1	41
4.2.2	Τελεστικός Ενισχυτής AMP2	42
4.3	Σταθεροποιητής Χαμηλής Πτώσης Τάσεως	44
4.3.1	Τάση Εξόδου και Κέρδος Ανάδρασης	44
4.3.2	Power Supply Rejection Ratio (PSRR)	45
4.3.3	Θόρυβος	46
4.3.4	Υλοποίηση	46
5	Σύστημα Δειγματοληψίας και Συγκράτησης	49
5.1	Λειτουργία και Χαρακτηριστικά	49
5.1.1	Θεώρημα Δειγματοληψίας	49
5.1.2	Έγχυση Φορτίου	50
5.2	Κύκλωμα	51
5.2.1	Συχνотική Απόκριση	51
5.2.2	Θόρυβος	53
5.2.3	Bootstrap Διακόπτης	56
5.2.4	Υλοποίηση	57
5.3	Μονή Είσοδος - Διαφορική Έξοδος	59
5.3.1	Υλοποίηση	59
6	Συγκριτής	62
6.1	Λειτουργία και Χαρακτηριστικά	62
6.2	Χρήση Τελεστικού Ενισχυτή	63
6.3	Συγκριτές με Μανδάλωση	64
6.3.1	Αρχή Λειτουργίας	64
6.3.2	Σταθερά Χρόνου	64
6.3.3	Χρήση SR Μανδαλωτή	66
6.4	Συγκριτής Schinkel	67
6.4.1	Αρχή Λειτουργίας	67
6.4.2	Διαφορική Είσοδος	68
6.4.3	Υλοποίηση	70
7	Καταχωρητής Διαδοχικής Προσέγγισης	72
7.1	Γλώσσα VHDL	72
7.2	Κώδικας SAR	72
7.3	Υλοποίηση	74

8	Μετατροπές Ψηφιακού Σήματος σε Αναλογικό	76
8.1	Πυρήνας	76
8.2	Στάδιο Εξόδου	78
8.3	Κώδικας Θερμομέτρου	79
8.4	Υλοποίηση	80
9	Μετατροπές Αναλογικού Σήματος σε Ψηφιακό	82
9.1	Συνολικό Σύστημα	82
9.2	Στατικά Μέτρα Επίδοσης	84
9.3	Δυναμικά Μέτρα Επίδοσης	84
9.4	Σύνοψη και Συμπεράσματα	85
10	Μελλοντικές Επεκτάσεις	87

Ευρετήριο Εικόνων

1.1	Μετατροπή δεδομένων	18
2.1	Τομή MOS n-καναλιού	21
2.2	Κανονικοποιημένη χαρακτηριστική $I_D - V_{DS}$	22
2.3	Στραγγαλισμός καναλιού	23
2.4	Μοντέλο μικρού σήματος	24
2.5	Πύλη μετάδοσης και συμπληρωματική λογική	26
3.1	DAC και ADC	28
3.2	Είσοδος-έξοδος ιδανικού 2-bit DAC	29
3.3	Θόρυβος κβάντισης	29
3.4	Είσοδος-έξοδος ιδανικού 2-bit ADC	30
3.5	Κβάντιση σήματος	30
3.6	Offset Error DAC και ADC	31
3.7	Gain Error DAC και ADC	31
3.8	INL Error DAC και ADC	32
3.9	Spurious Free Dynamic Range	34
3.10	Αρχιτεκτονικές ADC	34
3.11	Flash ADC	35
3.12	Στάδιο ενός Pipelined ADC	35
3.13	Delta-Sigma ADC	36
3.14	Παράδειγμα δυαδικής αναζήτησης	37
3.15	SAR ADC	37
4.1	Απλός καθρέφτης ρεύματος	38
4.2	Κασκοδικός καθρέφτης ρεύματος	39
4.3	Καθρέφτης ρεύματος μεγάλης ταλάντευσης	40
4.4	Folded Cascode OTA (AMP1)	41
4.5	Δισταδιαχός Τελεστικός Ενισχυτής (AMP2)	42
4.6	Ανάλυση μικρού σήματος	43
4.7	Σταθεροποιητής Χαμηλής Πτώσης Τάσεως	44
4.8	Θόρυβος Σταθεροποιητή Χαμηλής Πτώσης Τάσεως	46

4.9	Monte Carlo - DC Τάση Εξόδου LDO	47
4.10	Monte Carlo - Θόρυβος LDO	47
4.11	Monte Carlo - Ευστάθεια LDO	48
4.12	Monte Carlo - PSRR LDO	48
5.1	Παράδειγμα κυματομορφών	49
5.2	Απλό σύστημα δειγματοληψίας	50
5.3	Κύκλωμα Δειγματοληψίας και Συγκράτησης	51
5.4	Ανάλυση μικρού σήματος	52
5.5	Ανάλυση θορύβου	53
5.6	Bootstrap Διακόπτης	56
5.7	Bootstrap Διακόπτης	57
5.8	Monte Carlo - Συχνотική απόκριση S&H	58
5.9	Monte Carlo - Θόρυβος S&H	58
5.10	Monte Carlo - Ευστάθεια S&H	59
5.11	Μονή Είσοδος - Διαφορική Έξοδος	59
5.12	Monte Carlo - Συχνотική απόκριση	60
5.13	Monte Carlo - Θόρυβος	60
5.14	Monte Carlo - Ευστάθεια θετικής εξόδου	61
5.15	Monte Carlo - Ευστάθεια αρνητικής εξόδου	61
6.1	Ιδανικός συγκριτής	62
6.2	Μη ιδανικός συγκριτής	63
6.3	Input Offset Voltage	63
6.4	Μοντέλο υπολογισμού της σταθεράς χρόνου	65
6.5	Εξέλιξη τάσεων στο μοντέλο υπολογισμού της σταθεράς χρόνου	66
6.6	Εξέλιξη τάσεων συγκριτή	67
6.7	SR Μανδαλωτής	67
6.8	Συγκριτής Schinkel	68
6.9	Διαφορικός Συγκριτής Schinkel	69
6.10	Monte Carlo - Ελάχιστες τάσεις εισόδου του Συγκριτή	70
6.11	Monte Carlo - Input Offset του Συγκριτή	71
6.12	Monte Carlo - Slew Rate του Συγκριτή	71
7.1	Καταχωρητής Διαδοχικής Προσέγγισης	74
7.2	Περιεχόμενα SAR για διάφορες εισόδους	75
8.1	Μετατροπή ψηφιακής λέξης σε ρεύμα	76
8.2	Δυαδικά βεβαρημένη αρχιτεκτονική DAC	77
8.3	Τμηματοποιημένη αρχιτεκτονική DAC	78
8.4	Στάδιο εξόδου DAC	78
8.5	Αποκωδικοποιητής κώδικα θερμομέτρου ψηφιακής λέξης των 3-bit	80
8.6	Υλοποίηση Current Steering DAC	80

8.7	Monte Carlo DAC	81
9.1	Υλοποίηση SAR ADC	83
9.2	Διαδικασία απομόνωσης ολοκληρωμένων ψηφιακών λέξεων	83
9.3	Στατικά Μέτρα Επίδοσης	84
9.4	Προσομοιώσεις με δειγματοληψία $44.1kHz$	84
9.5	Προσομοιώσεις με δειγματοληψία $48kHz$	85
9.6	Προσομοιώσεις με δειγματοληψία $96kHz$	85

Κατάλογος Πινάκων

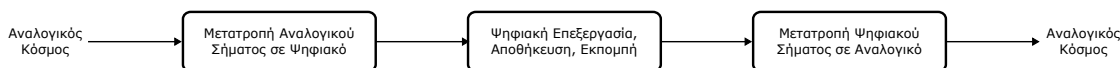
1.1	Προδιαγραφές ADC	19
2.1	Παράμετροι μοντέλου μικρού σήματος	25
2.2	Μεγέθη τεχνολογίας TSMC 90nm	25
4.1	Μεγέθη στοιχείων AMP1 ($I_B = 100nA$)	41
4.2	Μεγέθη στοιχείων AMP2 ($I_B = 100nA$)	42
4.3	Μεγέθη στοιχείων LDO ($I_L = 51\mu A, C_L = 1pF$)	46
5.1	Μεγέθη στοιχείων Bootstrap Διακόπτη	57
5.2	Μεγέθη στοιχείων συστήματος Μονής Εισόδου - Διαφορικής Εξόδου	60
6.1	Μεγέθη στοιχείων Συγκριτή	70
7.1	Μεγέθη στοιχείων ψηφιακών πυλών	74
8.1	Κώδικας θερμομέτρου ψηφιακής λέξης των 3-bit	79
8.2	Μεγέθη στοιχείων DAC ($I_{ref} = 200nA, n$: n -ιστό bit)	81
9.1	Προδιαγραφές ADC	86

Κεφάλαιο 1

Εισαγωγή

Ο σύγχρονος κόσμος έχει αμέτρητες ανάγκες που συνεχώς προσπαθεί να εξυπηρετήσει. Αυτές εκτείνονται σε όλους τους τομείς της ανθρώπινης δραστηριότητας, από την καθημερινότητα και την υγεία ως τις μεταφορές και το περιβάλλον. Τα ηλεκτρονικά, και η τεχνολογία γενικότερα, αποτελούν ένα από τα καλύτερα μέσα εξυπηρέτησης αυτών των αναγκών καθώς βρίσκουν εφαρμογή σχεδόν παντού.

Οι δυνατότητές τους έχουν υποχρεώσει τον άνθρωπο να τα εισαγάγει οπουδήποτε είναι δυνατόν, με απώτερο στόχο να δημιουργηθεί ένα δίκτυο από αντικείμενα (Internet of Things). Αυτή η πυκνωση των συσκευών δεν επιλύει μόνο προβλήματα αλλά δημιουργεί χίολας. Το σημαντικότερο από αυτά είναι η αύξηση της ζήτησης της ενέργειας που απαιτούν. Κατα συνέπεια, ο σχεδιασμός ηλεκτρονικών έχει επικεντρωθεί κατά κύριο λόγο στη μείωση της κατανάλωσης ισχύος. Τα ηλεκτρονικά χαμηλής ισχύος έχουν πολλά θετικά στοιχεία, όπως η μείωση του κόστους λόγω της μικρότερης κατανάλωσης, η εκτενέστερη διάρκεια μπαταρίας των συσκευών, που προσφέρει μεγαλύτερη άνεση στη χρήση τους, και η προστασία του περιβάλλοντος λόγω των μειωμένων ρύπων κατά την παραγωγή ενέργειας.



Σχήμα 1.1: Μετατροπή δεδομένων

Ένα από τα σημαντικότερα συστήματα που υπάρχουν είναι οι Μετατροπείς Αναλογικού σήματος σε Ψηφιακό (Analog to Digital Converters - ADCs), οι οποίοι εμφανίζονται σε κάθε είδος συσκευής. Έξυπνα κινητά, ρολόγια, κεφετιέρες, ψυγεία, αυτοκίνητα, μη επανδρωμένα αεροσκάφη και πολλά άλλα διαθέτουν τουλάχιστον έναν τέτοιο μετατροπέα. Αυτό οφείλεται στο γεγονός ότι αποτελούν την γέφυρα που συνδέει την αναλογική πραγματικότητα με τη δύναμη του ψηφιακού κόσμου. Όλα τα μετρήσιμα φαινόμενα που απαντώνται στη φύση έχουν αναλογική μορφή, αλλά οι ισχυρότεροι αλγόριθμοι εφαρμόζονται σε δυαδικά δεδομένα. Συνεπώς, είναι απαραίτητο η αναλογική πληροφορία να μετατραπεί σε ψηφιακή έτσι ώστε να μπορεί

να τεθεί υπό επεξεργασία, να αποθηκευτεί και να διαμοιραστεί αποδοτικά.

Από τα προηγούμενα γίνεται σαφές πως η ανάγκη, όχι μόνο για ποιοτική, αλλά και για αποδοτική μετατροπή σημάτων αποτελεί μια σύγχρονη πρόκληση. Σε αυτή την εργασία, θα παρουσιαστεί η ροή σχεδίασης ενός Αναλογικού/Ψηφιακού Μετατροπέα Διαδοχικής Προσέγγισης (Successive-Approximation Register ADC - SAR ADC) με έμφαση στη χαμηλή κατανάλωση ισχύος.

Το σύστημα αυτό θα αποτελεί έναν μετατροπέα γενικού σκοπού και θα μπορεί να χρησιμοποιηθεί σε διάφορες εφαρμογές. Ενδεικτικά, κάποιες από αυτές είναι:

- Γεωργία: Μετατροπή σημάτων θερμοκρασίας, υγρασίας, φωτεινότητας
- Ηχητικοί βοηθοί: Μετατροπή φωνητικών εντολών
- Έξυπνα ρολόγια: Ψηφιοποίηση σημάτων πίεσης και οξυγόνου αίματος, ανίχνευσης κίνησης, φωτεινότητας

Για τη χρήση του μετατροπέα σε αυτές τις εφαρμογές πρέπει πρώτα να ορισθούν κάποιες προδιαγραφές οι οποίες θα εξασφαλίσουν την αποδοτική και ποιοτική λειτουργία του. Οι προδιαγραφές αυτές συνοψίζονται στον παρακάτω πίνακα και τα περισσότερα μεγέθη που αναφέρονται αναλύονται στα επόμενα κεφάλαια.

Παράμετρος	Προτεινόμενη Τιμή	Μονάδες
V_{DD}	0.50	V
V_{ref}	0.25	V
V_{in}	0.20	V _{pp}
Ανάλυση	8	bit
$f_{sampling}$	> 44.1	kHz
f_{clock}	Ελάχιστη	
Κατανάλωση	Ελάχιστη	
DNL	< 1	LSB
INL	< 0.5	LSB
SINAD	> 44	dB
ENOB	> 7	bit
SFDR	> 50	dB

Πίνακας 1.1: Προδιαγραφές ADC

Κεφάλαιο 2

Χαμηλή Κατανάλωση Ισχύος

Στον κόσμο της μικροηλεκτρονικής έχει επικρατήσει το τρανζίστορ MOSFET (Metal Oxide Semiconductor - Field Effect Transistor) έναντι των διπολικών (BJT), τόσο στα ψηφιακά κυκλώματα όσο και στα αναλογικά, καθώς επιτρέπουν μεγάλη κλίμακα ολοκλήρωσης και χαμηλή κατανάλωση ισχύος. Αν και είναι υποδεέστερα ως προς την απόδοσή τους στο κέρδος και το θόρυβο, σημεία πολύ σημαντικά στην σχεδίαση αναλογικών κυκλωμάτων, τα παραπάνω πλεονεκτήματα και το μειωμένο κόστος κατασκευής τους, τα κάνει πολύ εκλυστικά στους σχεδιαστές συστημάτων[1].

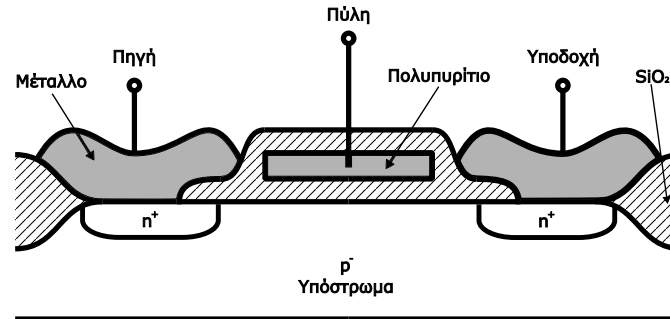
2.1 Δομή MOSFET

Το πυρίτιο μπορεί να νοθευτεί με δύο τρόπους. Όταν μια περιοχή νοθεύεται με δότες, έχει περίσσεια ηλεκτρονίων και ονομάζεται τύπου n , ή n^+ ανάλογα με την ποσότητα. Αντίστοιχα, όταν νοθεύεται με αποδέκτες, διαθέτει περίσσεια οπών και ονομάζεται p , ή p^+ .

Κατά συνέπεια, μπορούν να κατασκευαστούν δύο τύποι MOSFET, το nMOS και το pMOS, με το σχήμα 2.1 να δείχνει την τομή του πρώτου. Το nMOS σχηματίζεται έχοντας δύο περιοχές βαρέας νόθευσης n^+ πάνω σε ένα υπόστρωμα τύπου p . Πάνω από αυτές τοποθετείται μέταλλο, ώστε να δημιουργηθούν ακροδέκτες οι οποίοι αποτελούν την πηγή (Source - S) και την υποδοχή (Drain - D) του τρανζίστορ. Μεταξύ της πηγής και της υποδοχής, πάνω στο υπόστρωμα, τοποθετείται ένα λεπτό στρώμα διοξειδίου του πυριτίου (SiO_2), το οποίο αποτελεί έναν πολύ καλό μονωτή. Στη συνέχεια, εναποτίθεται πολυπυρίτιο ώστε να δημιουργηθεί ο τρίτος ακροδέκτης του τρανζίστορ, η πύλη (Gate - G). Επιπλέον, μέταλλο τοποθετείται και πάνω από μια περιοχή τύπου p^+ του υποστρώματος (Body - B), λειτουργώντας ως ο ακροδέκτης του. Το pMOS κατασκευάζεται με τον ακριβώς ίδιο τρόπο, αν τα n και p αντιμεταθετηθούν. Τέλος, αξίζει να σημειωθεί ότι το MOSFET είναι συμμετρικό σε αντίθεση με το BJT [2].

Η συντριπτική πλειοψηφία των κυκλωμάτων κάνει χρήση και των δύο τύπων MOSFET στην ίδια ψηφίδα πυριτίου, η οποία είναι τύπου p . Συνεπώς, για να κατασκευασ-

τούν τα pMOS πρέπει πρώτα να δημιουργηθεί ένα πηγάδι τύπου n (nWell), πάνω στο οποίο θα σχηματιστεί το τρανζίστορ. Τα κυκλώματα αυτά ονομάζονται CMOS (Complementary MOS) διότι τα nMOS και pMOS είναι συμπληρωματικά.



Σχήμα 2.1: Τομή MOS n-καναλιού [3]

2.2 Αναλογική Λειτουργία

2.2.1 Αρχή Λειτουργίας

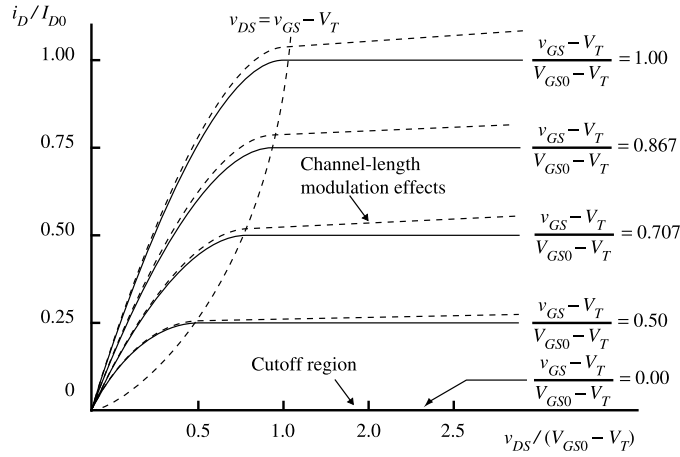
Αν τεθεί θετική τάση στην πύλη του nMOS ως προς την πηγή, οι ελεύθερες οπές κάτω από αυτήν θα απωθηθούν προς το υπόστρωμα και τα ελεύθερα ηλεκτρόνια των n^+ περιοχών θα ελκυνθούν προς αυτή. Κάτι τέτοιο θα έχει ως αποτέλεσμα να δημιουργηθεί ένα κανάλι τύπου n το οποίο ενώνει την πηγή και την υποδοχή. Η τιμή της τάσης V_{GS} στην οποία οι πυκνότητες των ηλεκτρονίων και των οπών, που βρίσκονται κάτω από την πύλη, είναι ίσες ονομάζεται τάση κατωφλίου και συμβολίζεται ως V_{th} . Αν τεθεί τώρα τάση μεταξύ αυτών των δύο ακροδεκτών θα υπάρξει ροή ηλεκτρικού ρεύματος, η οποία θα εξαρτάται από την τάση στην πύλη, καθώς είναι αυτή που ρυθμίζει το μέγεθος του καναλιού. Ακριβώς αντίστροφα δουλεύει το pMOS. Με άλλα λόγια στο pMOS, εφαρμόζοντας αρνητική τάση στην πύλη ως προς την πηγή, αντί για κανάλι τύπου n σχηματίζεται κανάλι τύπου p και η ροή του ηλεκτρικού ρεύματος πραγματοποιείται με τη βοήθεια των οπών.

Από τα παραπάνω γίνεται εμφανές ότι το τρανζίστορ παρουσιάζει διαφορετική συμπεριφορά ανάλογα με τις τάσεις που εφαρμόζονται στους ακροδέκτες του. Συνεπώς, η κάθε μια συμπεριφορά μπορεί να περιγραφεί ξεχωριστά και η λειτουργία του να διαχωριστεί σε περιοχές, οι οποίες παρουσιάζονται παρακάτω [2].

2.2.2 Περιοχές Λειτουργίας

Αποκοπή

Όταν ισχύει $V_{GS} < V_{th}$, το τρανζίστορ θεωρείται πως βρίσκεται σε αποκοπή και δεν επιτρέπει την διέλευση ρεύματος μεταξύ πηγής και υποδοχής. Αυτό, όμως, αποτελεί μια απλοποίηση και στην πραγματικότητα όταν η τάση V_{GS} βρίσκεται κοντά



Σχήμα 2.2: Κανονικοποιημένη χαρακτηριστική $I_D - V_{DS}$ [4]

στην V_{th} , μπορεί να υπάρξει ροή ηλεκτρικού ρεύματος. Αυτή η περίπτωση λειτουργίας θα περιγραφεί αναλυτικότερα παρακάτω, καθώς πολλά κυκλώματα της παρούσας εργασίας λειτουργούν σε αυτή.

Τρίοδος / Ωμική Περιοχή

Η διαφορά τάσης $V_{GS} - V_{th}$ ονομάζεται τάση υπεροδήγησης και συμβολίζεται με V_{OV} . Όταν ισχύει $V_{GS} > V_{th}$ και $V_{DS} < V_{OV}$, το τρανζίστορ βρίσκεται στην τρίοδο (ή ωμική περιοχή) και το ρεύμα που το διαρρέει δίνεται από τον τύπο:

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS} \quad (2.1)$$

όπου το μ_n είναι η κινητικότητα των φορέων φορτίου, το C_{ox} αποτελεί την χωρητικότητα του οξειδίου πύλης ανά μονάδα επιφάνειας και τα W , L είναι το πλάτος και μήκος της πύλης.

Η εξίσωση 2.1 δείχνει ότι το ρεύμα I_D εξαρτάται γραμμικά από την τάση V_{DS} και κατά συνέπεια το τρανζίστορ μπορεί να χρησιμοποιηθεί ως μια ηλεκτρικά ελεγχόμενη αντίσταση, με τιμή:

$$R = \frac{V_{DS}}{I_D} = \frac{1}{\mu_n C_{ox} (V_{GS} - V_{th})} \frac{L}{W} \quad (2.2)$$

Όσο αυξάνεται η τάση V_{DS} το ρεύμα σταματάει να παρουσιάζει αυτή τη γραμμικότητα και δίνεται από τον τύπο:

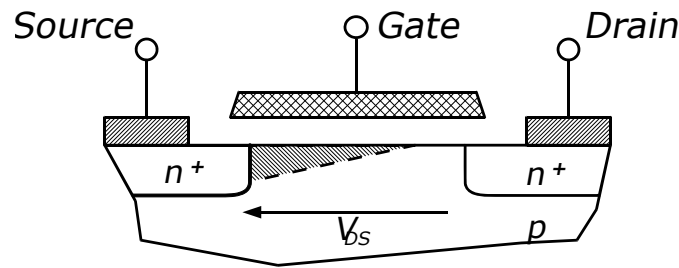
$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.3)$$

Ισχύρη Αναστροφή

Όταν ισχύει $V_{GS} > V_{th}$ και $V_{DS} > V_{OV}$, το τρανζίστορ εισέρχεται στην ισχυρή αναστροφή. Αν αγνοηθούν τα φαινόμενα δευτέρου βαθμού, το ρεύμα I_D , σε αυτή την περιοχή, παραμένει σταθερό και δίνεται από τον τύπο:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.4)$$

Στην πραγματικότητα, η ισχυρή αναστροφή χαρακτηρίζεται από τον στραγγαλισμό του καναλιού. Όσο αυξάνεται η τάση V_{DS} , τόσο μειώνεται και το ενεργό μήκος του καναλιού, φαινόμενο που ονομάζεται Διαμόρφωση Μήκους Καναλιού (Channel Length Modulation).



Σχήμα 2.3: Στραγγαλισμός καναλιού [5]

Η αντίσταση του τρανζίστορ είναι ανάλογη του ενεργού μήκους καναλιού. Συνεπώς, καθώς αυτή μειώνεται, αυξάνεται το ρεύμα I_D . Ο προηγούμενος τύπος μπορεί να διορθωθεί αν προστεθεί ένας ακόμη όρος.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 [1 + \lambda (V_{DS} - V_{OV})] \quad (2.5)$$

όπου το λ αποτελεί μια σταθερά με μονάδες V^{-1} [3].

2.2.3 Ασθενής Αναστροφή

Όπως αναφέρθηκε παραπάνω το τρανζίστορ δεν μεταβαίνει κατευθείαν από την αποκοπή στην ισχυρή αναστροφή. Αντιθέτως, μεταξύ αυτών των δύο περιοχών υπάρχουν άλλες δύο, η ασθενής (Weak inversion ή Subthreshold) και η μέτρια αναστροφή. Αν και τα περισσότερα κυκλώματα λειτουργούν στην ισχυρή αναστροφή, η τάση που επικρατεί ώστε να μειωθεί η κατανάλωση των συστημάτων, οδηγεί τους σχεδιαστές να χρησιμοποιούν τα τρανζίστορ στην ασθενή. Οι συνθήκες για να βρισκεται το τρανζίστορ σε αυτή είναι οι εξής:

$$V_{GS} \approx V_{th} \quad (2.6)$$

$$V_{DS} \geq 3V_T \quad (2.7)$$

με

$$V_{th} = V_{th0} - \lambda_D V_{DS} - \lambda_B V_{BS} \quad (2.8)$$

$$V_T = kT/q \quad (2.9)$$

όπου V_{th} είναι η τάση κατωφλίου, V_{th0} η τάση κατωφλίου σε θερμοκρασία δωματίου για $V_{BS} = 0$, λ_D και λ_B δύο θετικοί συντελεστές που έχουν σχέση με την συρρίκνωση του ενεργού μήκους καναλίου όσο αυξάνεται η V_{DS} και του φαινομένου σώματος, αντίστοιχα. Επιπλέον, η δεύτερη σχέση αποτελεί την θερμική τάση και ισούται με την σταθερά Boltzmann k επί την απόλυτη θερμοκρασία T δια του στοιχειώδους φορτίου του q . Για θερμοκρασία δωματίου ($27^\circ C$) η τάση αυτή ισούται με $25mV$.

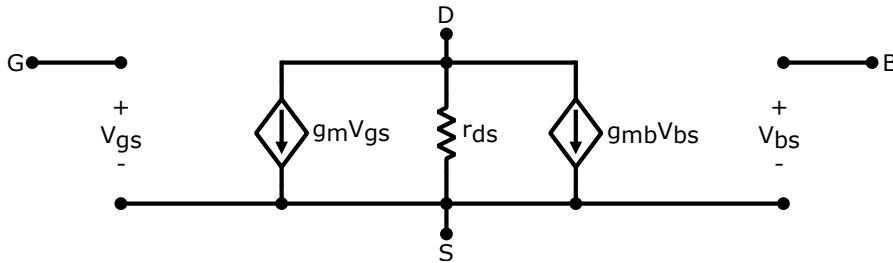
Στην περιοχή της ασθενής αναστροφής το MOSFET τρανζίστορ δεν υπακούει στο τετραγωνικό νόμο της ισχυρής αναστροφής αλλά σε έναν εκθετικό, όπως και τα BJT. Πιο συγκεκριμένα, το ρεύμα I_D ισούται με:

$$I_D = \frac{W}{L} I_{D0} e^{\frac{V_{GS}-V_{th}}{nV_T}} (1 - e^{-\frac{V_{DS}}{V_T}}) \approx \frac{W}{L} I_{D0} e^{\frac{V_{GS}-V_{th}}{nV_T}} \quad (2.10)$$

όπου το n αποτελεί μια σταθερά της τεχνολογίας και το I_{D0} παράμετρο της τεχνολογίας που εξαρτάται από την θερμοκρασία [6].

2.2.4 Μοντέλο Μικρού Σήματος

Σε αυτό το σημείο παρουσιάζονται οι τύποι των παραμέτρων του μοντέλου μικρού σήματος τόσο στην ισχυρή αναστροφή όσο και στην ασθενή. Επιπλέον, παρατίθενται οι τιμές διαφόρων σημαντικών μεγεθών της τεχνολογίας TSMC 90nm. Αυτές εξήχθησαν μέσω προσομοιώσεων των χαρακτηριστικών καμπυλών.



Σχήμα 2.4: Μοντέλο μικρού σήματος

	Ισχυρή Αναστροφή	Ασθενής Αναστροφή
$g_m = \frac{\partial I_D}{\partial V_{GS}}$	$\sqrt{2\mu_n C_{ox} \frac{W}{L} I_D}$	$\frac{I_D}{nV_T}$
$r_{ds} = \left[\frac{\partial I_D}{\partial V_{DS}} \right]^{-1}$	$\frac{1}{\lambda I_D}$	$\frac{nV_T}{\lambda_D I_D}$
$g_{mb} = \frac{\partial I_D}{\partial V_{BS}}$	$\frac{g_m \gamma}{2\sqrt{2\phi_F + V_{SB}}}$	$\frac{\lambda_B I_D}{nV_T}$
$A_{V0} = g_m r_{ds}$	$\frac{1}{\lambda} \sqrt{\frac{2\mu_n C_{ox} W}{I_D L}}$	$\frac{1}{\lambda_D}$

Πίνακας 2.1: Παράμετροι μοντέλου μικρού σήματος [6]

	nMOS	pMOS	Μονάδες
V_{th}	≈ 0.25	≈ 0.25	V
μC_{ox}	$7/27500$	$7/90000$	A/V^2
n	1.65288	1.51083	-
I_{D0}	0.784761	0.18012	μA

Πίνακας 2.2: Μέγεθθ τεχνολογίας TSMC 90nm

2.3 Ψηφιακή Λειτουργία

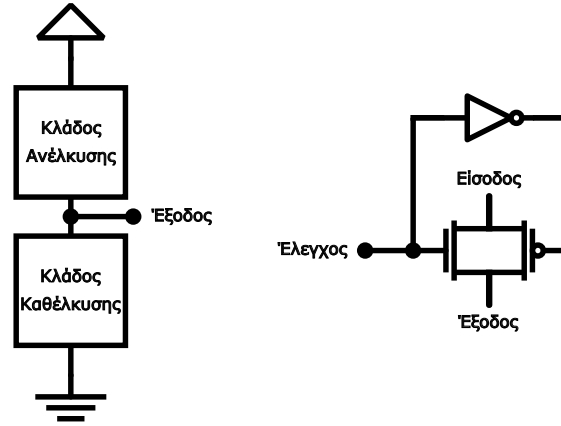
2.3.1 Αρχή Λειτουργίας

Τα MOSFET τρανζίστορς εκτός από την χρήση τους σε αναλογικές εφαρμογές έχουν την δυνατότητα να λειτουργούν και ως ηλεκτρικά ελεγχόμενοι διακόπτες. Με άλλα λόγια, ανάλογα με την τάση στην πύλη τους μπορούν είτε να ανοίγουν είτε να κλείνουν ένα κύκλωμα. Σε αυτό το γεγονός, στηρίζονται όλα τα ψηφιακά συστήματα.

Αναλυτικότερα, όταν σε ένα nMOS τεθεί λογικό 1, δηλαδή υψηλό δυναμικό, στην πύλη τότε αυτό άγει και συνδέει την πηγή με την υποδοχή. Αντίθετα, όταν τεθεί λογικό 0, δηλαδή χαμηλό δυναμικό, τότε μεταβαίνει σε αποκοπή και αποσυνδέει τους άλλους δύο ακροδέκτες του. Για το pMOS ισχύουν ακριβώς τα ανάστροφα.

Σε αυτό το σημείο, είναι σημαντικό να τονιστεί ότι το nMOS περνάει ισχυρό λογικό 0 και ασθενές λογικό 1. Πιο συγκεκριμένα, ένα τέτοιο τρανζίστορ άγει όταν $V_{GS} > V_{th}$. Αν λοιπόν, έχει στην πύλη του V_{DD} (λογικό 1), τότε η πηγή του λαμβάνει μέγιστη τιμή όταν $V_{GS} = V_{th}$ και ισούται με $V_{GS} = V_{th} \Rightarrow V_G - V_S = V_{th} \Rightarrow V_{DD} - V_S = V_{th} \Rightarrow V_S = V_{DD} - V_{th}$. Αντίθετα, η ελάχιστη τιμή που μπορεί να λάβει ισούται με 0 διότι $V_{GS} = V_G - V_S = V_{DD} - 0 > V_{th}$. Συνεπώς, το nMOS μπορεί να μεταδώσει το λογικό 0 αλλά το λογικό 1 το εξασθενεί κατά V_{th} . Αυτό το φαινόμενο ονομάζεται πτώση κατωφλίου (threshold drop). Εντελώς ανάλογα μπορεί να αποδειχθεί ότι το pMOS περνάει ισχυρό 1 και ασθενές 0.

Για τον λόγο που αναφέρθηκε στην προηγούμενη παράγραφο, τα ψηφιακά συστήματα αποτελούν κυκλώματα CMOS, τα οποία κάνουν χρήση των pMOS στον κλάδο ανέλκυσης, που συνδέουν την έξοδο με το λογικό 1, και των nMOS στον κλάδο καθέλκυσης, που συνδέουν την έξοδο με το λογικό 0. Τα κυκλώματα αυτά μπορούν να δομηθούν με τέτοιο τρόπο ώστε να υλοποιούν οποιαδήποτε συνάρτηση Boole και κατά προέκταση οποιαδήποτε ψηφιακή λειτουργία.



Σχήμα 2.5: Πύλη μετάδοσης και συμπληρωματική λογική

Σε περίπτωση που το κύκλωμα είναι επιθυμητό να μην έχει μόνο λογικό 0 ή 1 στην εξοδό του αλλά και να αποσυνδέεται σύμφωνα με ένα σήμα ελέγχου τότε γίνεται χρήση της πύλης μετάδοσης. Η πύλη μετάδοσης αποτελεί τον παράλληλο συνδυασμό ενός nMOS και ενός pMOS, τα οποία οδηγούνται από αντίθετα σήματα ελέγχου. Με αυτόν τον τρόπο, η πύλη μετάδοσης έχει τη δυνατότητα να άγει τόσο ισχυρό 0 όσο και ισχυρό 1 [7].

2.3.2 Κατανάλωση Ισχύος

Η κατανάλωση στα ψηφιακά κυκλώματα προέρχεται από δύο συνιστώσες, την δυναμική και την στατική. Η δυναμική κατανάλωση ($P_{dynamic}$) οφείλεται στην φόρτιση/εκφόρτιση των χωρητικών φορτίων κατά την μεταγωγή των λογικών πυλών ($P_{switching}$) και στο ρεύμα βραχυκύκλωσης των κλάδων ανέλκυσης και καθέλκυσης καθώς τα τρανζίστορ άγουν μερικώς ($P_{short\ circuit}$). Από την άλλη, η στατική κατανάλωση (P_{static}) προκαλείται λόγω του ρεύματος διαρροής υποκατωφλίου (I_{sub}), διαρροής πύλης (I_{gate}) και διαρροής επαφής (I_{junct}) από τις περιοχές διάχυσης πηγής/υποδοχής.

$$P_{dynamic} = P_{switching} + P_{short\ circuit} \quad (2.11)$$

$$P_{static} = (I_{sub} + I_{gate} + I_{junct})V_{DD} \quad (2.12)$$

$$P_{total} = P_{dynamic} + P_{static} \quad (2.13)$$

Συνήθως, το μεγαλύτερο μερίδιο της συνολικής κατανάλωσης το καταλαμβάνει η δυναμική. Ο όρος που οφείλεται στην μεταγωγή των πυλών δίνεται από τον τύπο 2.14. Άρα, για να μειωθεί, το καλύτερο θα ήταν να ελαχιστοποιηθεί η τάση του λογικού 1, διότι το επηρεάζει τετραγωνικά. Αν κάτι τέτοιο δεν είναι εφικτό, τότε θα πρέπει να μειωθούν τα μεγέθη των τρανζίστορ και άρα των χωρητικότητων τους. Οι υπόλοιποι παράγοντες ορίζονται από την εφαρμογή και είναι δύσκολο να αλλάξουν. Ο δεύτερος όρος, που οφείλεται στο ρεύμα βραχυκύκλωσης, μπορεί να μειωθεί αυξάνοντας την αντίσταση που εμφανίζουν τα τρανζίστορ, έτσι ώστε να διαρρέονται από λιγότερο ρεύμα κατά την μερική τους αγωγή.

$$P_{dynamic} = \alpha C V_{DD}^2 f \quad (2.14)$$

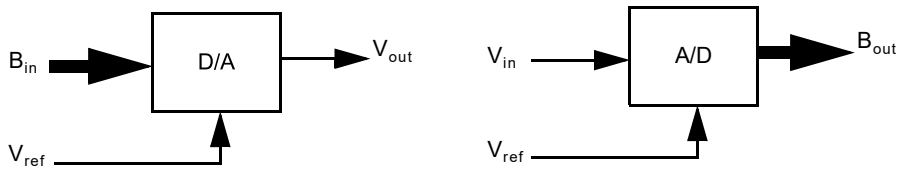
όπου α είναι ο παράγοντας μεταγωγής και αντιπροσωπεύει την πιθανότητα ένας κόμβος να αλλάξει κατάσταση, C η χωρητικότητα φορτίου, V_{DD} η τάση τροφοδοσίας και f η συχνότητα λειτουργίας [7].

Κεφάλαιο 3

Θεωρία Μετατροπής Δεδομένων

3.1 Ορολογία Μετατροπής Δεδομένων

Σε αυτό το υποκεφάλαιο παρουσιάζονται διάφοροι παράμετροι και μέτρα επίδοσης τόσο για τους μετατροπείς αναλογικού σήματος σε ψηφιακό (ADC) όσο και για τους μετατροπείς ψηφιακού σε αναλογικό (DAC), καθώς η υλοποίηση του ADC διαδοχικής προσέγγισης εμπεριέχει έναν DAC [3].



Σχήμα 3.1: DAC και ADC [3]

3.1.1 Ιδανικός DAC

Σκοπός ενός DAC είναι η μετάφραση μιας ψηφιακής λέξης N -bit (B_{in}) σε μια τιμή τάσης (V_{out}) σύμφωνα με μια τάση αναφοράς (V_{ref}) ως εξής:

$$V_{out} = V_{ref} B_{in} = V_{ref} (b_1 2^{-1} + \dots + b_N 2^{-N}) \quad (3.1)$$

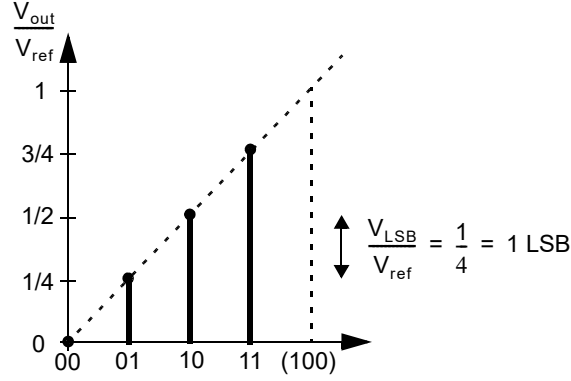
όπου b_k να είναι το k -οστό bit της ψηφιακής λέξης.

Εύκολα γίνεται αντιληπτό πως η έξοδος λαμβάνει κάποιες συγκεκριμένες τιμές και όχι τις ενδιάμεσες από αυτές. Πιο συγκεκριμένα, ένας N -bit DAC μπορεί να παράξει 2^N διαφορετικές στάθμες. Η κάθε στάθμη απέχει από την προηγούμενη και την επόμενη κατά V_{LSB} , όπου:

$$V_{LSB} = \frac{V_{ref}}{2^N} \quad (3.2)$$

Αρκετά χρήσιμο, όπως θα φανεί παρακάτω, είναι ο ορισμός των Μονάδων LSB:

$$1LSB = \frac{1}{2^N} \quad (3.3)$$



Σχήμα 3.2: Είσοδος-έξοδος ιδανικού 2-bit DAC [3]

Στο σχήμα 3.2 φαίνεται η σχέση εισόδου-εξόδου ενός ιδανικού 2-bit DAC. Αντίστοιχα, μπορεί να σχεδιαστεί το ανάλογο γράφημα για οποιονδήποτε N -bit DAC. Επίσης, αξίζει να σημειωθεί ότι η μέγιστη τιμή που λαμβάνει η έξοδος δεν ισούται με V_{ref} αλλά με $V_{ref} - V_{LSB}$.

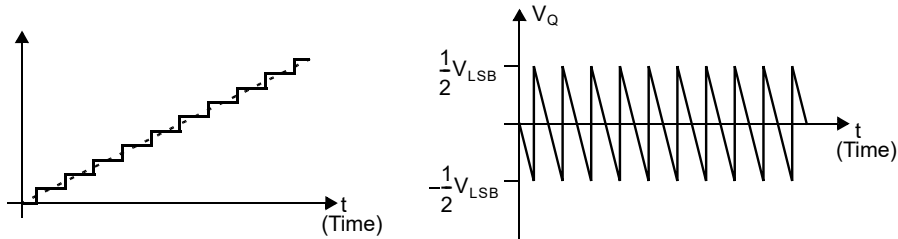
3.1.2 Ιδανικός ADC

Ένας ADC λαμβάνει στην είσοδο του ένα αναλογικό σήμα (V_{in}) και το μετατρέπει σε ψηφιακή λέξη των N -bit (B_{out}) σύμφωνα με μια τάση αναφοράς (V_{ref}) ως εξής:

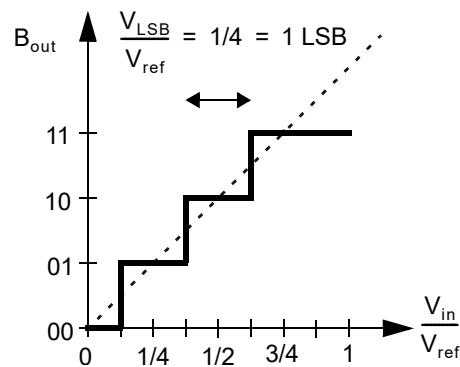
$$V_{ref}B_{out} = V_{ref}(b_12^{-1} + \dots + b_N2^{-N}) = V_{in} \pm V_x \quad (3.4)$$

όπου b_k να είναι το k -οστό bit της ψηφιακής λέξης και $-\frac{1}{2}V_{LSB} \leq V_x < \frac{1}{2}V_{LSB}$.

Από την εξίσωση 3.4 διακρίνεται ότι ακόμα και ένας ιδανικός ADC κβαντίζει το σήμα εισόδου σε 2^N τιμές. Οπότε, δύο διαφορετικές εισοδοι μπορεί να προκαλούν την ίδια ψηφιακή έξοδο. Αν ένας ιδανικός ADC τροφοδοτεί με την έξοδό του την είσοδο ενός ιδανικού DAC, τότε το σήμα που παράγεται θα διαφέρει από το αρχικό. Αυτή η διαφορά μπορεί να μοντελοποιηθεί ως θόρυβος, τον Θόρυβο Κβάντισης.



Σχήμα 3.3: Θόρυβος κβάντισης [3]

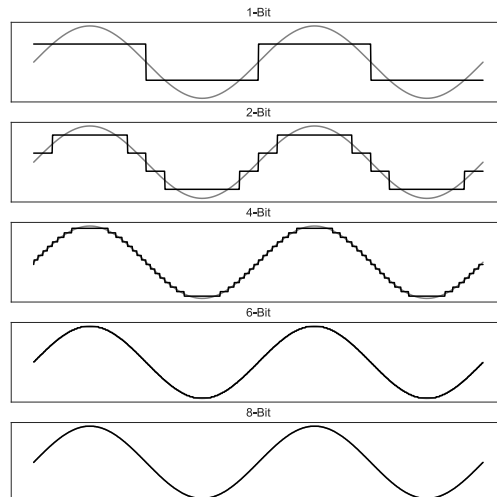


Σχήμα 3.4: Είσοδος-έξοδος ιδανικού 2-bit ADC [3]

Τέλος, πρέπει να σημειωθεί πως η είσοδος ενός N -bit ADC πρέπει να λαμβάνει τις τιμές από $-\frac{1}{2}V_{LSB}$ μέχρι $V_{ref} - \frac{1}{2}V_{LSB}$. Σε κάθε άλλη περίπτωση, ο ADC θεωρείται υπερφορτωμένος και λαμβάνει την ελάχιστη ή την μέγιστη τιμή ανάλογα αν η είσοδος έχει ξεπεράσει το κάτω ή το άνω όριο, αντίστοιχα.

Ανάλυση

Όπως αναφέρθηκε και προηγουμένως, ένας DAC δέχεται ως είσοδο και ένας ADC παράγει ως έξοδο μια ψηφιακή λέξη N -bit. Ο αριθμός N αποτελεί την ανάλυση του μετατροπέα και αποτελεί ένα μέτρο της διακριτικής του ικανότητας, καθώς ο αριθμός των διακριτών επιπέδων που μπορούν να αναπαραστηθούν ισούνται με 2^N . Στο σχήμα 3.5 φαίνονται τα επίπεδα της κβάντισης ενός ημιτονοειδούς σήματος για διάφορες τιμές του N .



Σχήμα 3.5: Κβάντιση σήματος

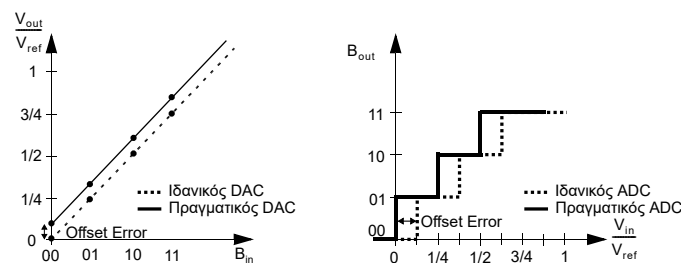
3.1.3 Στατικά Μέτρα Επίδοσης

Μια κατηγορία κριτηρίων επίδοσης είναι τα στατικά. Σε αυτά εμπεριέχονται το Offset Error, το Gain Error και τα σφάλματα λόγω μη γραμμικότητας, δηλαδή τα Integral Nonlinearity (INL) Error και Differential Nonlinearity (DNL) Error. Τα σφάλματα αυτά μετριοούνται όταν οι μετατροπείς έχουν στην είσοδό τους σήματα χαμηλών συχνοτήτων και εκφράζονται σε μονάδες LSB.

Offset Error

Για έναν DAC, το Offset Error ορίζεται ως η απόκλιση μεταξύ της ιδανικής και της πραγματικής εξόδου όταν η ψηφιακή είσοδος τίθεται στη μηδενική λέξη.

Για έναν ADC, ορίζεται ως η διαφορά του σημείου της πρώτης μετάβασης (από το δυαδικό 0 στο δυαδικό 1) μεταξύ του ιδανικού και του πραγματικού μετατροπέα.



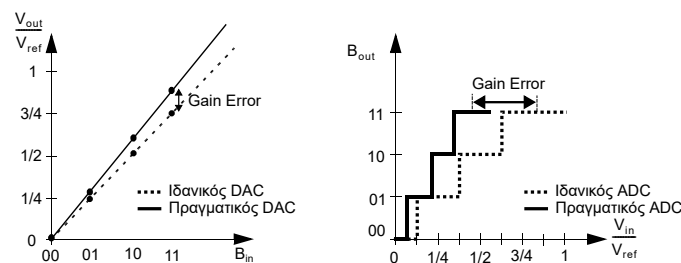
Σχήμα 3.6: Offset Error DAC και ADC

Gain Error

Για να μετρηθεί το Gain Error πρέπει πρώτα να έχει αφαιρεθεί το Offset Error.

Για έναν DAC, το Gain Error ισούται με την διαφορά της τάσης εξόδου, μεταξύ του πραγματικού και του ιδανικού συστήματος, όταν τεθεί η μεγαλύτερη δυνατή ψηφιακή είσοδος.

Για έναν ADC, το Gain Error ορίζεται ως η απόκλιση της τάσης εισόδου, του πραγματικού από του ιδανικού μετατροπέα, που απαιτείται ώστε η έξοδος να οδηγηθεί στο μέσο της μέγιστης τιμής του.



Σχήμα 3.7: Gain Error DAC και ADC

Μόλις αφαιρεθούν τα Offset και Gain Error, μπορούν να μετρηθούν τα σφάλματα λόγω μη γραμμικότητας DNL και INL.

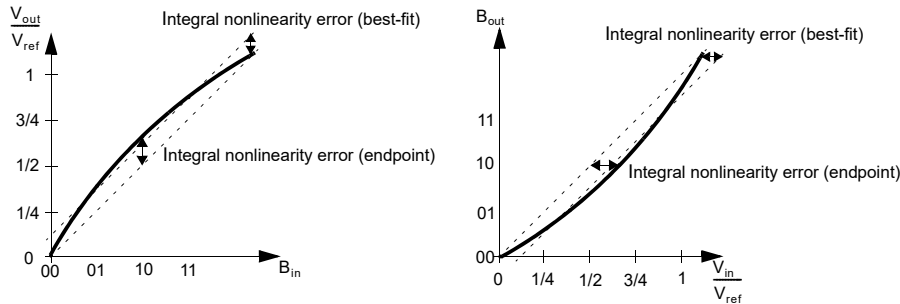
Differential Nonlinearity (DNL) Error

Το DNL Error εκφράζει, τόσο σε έναν DAC όσο και σε έναν ADC, την παρέκκλιση του πλάτους κάθε στάθμης από το ιδανικό πλάτος το οποίο ισούται με 1 LSB. Αναλυτικότερα, ο τύπος 3.5 δίνει το DNL κάθε βήματος σε μονάδες LSB.

$$DNL[i] = \frac{V[i] - V[i-1]}{V_{LSB}} - 1 \quad (3.5)$$

Integral Nonlinearity (INL) Error

Το INL Error δείχνει την μέγιστη απόσταση της συνάρτησης μεταφοράς ενός DAC ή ενός ADC από την ευθεία της ιδανικής συνάρτησης μεταφοράς. Το σφάλμα αυτό μπορεί να υπολογιστεί με διάφορους τρόπους. Ένας από αυτούς είναι να χρησιμοποιηθεί το συσσωρευτικό άθροισμα του DNL, δηλαδή $INL = \sum_i DNL[i]$. Ο δεύτερος αποτελεί την διαφορά της συνάρτησης μεταφοράς από την ευθεία που συνδέει την ελάχιστη και τη μέγιστη τιμή του ιδανικού μετατροπέα. Τέλος, ο τρίτος είναι το ίδιο με προηγουμένως αλλά χρησιμοποιώντας ως ευθεία την best-fit σε αυτή του πραγματικού συστήματος.



Σχήμα 3.8: INL Error DAC και ADC [3]

Μονοτονία και Χαμένοι Κωδικοί

Ένας DAC ονομάζεται μονότονος όταν η έξοδος του αυξάνεται με την αύξηση της εισόδου, σε κάθε άλλη περίπτωση θεωρείται μη μονότονος. Αντίστοιχα, ένας ADC έχει χαμένους κωδικούς όταν με αύξηση της εισόδου, η έξοδος μεταβαίνει από την μια βαθμίδα σε μια μεγαλύτερη και όχι στην ακριβώς επόμενη. Έγγυση, ότι ο μετατροπέας είναι μονότονος ή ότι δεν έχει χαμένους κωδικούς, υπάρχει είτε όταν το DNL Error του είναι μικρότερο από 1 LSB είτε το INL Error του είναι μικρότερο από 0.5 LSB.

3.1.4 Δυναμικά Μέτρα Επίδοσης

Η δεύτερη κατηγορία κριτηρίων επίδοσης είναι τα δυναμικά, τα οποία περιγράφουν την συμπεριφορά ενός μετατροπέα καθώς στην είσοδό του εφαρμόζονται σήματα υψηλότερης συχνότητας. Στις μετρικές αυτές συγκαταλέγονται το Signal-to-Noise Ratio (SNR), το Signal-to-Noise and Distortion Ratio (SNDR ή SINAD), το Effective Number of Bits (ENOB) και το Spurious Free Dynamic Range (SFDR) [8].

Signal-to-Noise Ratio (SNR)

Το SNR αποτελεί τον λόγο της ισχύος του σήματος εξόδου προς την ισχύ του θορύβου.

$$SNR = 10 \log \left(\frac{P_{signal}}{P_{noise}} \right) [dB] \quad (3.6)$$

Signal-to-Noise and Distortion Ratio (SNDR ή SINAD)

Το SINAD είναι παρόμοια μετρική με το SNR αλλά λαμβάνει υπόψη τον και την παραμόρφωση που προκαλείται από έναν μη ιδανικό μετατροπέα. Δίνεται από τον τύπο:

$$SINAD = 10 \log \left(\frac{\text{Power of 1st harmonic}}{\text{Power of all unwanted components}} \right) [dB] \quad (3.7)$$

Όπως έχει αναφερθεί, ακόμα και ένας ιδανικός ADC προσθέτει θόρυβο, τον θόρυβο Κβάντισης. Η ισχύς αυτού του θορύβου ισούται με $V_{LSB}/\sqrt{12}$ καθώς η πυκνότητα ισχύος του είναι ομοιόμορφα κατανομημένη στο διάστημα $\pm V_{LSB}/2$. Συνεπώς, αν ένας N -bit ADC δέχεται στην είσοδό του ένα ημιτονοειδές σήμα μεγίστου πλάτους τότε το μέγιστο SINAD που μπορεί να πετύχει ισούται με:

$$SINAD = 6.02N + 1.76 [dB] \quad (3.8)$$

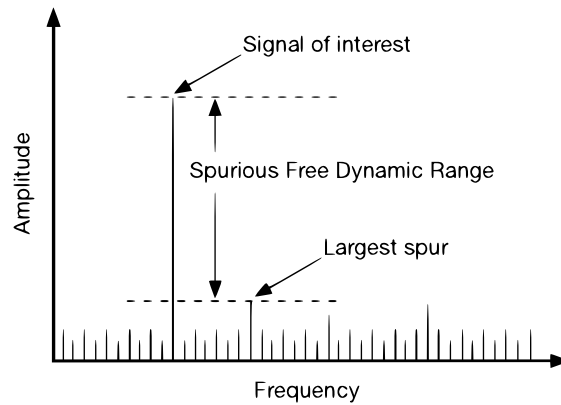
Effective Number of Bits (ENOB)

Ένα πιο εύχρηστο μέτρο σύγκρισης ADC είναι το ENOB. Αυτή η μετρική δείχνει τον αριθμό των bit για τα οποία ένας πραγματικός μετατροπέας λειτουργεί σαν ιδανικός και προκύπτει από τον τύπο 3.8:

$$ENOB = \frac{SINAD - 1.76}{6.02} [bits] \quad (3.9)$$

Spurious Free Dynamic Range (SFDR)

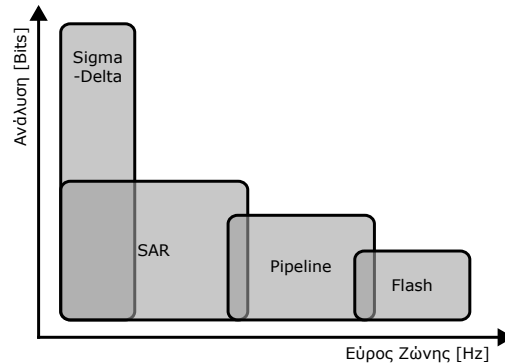
Το SFDR εκφράζει την απόσταση μεταξύ του σήματος και της ισχυρότερης ανεπιθύμητης συνιστώσας και μετρείται μέσω του FFT.



Σχήμα 3.9: Spurious Free Dynamic Range [9]

3.2 Αρχιτεκτονικές Μετατροπέων A/D

Υπάρχουν διάφορα είδη μετατροπέων A/D, με τον καθένα να ακολουθεί μια διαφορετική διαδικασία για να πετύχει την μετατροπή. Ανάλογα με τον τρόπο λειτουργίας του, ένας μετατροπέας μπορεί να διαφέρει από έναν άλλον σε πολλά σημεία, όπως είναι η ανάλυση, το εύρος συχνότητας λειτουργίας, η ταχύτητα, η ακρίβεια, η κατανάλωση ισχύος και άλλα. Οι αρχιτεκτονικές που έχουν επικρατήσει είναι οι Flash, Pipelined, SAR και Sigma-Delta [10].



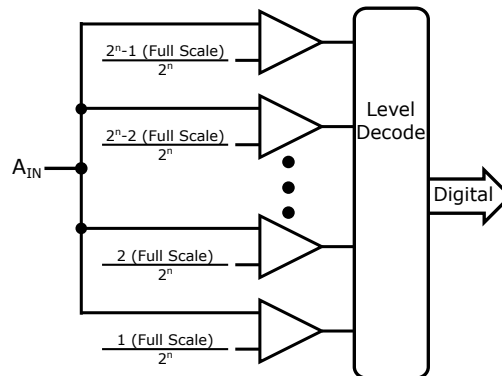
Σχήμα 3.10: Αρχιτεκτονικές ADC

Flash ADC

Οι Flash ADC είναι σχετικά απλοί στην δομή τους. Ένας N -bit μετατροπέας αποτελείται από $2^N - 1$ παράλληλους συγκριτές. Ο κάθε συγκριτής αποφασίζει αν το σήμα εισόδου είναι μικρότερο ή μεγαλύτερο από μια στάθμη. Η κάθε στάθμη απέχει από αυτή του προηγούμενου συγκριτή και από αυτή του επόμενου κατά 1 LSB. Η έξοδος των συγκριτών είναι σε κώδικα θερμομέτρου, ο οποίος θα αναλυθεί

σε παρακάτω κεφάλαιο. Τέλος, υπάρχει ένας αποκωδικοποιητής που μεταφράζει τον κώδικα αυτόν σε δυαδική μορφή.

Αυτή η αρχιτεκτονική προσφέρει μεγάλη ταχύτητα καθώς απαιτείται μόνο ένας κύκλος ρολογίου για να πραγματοποιηθεί η μετατροπή. Όμως, το αρνητικό βρίσκεται στο γεγονός ότι το πλήθος των συγκριτών αυξάνει εκθετικά με την ανάλυση του ADC. Αυτό έχει ως αποτέλεσμα να απαιτείται μεγάλη επιφάνεια στο ολοκληρωμένο, να υπάρχει μειωμένη γραμμικότητα, αν οι συγκριτές δεν είναι καλά ταιριασμένοι, και να έχει μεγάλη κατανάλωση.

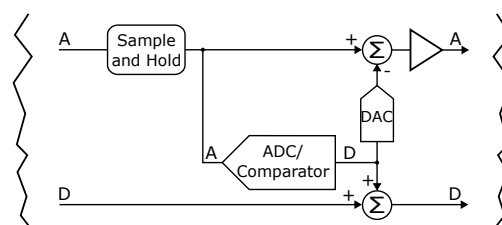


Σχήμα 3.11: Flash ADC

Pipelined ADC

Ένας Pipelined ADC σπάει την διαδικασία της μετατροπής σε P στάδια. Σε κάθε στάδιο υπάρχει ένας M -bit Flash ADC, ο οποίος παράγει ένα μέρος της N -bit ψηφιακής λέξης. Έπειτα, ένας DAC λαμβάνει ως είσοδο τα M -bit και παράγει το αντίστοιχο αναλογικό σήμα. Τέλος, αυτό το σήμα αφαιρείται από την αρχική είσοδο, ενισχύεται και προωθείται στο επόμενο στάδιο. Γίνεται εύκολα αντιληπτό πως ισχύει $N = PM$.

Οι Pipelined ADC παράγουν ένα δεδομένο κάθε P κύκλους ρολογιού. Όμως, λόγω της αρχής της διοχέτευσης (pipeline) που τα χαρακτηρίζει, είναι σε θέση να δίνουν στην έξοδό τους αποτελέσματα σε κάθε κύκλο αλλά με καθυστέρηση (latency) P κύκλων.

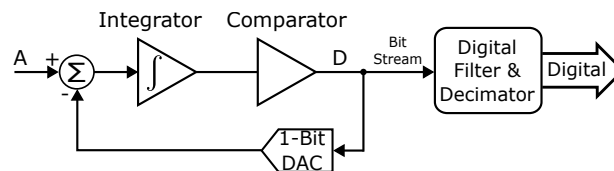


Σχήμα 3.12: Στάδιο ενός Pipelined ADC

Delta-Sigma ADC

Στην πιο απλή μορφή του, ένας Delta-Sigma ADC αποτελείται από έναν ολοκληρωτή, έναν συγκριτή και έναν 1-bit DAC. Σε έναν κύκλο ρολογιού, η έξοδος του DAC αφαιρείται από την αρχική είσοδο. Το σήμα που δημιουργείται ολοκληρώνεται και μετατρέπεται σε λογικό 0 ή 1 μέσω του συγκριτή. Αυτού του είδους ο μετατροπέας κατηγοριοποιείται στους μετατροπείς υπερδειγματοληψίας, καθώς αυτή η διαδικασία επαναλαμβάνεται με πολύ υψηλό ρυθμό. Η τελική έξοδος του προκύπτει από την πυκνότητα των λογικών 0 και 1 που παράγονται από τον συγκριτή.

Το μεγαλύτερο πλεονέκτημα των Delta-Sigma ADCs είναι το γεγονός ότι πραγματοποιούν διαμόρφωση θορύβου (noise shaping). Με άλλα λόγια, σπρώχνουν τον χαμηλόσυχο θόρυβο υψηλότερα στο φάσμα, εκτός των συχνοτήτων ενδιαφέροντος. Το αρνητικό τους είναι ότι δεν μπορούν να έχουν μεγάλο εύρος συχνότητας λειτουργίας, διότι κάτι τέτοιο θα απαιτούσε ένα πολύ υψηλό ρολόι.



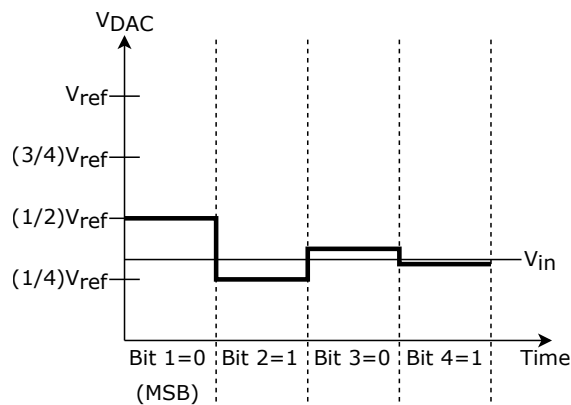
Σχήμα 3.13: Delta-Sigma ADC

3.3 Μετατροπέας Διαδοχικής Προσέγγισης (SAR ADC)

Οι SAR ADCs αποτελούν μια πολύ καλή λύση για διάφορες εφαρμογές καθώς προσπαθούν να εξισορροπήσουν τα αντικρουόμενα χαρακτηριστικά των ADCs. Πιο συγκεκριμένα, υστερώντας λίγο στην ταχύτητα μετατροπής, μπορούν να προσφέρουν υψηλή ακρίβεια και μέτρια ανάλυση, έχοντας πολύ χαμηλή κατανάλωση.

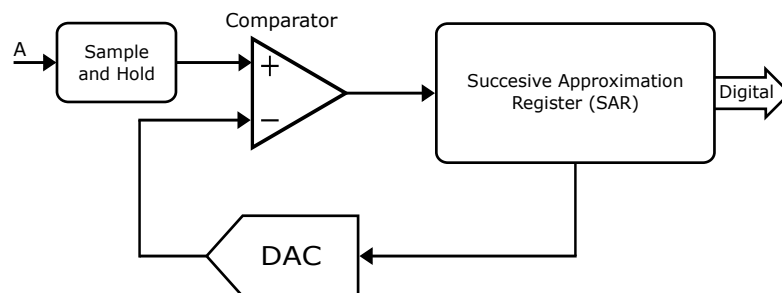
Τέτοιου είδους μετατροπείς χρησιμοποιούν τον αλγόριθμο της δυαδικής αναζήτησης (binary search) ώστε να επιτύχουν την μετατροπή. Ένας SAR ADC των N -bit, αναζητάει και κατασκευάζει βήμα-βήμα την ψηφιακή λέξη η οποία περιγράφει καλύτερα την τάση εισόδου. Για να ολοκληρωθεί αυτή η διαδικασία απαιτούνται τουλάχιστον N κύκλοι ρολογιού.

Αναλυτικότερα, κατά τον πρώτο κύκλο της μετατροπής, παράγεται μια τάση με τιμή ίση με το $\frac{1}{2}V_{ref}$ που συγκρίνεται με το σήμα της εισόδου. Το αποτέλεσμα αυτής της σύγκρισης καθορίζει το πιο σημαντικό ψηφίο (MSB). Αν η είσοδος είναι μικρότερη, το MSB τίθεται στο λογικό 0, ενώ, αν είναι μεγαλύτερη στο λογικό 1. Έπειτα, η διαδικασία επαναλαμβάνεται για το επόμενο πιο σημαντικό ψηφίο, παράγοντας τάση ίση με το $1/2$, αν το MSB έχει τεθεί στο λογικό 1, συν $1/4$ της V_{ref} . Η επανάληψη αυτή πραγματοποιείται ωσότου έχουν ορισθεί και τα N ψηφία. Στο σχήμα 3.14 φαίνεται πως ένας 4-bit SAR ADC αυξομειώνει την εσωτερική του τάση για να εντοπίσει την τάση εισόδου.



Σχήμα 3.14: Παράδειγμα δυαδικής αναζήτησης

Από κυκλωματικής άποψης, ένας SAR ADC αποτελείται από τέσσερα υποσυστήματα, τα οποία θα αναφερθούν εδώ περιληπτικά αλλά θα επεξηγηθούν εκτενέστερα στα επόμενα κεφάλαια. Το πρώτο είναι το σύστημα δειγματοληψίας και συγκράτησης, το οποίο είναι υπεύθυνο να δειγματοληπτεί και να κρατάει σταθερό ένα στιγμιότυπο της εισόδου μέχρι να ολοκληρωθεί η διαδικασία της μετατροπής. Το επόμενο κύκλωμα είναι ο συγκριτής που είναι υπεύθυνος να αντιλαμβάνεται ποιά από τις δύο τάσεις, η είσοδος ή η εσωτερική, είναι μεγαλύτερη. Ο καταχωρητής διαδοχικής προσέγγισης αποτελεί το τρίτο σύστημα και η λειτουργία του είναι να θέτει σε λογικό 0 ή 1 τους καταχωρητές της ψηφιακής λέξης ανάλογα με το αποτέλεσμα της σύγκρισης. Τελευταίο υποκύκλωμα είναι ο DAC που παράγει την εσωτερική τάση σύμφωνα με την κατάσταση του καταχωρητή διαδοχικής προσέγγισης.



Σχήμα 3.15: SAR ADC

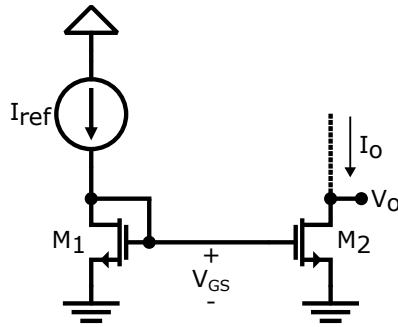
Κεφάλαιο 4

Βοηθητικά Κυκλώματα

4.1 Καθρέφτες Ρεύματος

4.1.1 Απλοί

Οι καθρέφτες ρεύματος [2],[3] αποτελούν μία από τις πιο σημαντικές διατάξεις, καθώς με τη βοήθειά τους μπορούν να υλοποιηθούν πολλές διαφορετικές λειτουργίες. Ένας τέτοιος καθρέφτης, στην πιο απλή μορφή του, φαίνεται στην παρακάτω εικόνα.



Σχήμα 4.1: Απλός καθρέφτης ρεύματος

Το τρανζίστορ M_1 είναι συνδεδεμένο δυοδικά, δηλαδή η υποδοχή και η πύλη του είναι βραχυκυκλωμένα. Αυτό έχει ως αποτέλεσμα, το τρανζίστορ να βρίσκεται σε αναστροφή, στην περίπτωση αυτής της εργασίας στην ασθενή. Από την εξίσωση 2.10 προκύπτει ότι:

$$I_{ref} = I_{D1} \approx \left(\frac{W}{L}\right)_1 I_{D0} e^{\frac{V_{GS}-V_{th}}{nV_T}} \quad (4.1)$$

Το τρανζίστορ M_2 έχει την ίδια τάση V_{GS} με αυτή του M_1 . Οπότε:

$$I_o = I_{D2} \approx \left(\frac{W}{L}\right)_2 I_{D0} e^{\frac{V_{GS}-V_{th}}{nV_T}} \quad (4.2)$$

Συνεπώς, προκύπτει ότι:

$$\frac{I_o}{I_{ref}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (4.3)$$

Με άλλα λόγια, ένας καθρέφτης ρεύματος έχει την ικανότητα να αντιγράφει, σε διάφορες αναλογίες, το ρεύμα ενός κλάδου σε έναν άλλον. Όμως, για να ισχύει αυτό, το τρανζίστορ M_2 πρέπει να λειτουργεί στην ασθενή αναστροφή. Αυτό συμβαίνει αν και μόνο αν:

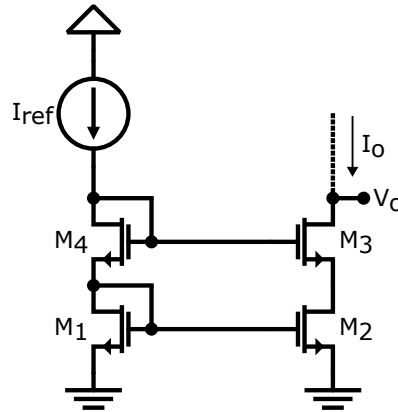
$$V_o \geq 3V_T \quad (4.4)$$

Το θέμα σε αυτή την διάταξη είναι η σχετικά μικρή αντίσταση εξόδου, r_{ds} , η οποία μειώνει αρκετά την ακρίβεια του καθρεφτισμού. Αυτό το πρόβλημα λύνεται με την χρήση κασκοδικών καθρεφτών ρεύματος.

4.1.2 Κασκοδικοί

Οι κασκοδικοί καθρέφτες εμφανίζουν αντίσταση εξόδου ίση με $g_{m3}r_{ds3}r_{ds2}$, πράγμα που επιτρέπει μεγαλύτερη ακρίβεια στην αντιγραφή. Παρ' όλα αυτά, ο καθρέφτης αυτός δεν είναι ιδανικός όταν η τροφοδοσία είναι χαμηλή, διότι απαιτείται υψηλή τάση στην έξοδο. Πιο συγκεκριμένα, η τάση στην πύλη του τρανζίστορ M_3 ισούται με $2V_{GS}$. Οπότε, για την έξοδο πρέπει να ισχύει:

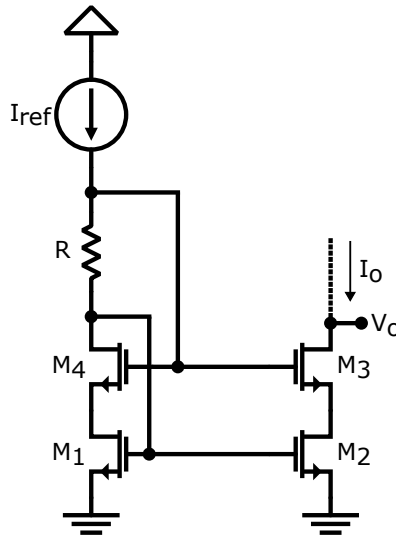
$$V_o \geq V_{GS} + 3V_T \approx V_{th} + 3V_T \quad (4.5)$$



Σχήμα 4.2: Κασκοδικός καθρέφτης ρεύματος

4.1.3 Μεγάλης Ταλάντευσης

Το πρόβλημα των κασκοδικών καθρεφτών λύνεται με τη χρήση καθρεφτών μεγάλης ταλάντευσης. Η βασική ιδέα είναι να πολωθούν τα τρανζίστορ M_1 και M_2 με τέτοιον τρόπο ώστε να βρίσκονται στα όρια της περιοχής αναστροφής.



Σχήμα 4.3: Καθρέφτης ρεύματος μεγάλης ταλάντευσης

Με την παραπάνω συνδεσμολογία, αν η τιμή της αντίστασης ισούται με $R = \frac{3V_T}{I_{ref}}$, η τάση V_{DS1} θα είναι ίση με $3V_T$ και ως αποτέλεσμα, για την τάση εξόδου θα πρέπει να ισχύει:

$$V_o \geq 2 \cdot 3V_T = 6V_T \quad (4.6)$$

4.2 Τελεστικός Ενισχυτής

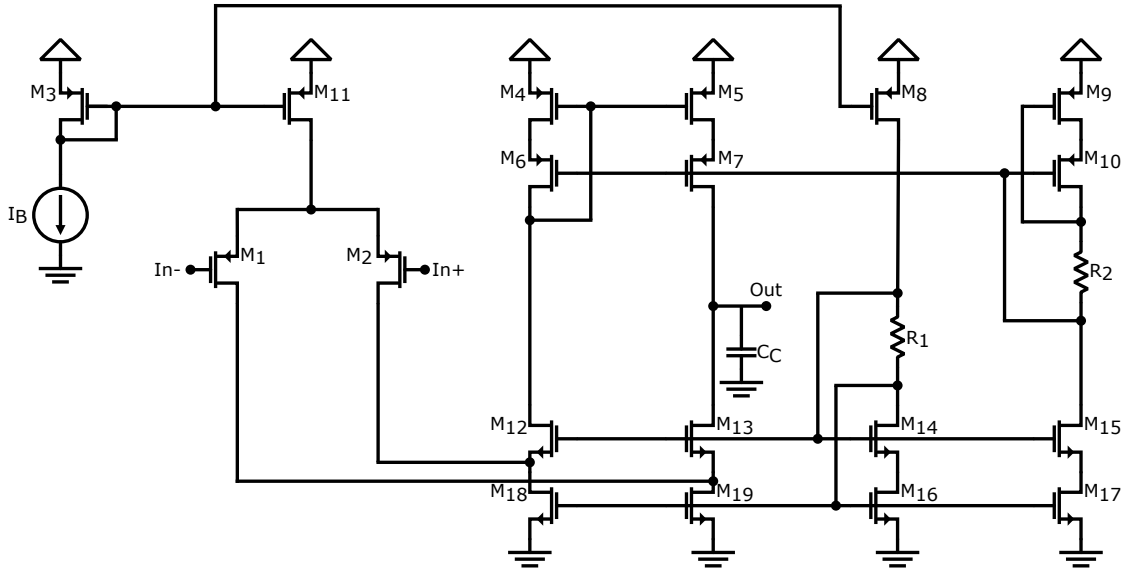
Σε πολλά σημεία της εργασίας χρειάζεται η χρήση τελεστικού ενισχυτή. Από την στιγμή που απαιτείται η οδήγηση τόσο χωρητικών όσο και ωμικών φορτίων, σχεδιάστηκαν δύο τελεστικοί ενισχυτές.

Για τα χωρητικά φορτία, χρησιμοποιείται ένας τελεστικός ενισχυτής διαγωγιμότητας (Operational Transconductance Amplifier - OTA) και πιο συγκεκριμένα ένας Folded Cascode OTA [3]. Οι ενισχυτές που δεν οδηγούν ωμικό φορτίο δεν χρειάζονται απομονωτή τάσης στην έξοδο τους για να πετύχουν μικρή αντίσταση εξόδου. Κατά συνέπεια, μπορούν να σχεδιαστούν κυκλώματα ενός σταδίου που όλοι οι κόμβοι τους, εκτός από αυτόν της εξόδου, χαρακτηρίζονται από μικρή αντίσταση τάξης μεγέθους ίση με το ανάστροφο της διαγωγιμότητας των τρανζίστορς. Αυτό τους επιτρέπει να έχουν μεγαλύτερες ταχύτητες και ταλαντεύσεις στην έξοδο τους. Ακόμη, ο Folded Cascode OTA αποτελεί ιδανική λύση όταν η τροφοδοσία του συστήματος είναι αρκετά χαμηλή, όπως συμβαίνει στην περίπτωση αυτής της εργασίας.

Για τα ωμικά φορτία, σχεδιάστηκε ένα δισταδιακό κύκλωμα με πρώτο στάδιο έναν Folded Cascode OTA και δεύτερο στάδιο έναν Common Source ενισχυτή. Ο Common Source ενισχυτής είναι σχεδιασμένος να έχει αρκετά μεγάλη ικανότητα οδήγησης για να αντιμετωπίσει τα ωμικά φορτία.

Παρακάτω παρουσιάζονται τόσο τα σχηματικά των δύο κυκλωμάτων όσο και τα μεγέθη των βασικών στοιχείων που χρησιμοποιήθηκαν. Στην υπόλοιπη εργασία, ο πρώτος ενισχυτής θα αναφέρεται ως AMP1 ενώ ο δεύτερος ως AMP2.

4.2.1 Τελεστικός Ενισχυτής AMP1



Σχήμα 4.4: Folded Cascode OTA (AMP1)

nMOS			pMOS			Παθητικά Στοιχεία	
	W/L [μm]	f/m		W/L [μm]	f/m		
$M_{12} - M_{17}$	0.4/0.8	2/1	$M_1 - M_2$	1.6/0.8	16/2	R_1	1M
$M_{18} - M_{19}$	0.4/0.8	2/2	$M_3 - M_{10}$	0.4/0.8	4/2	R_2	1M
-	-	-	M_{11}	0.4/0.8	4/4	C_C	0.2p

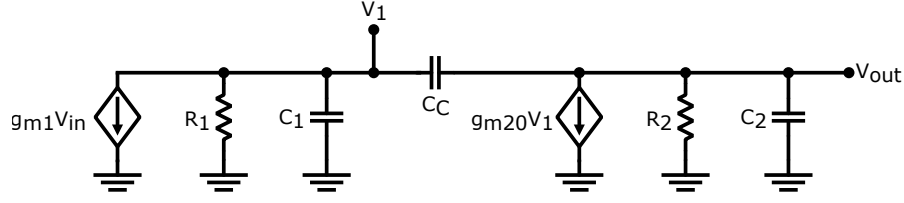
Πίνακας 4.1: Μεγέθη στοιχείων AMP1 ($I_B = 100nA$)

Ο κυρίαρχος πόλος του ενισχυτή προκύπτει από το χωρητικό φορτίο. Στο παραπάνω κύκλωμα, η χωρητικότητα αυτή αποτελείται από τον πυκνωτή C_C ο οποίος τοποθετήθηκε για αντιστάθμιση. Στις χαμηλές συχνότητες, το κέρδος του ενισχυτή ισούται με:

$$A_v = \frac{g_{m1}r_{out}}{1 + sC_C r_{out}} \quad (4.7)$$

όπου $r_{out} = g_{m7}r_{ds7}r_{ds5} || g_{m13}r_{ds13}(r_{ds1} || r_{ds19})$.

συνδέονται με τον πυκνωτή αντιστάθμισης και εν τελει πραγματοποιείται μια ανάλυση δεύτερης τάξης.



Σχήμα 4.6: Ανάλυση μικρού σήματος

Με:

$$R_1 = g_{m7} r_{ds7} r_{ds5} || g_{m13} r_{ds13} (r_{ds1} || r_{ds19})$$

$$C_1 = C_{ds7} + C_{ds13} + C_{gs20}$$

$$R_2 = g_{m21} r_{ds21} r_{ds22} || r_{ds20} \approx r_{ds20}$$

$$C_2 = C_{ds20} + C_{ds21} + C_L$$

Μέθοδος Κόμβων:

$$\begin{bmatrix} \frac{1}{R_1} + sC_1 + sC_C & -sC_C \\ -sC_C & \frac{1}{R_2} + sC_2 + sC_C \end{bmatrix} \begin{bmatrix} V_1 \\ V_{out} \end{bmatrix} = \begin{bmatrix} -g_{m1} V_{in} \\ -g_{m20} V_1 \end{bmatrix} \Rightarrow$$

$$\begin{bmatrix} \frac{1}{R_1} + sC_1 + sC_C & -sC_C \\ g_{m20} - sC_C & \frac{1}{R_2} + sC_2 + sC_C \end{bmatrix} \begin{bmatrix} V_1 \\ V_{out} \end{bmatrix} = \begin{bmatrix} -g_{m1} V_{in} \\ 0 \end{bmatrix}$$

Οπότε, προκύπτει:

$$V_{out} = \frac{\begin{vmatrix} \frac{1}{R_1} + sC_1 + sC_C & -g_{m1} V_{in} \\ g_{m20} - sC_C & 0 \end{vmatrix}}{\begin{vmatrix} \frac{1}{R_1} + sC_1 + sC_C & -sC_C \\ g_{m20} - sC_C & \frac{1}{R_2} + sC_2 + sC_C \end{vmatrix}} \Rightarrow$$

$$\frac{V_{out}}{V_{in}} = \frac{R_1 R_2 g_{m1} g_{m20} \left(1 - \frac{sC_C}{g_{m20}}\right)}{1 + sa + s^2 b} \quad (4.10)$$

όπου

$$a = c_1 R_1 + C_2 R_2 + C_C R_1 + C_C R_2 + C_C R_1 R_2 g_{m20}$$

$$b = C_1 C_2 R_1 R_2 + C_1 C_C R_1 R_2 + C_2 C_C R_1 R_2$$

Ο κυρίαρχος πόλος ισούται με:

$$\begin{aligned}\omega_{p1} &= \frac{1}{R_1[C_1 + C_C(1 + R_2g_{m20})] + R_2(C_2 + C_C)} \\ &\approx \frac{1}{R_1C_C(1 + R_2g_{m20})} \approx \frac{1}{R_1R_2C_Cg_{m20}}\end{aligned}\quad (4.11)$$

Ο δευτερεύον πόλος με:

$$\begin{aligned}\omega_{p2} &= \frac{g_{m20}C_C}{C_1C_2 + C_1C_C + C_2C_C} \\ &\approx \frac{g_{m20}}{C_1 + C_2}\end{aligned}\quad (4.12)$$

Ενώ, υπάρχει και ένα μηδενικό στο δεξί μιγαδικό επίπεδο:

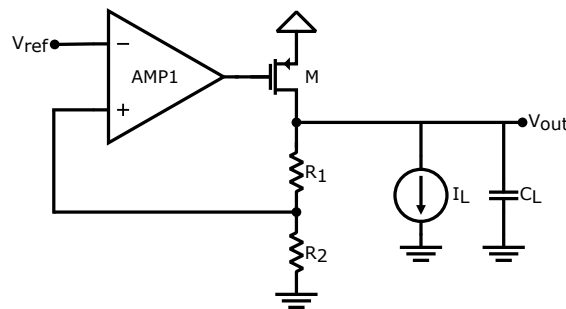
$$\omega_z = \frac{-g_{m20}}{C_C}\quad (4.13)$$

4.3 Σταθεροποιητής Χαμηλής Πτώσης Τάσεως

Για την τροφοδοσία του DAC χρειάζεται, εκτός των άλλων, και ένας Σταθεροποιητής Χαμηλής Πτώσης Τάσεως (Low Dropout Voltage Regulator - LDO). Ένας LDO είναι υπεύθυνος να παρέχει μια αρκετά σταθερή DC τάση σε ένα υποσύστημα, ενώ αυτός τροφοδοτείται από μία υψηλότερη και πιο θορυβώδης DC τάση.

4.3.1 Τάση Εξόδου και Κέρδος Ανάδρασης

Γενικά, ένας LDO χρησιμοποιεί ανάδραση ώστε να διατηρεί την τάση εξόδου ίση με ένα κλάσμα μίας τάσης αναφοράς. Παρακάτω φαίνεται η αρχιτεκτονική ενός LDO που χρησιμοποιεί ένα pMOS ως pass device [3].



Σχήμα 4.7: Σταθεροποιητής Χαμηλής Πτώσης Τάσεως

Η έξοδος δίνεται από την σχέση:

$$V_{out} = V_{ref} \left(1 + \frac{R_1}{R_2} \right) \quad (4.14)$$

Το κέρδος ανάδρασης ισούται με:

$$L(s) = \frac{A_{EA}(s)g_m R_{out}}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \cdot \frac{R_2}{R_1 + R_2} \quad (4.15)$$

όπου:

$$\omega_{p1} = -\frac{1}{R_{EA}C_1}$$

$$C_1 = C_{gs} + C_{EA} \approx C_{EA}$$

$$\omega_{p2} = -\frac{1}{R_{out}C_L}$$

$$R_{out} = (R_1 + R_2) || r_{ds} || R_L$$

Τα R_{EA} και C_{EA} αποτελούν την αντίσταση εξόδου και την χωρητικότητα στον κόμβο της εξόδου του τελεστικού ενισχυτή, αντίστοιχα. Επίσης, το $A_{EA}(s)$ είναι το κέρδος του ενισχυτή.

4.3.2 Power Supply Rejection Ratio (PSRR)

Το PSRR αποτελεί μια μετρική που περιγράφει την ικανότητα του LDO να απορρίπτει τη κυμάτωση (θόρυβο) της τροφοδοσίας. Ορίζεται ως εξής:

$$PSRR = 20 \log \left(\frac{V_{in}}{V_{out}} \right) [dB] \quad (4.16)$$

όπου V_{in} είναι το σήμα της κυμάτωσης του τροφοδοτικού.

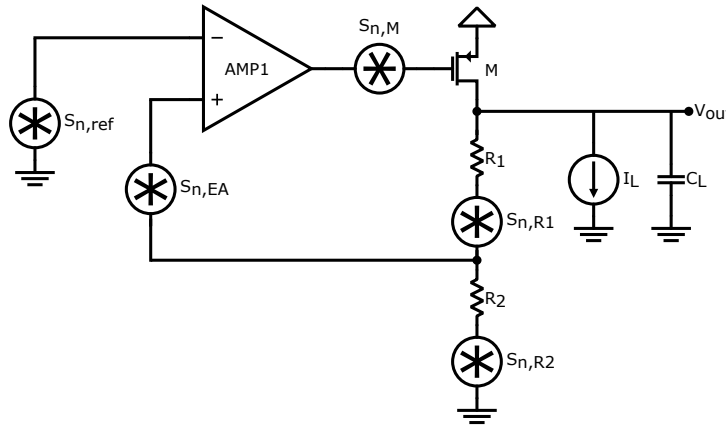
Η συχνотική συμπεριφορά του PSRR μπορεί να χωριστεί σε τρεις περιοχές. Η πρώτη, που περιλαμβάνει τις συχνότητες από $0Hz$ ως και μερικά kHz , εξαρτάται κυρίως από το κέρδος ανοιχτού βρόχου, το οποίο όσο μεγαλύτερο είναι τόσο καλύτερο είναι και το PSRR, και την τιμή $V_{dd} - V_{out}$. Αν αυτή η τιμή μικρύνει αρκετά, υπάρχει περίπτωση το pass device να βγει από την περιοχή της αναστροφής και κάτι τέτοιο θα μείωνε το PSRR. Η δεύτερη περιοχή, που περιλαμβάνει τις συχνότητες από μερικά kHz μέχρι και $100kHz$ περίπου, επηρεάζεται περισσότερο από το κέρδος ανοιχτού βρόχου. Στις υψηλές συχνότητες, δηλαδή στην τρίτη περιοχή, το PSRR εξαρτάται από τις χωρητικότητες στην έξοδο του LDO [11].

4.3.3 Θόρυβος

Η φασματική πυκνότητα θορύβου του LDO [12] δίνεται από τον τύπο:

$$S_{n,out}(f) = \left(S_{n,ref}(f) + S_{n,EA}(f) + \frac{S_{n,M}(f)}{A_{EA}^2} \right) \left(1 + \frac{R_1}{R_2} \right)^2 + S_{n,R2}(f) \left(\frac{R_1}{R_2} \right)^2 + S_{n,R1}(f) \quad (4.17)$$

όπου $S_{n,EA}(f)$ και $S_{n,MP}(f)$ ο αναγόμενος στην είσοδο θόρυβος του ενισχυτή και του pass device, αντίστοιχα.



Σχήμα 4.8: Θόρυβος Σταθεροποιητή Χαμηλής Πτώσης Τάσεως

4.3.4 Υλοποίηση

Στην συγκεκριμένη εργασία, ο LDO τροφοδοτείται από την τάση τροφοδοσίας όλου του συστήματος, δηλαδή τα 0.5V και παρέχει στον DAC μια σταθερή τάση των 0.3V, χρησιμοποιώντας μία τάση αναφοράς των 0.25V.

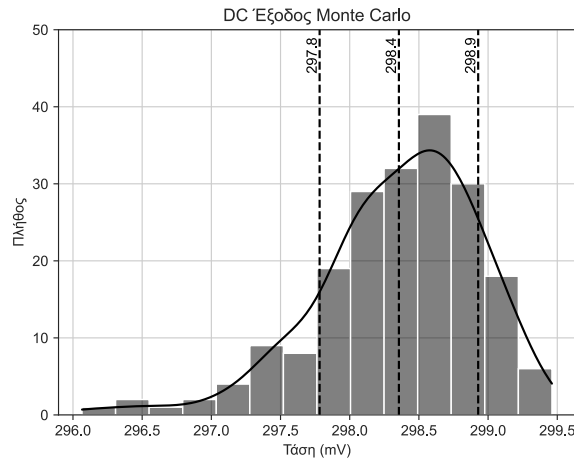
pMOS			Παθητικά Στοιχεία	
	W/L [μm]	f/m		
M	2.8/0.6	32/8	R_1	41k
-	-	-	R_2	201k

Πίνακας 4.3: Μεγέθη στοιχείων LDO ($I_L = 51\mu A$, $C_L = 1pF$)

DC Τάση Εξόδου

Το πλάτος της εισόδου είναι λίγο εξασθενημένο σε σχέση με το ιδανικό, οπότε και ο DAC έχει ρυθμιστεί ώστε να παράγει λίγο μικρότερο σήμα. Για να κεντραριστεί

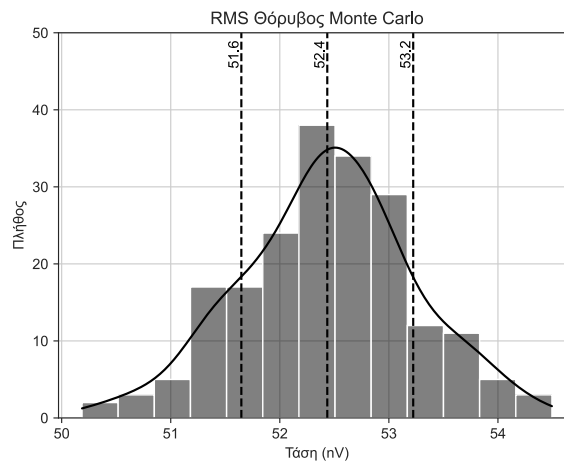
το σήμα καλύτερα, η μέση τιμή της DC τάσης εξόδου του LDO είναι 298.4mV και όχι ακριβώς 300mV . Επιπλέον, η τιμή αυτή δεν πρέπει να διαφέρει περισσότερο από 1LSB κατά τη διαφορά του ταιριάσματος των τρανζίστορς.



Σχήμα 4.9: Monte Carlo - DC Τάση Εξόδου LDO

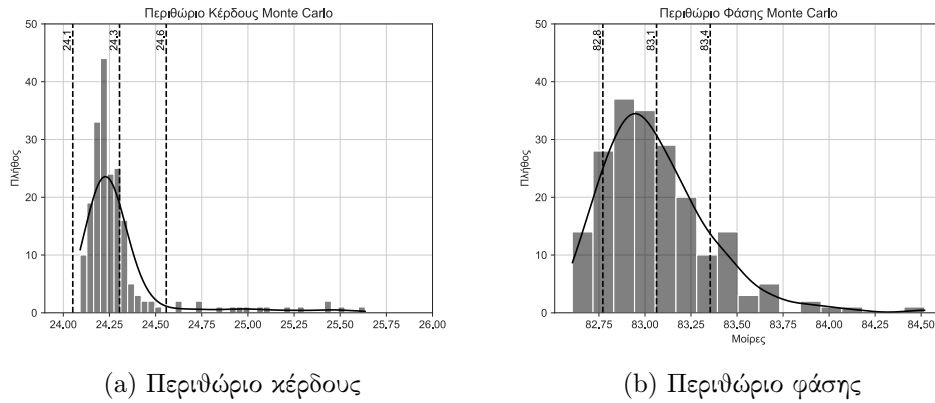
Θόρυβος

Ο θόρυβος του κυκλώματος πρέπει να είναι αρκετά μικρότερος του 1LSB ώστε να μην αλλάζει επίπεδο ο DAC λόγω αυτού.



Σχήμα 4.10: Monte Carlo - Θόρυβος LDO

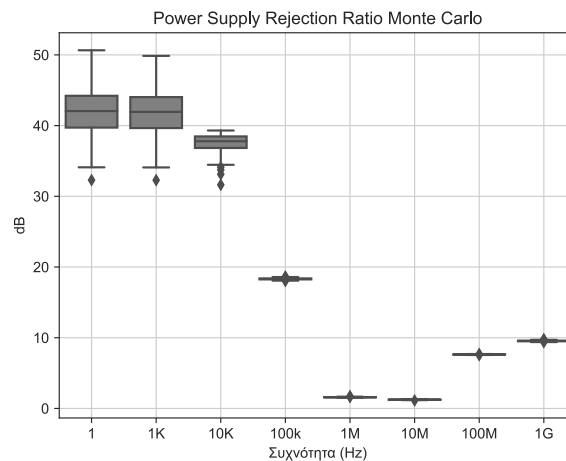
Ευστάθεια



Σχήμα 4.11: Monte Carlo - Ευστάθεια LDO

Power Supply Rejection Ratio (PSRR)

Το PSRR αν και αποτελεί μια πολύ σημαντική προδιαγραφή για έναν LDO, στην περίπτωση αυτή δεν αποτελεί κάτι το ενδιαφέρον μιας και ο συγκεκριμένος χρησιμοποιείται μόνο για την αλλαγή του επιπέδου της τάσης και όχι για την επίτευξη της σταθερότητάς της. Η σταθεροποίηση μπορεί να γίνεται από έναν άλλο LDO που θα τροφοδοτεί ολόκληρο τον ADC.



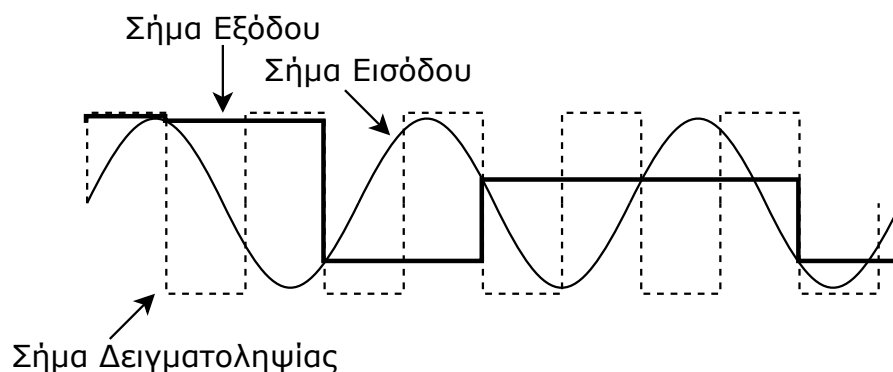
Σχήμα 4.12: Monte Carlo - PSRR LDO

Κεφάλαιο 5

Σύστημα Δειγματοληψίας και Συγκράτησης

5.1 Λειτουργία και Χαρακτηριστικά

Το κύκλωμα Δειγματοληψίας και Συγκράτησης (Sample and Hold - S&H) λειτουργεί σε δύο φάσεις. Κατά την πρώτη (δειγματοληψία), η έξοδος ακολουθεί την είσοδο και κατά την δεύτερη (συγκράτηση), η έξοδος διατηρεί την τιμή που είχε η είσοδος τη στιγμή της εναλλαγής των φάσεων.



Σχήμα 5.1: Παράδειγμα κυματομορφών

Το πιο απλό κύκλωμα, που υλοποιεί αυτή τη λειτουργία, αποτελείται από ένα τρανζίστορ που λειτουργεί ως διακόπτης και έναν πυκνωτή όπου αποθηκεύει την τιμή της τάσης εισόδου.

5.1.1 Θεώρημα Δειγματοληψίας

Οι δύο φάσεις που αναφέρθηκαν προηγουμένως καθορίζονται από ένα ρολόι με μια συγκεκριμένη συχνότητα, τη συχνότητα δειγματοληψίας. Αυτή δεν τίθεται τυχαία,

αλλά αντίθετα, πρέπει να υπακούει στο Θεώρημα Δειγματοληψίας Nyquist - Shannon [13]. Σύμφωνα με αυτό το θεώρημα, η συχνότητα δειγματοληψίας πρέπει να είναι μεγαλύτερη από το διπλάσιο της μέγιστης συχνότητας που δειγματοληπτείται. Με άλλα λόγια:

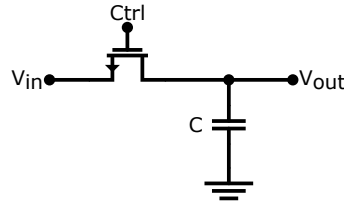
$$f_{\text{sampling}} > 2f_{\text{max}} \quad (5.1)$$

όπου f_{sampling} η συχνότητα δειγματοληψίας και f_{max} η μέγιστη συχνότητα του σήματος εισόδου.

Αν σε ένα σύστημα δεν ισχύει κάτι τέτοιο τότε το αρχικό σήμα δεν θα μπορεί να ανακατασκευαστεί από τα δείγματα καθώς θα υπάρχουν επικαλύψεις στο πεδίο του φάσματος. Το φαινόμενο αυτό ονομάζεται αναδίπλωση (folding, aliasing).

5.1.2 Έγχυση Φορτίου

Καθώς το ρολόι πηγαίνει από λογικό 1 σε λογικό 0, το τρανζίστορ διοχετεύει το φορτίο, που υπάρχει στο κανάλι του, στις επαφές του. Αυτό το φορτίο είναι αρνητικό (nMOS) και συνεπώς θα προκαλέσει αρνητικές τάσεις στους κόμβους στους οποίους συνδέεται, διαφοροποιώντας τις από τις ιδανικές. Αυτό το φαινόμενο ονομάζεται Έγχυση Φορτίου (Charge Injection) [3].



Σχήμα 5.2: Απλό σύστημα δειγματοληψίας

Πιο συγκεκριμένα:

$$\Delta Q_C = \frac{Q_{CH}}{2} = \frac{C_{ox}WL V_{OV}}{2} \quad (5.2)$$

Η διαφορά στην τάση V_{out} μπορεί να βρεθεί κάνοντας χρήση της εξίσωσης $Q = CV$:

$$\Delta V_{out} = \frac{\Delta Q_C}{C} = -\frac{C_{ox}WL V_{OV}}{2C} \quad (5.3)$$

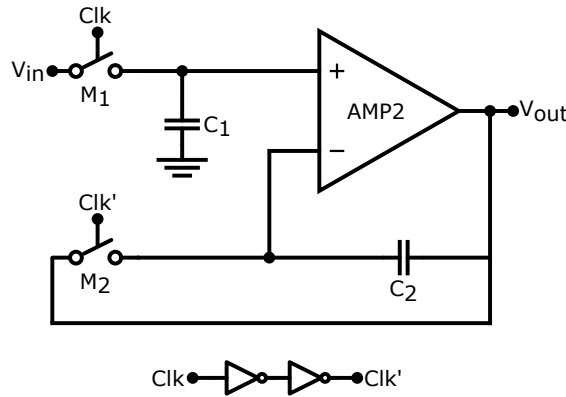
Αλλαγή της εξόδου εμφανίζεται και λόγω της overlap χωρητικότητας:

$$\Delta V_{out} \approx -\frac{C_{ox}WL_{ov}(V_{DD} - V_{SS})}{C} \quad (5.4)$$

Υπάρχουν διάφοροι τρόποι να αντιμετωπιστεί αυτό το πρόβλημα. Στην συγκεκριμένη περίπτωση επιλύεται λόγω της τοπολογίας που έχει επιλεχθεί και η οποία θα αναλυθεί παρακάτω.

5.2 Κύκλωμα

Κατά το στάδιο δειγματοληψίας, το κύκλωμα [3] που επιλέχθηκε αποτελεί έναν απομονωτή μοναδιαίου κέρδους περνώντας την είσοδο στην έξοδο. Κατά το στάδιο της συγκράτησης, η τιμή που δειγματολήφθηκε αποθηκεύεται καθώς φορτίζονται κατάλληλα οι δύο πυκνωτές.



Σχήμα 5.3: Κύκλωμα Δειγματοληψίας και Συγκράτησης

Η έγχυση φορτίου που προκαλεί ο διακόπτης M_1 θα μεταβάλλει ελάχιστα την τάση στον θετικό ακροδέκτη του τελεστικού ενισχυτή. Αντίστοιχα, ο διακόπτης M_2 θα αλλάξει με τον ίδιο τρόπο την τάση στον αρνητικό ακροδέκτη και εν τέλει οι μεταβολές αυτές θα αλληλοεξουδετερωθούν. Από τις προσομοιώσεις φάνηκε πως καλύτερα αποτελέσματα υπάρχουν όταν ο διακόπτης M_2 αλλάζει κατάσταση λίγο αργότερα από τον M_1 . Για τον λόγο αυτό προστέθηκαν οι δύο πύλες NOT οι οποίες προσθέτουν κάποια καθυστέρηση στο σήμα ελέγχου του διακόπτη.

5.2.1 Συχνοτική Απόκριση

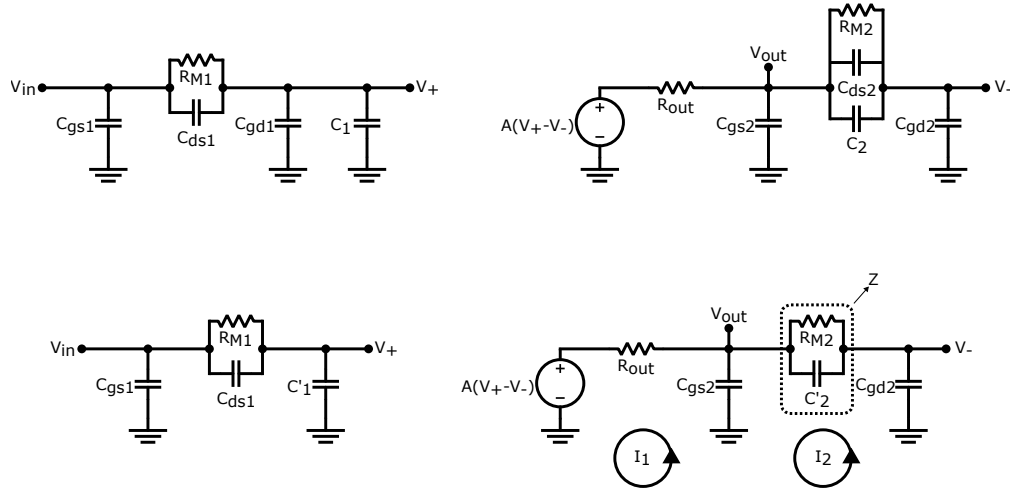
Η συχνότική απόκριση του κυκλώματος δίνει πληροφορίες τόσο για την περίπτωση που η είσοδος περνάει στην έξοδο αλλά και όταν η πρώτη απομονώνεται από την δεύτερη.

$$\frac{V_+}{V_{in}} = \frac{\frac{1}{sC'_1}}{\frac{1}{sC'_1} + \frac{R_{M1}}{1+sC_{ds1}R_{M1}}} = \frac{1 + sC_{ds1}R_{M1}}{1 + s(C'_1 + C_{ds1})R_{M1}} \quad (5.5)$$

Μέθοδος Βρόχων:

$$I_1 : A(V_+ - V_-) - U_{R_{out}} - U_{gs2} = 0 \Rightarrow R_{out}I_1 - \frac{1}{sC_{gs2}}(I_2 - I_1) = -A(V_+ - V_-)$$

$$I_2 : U_{gs2} - U_Z - U_{gd2} = 0 \Rightarrow \frac{1}{sC_{gs2}}(I_2 - I_1) + ZI_2 + \frac{1}{sC_{gd2}}I_2 = 0$$



Σχήμα 5.4: Ανάλυση μικρού σήματος

όπου $Z = \frac{R_{M2}}{1 + sC_2' R_{M2}}$.
Σε μορφή πινάκων:

$$\begin{bmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} + Z \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} -A(V_+ - V_-) \\ 0 \end{bmatrix}$$

Όμως $V_- = U_{gd2} = -I_2 \frac{1}{sC_{gd2}}$. Οπότε:

$$\begin{bmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} + Z \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} -AV_+ \\ 0 \end{bmatrix}$$

Για την έξοδο ισχύει $V_{out} = U_{gs2} = (I_2 - I_1) \frac{1}{sC_{gs2}}$, όπου:

$$I_1 = \frac{\begin{vmatrix} -AV_+ & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ 0 & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} + Z \end{vmatrix}}{\begin{vmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} + Z \end{vmatrix}} \quad I_2 = \frac{\begin{vmatrix} \frac{1}{sC_{gs2}} - R_{out} & -AV_+ \\ -\frac{1}{sC_{gs2}} & 0 \end{vmatrix}}{\begin{vmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} + Z \end{vmatrix}}$$

Προκύπτει ότι:

$$\frac{V_{out}}{V_+} = \frac{A + sAR_{M2}(C_2' + C_{gd2})}{1 + A + sa + s^2b}$$

όπου

$$a = AC_2' R_{M2} + C_2' R_{M2} + C_{gd2} R_{M2} - C_{gd2} R_{out} - C_{gs2} R_{out}$$

$$b = -C'_2 C_{gd2} R_{M2} R_{out} - C'_2 C_{gs2} R_{M2} R_{out} - C_{gd2} C_{gs2} R_{M2} R_{out}$$

Αν θεωρηθεί ότι το A είναι αρκετά μεγάλο:

$$\frac{V_{out}}{V_+} = \frac{1 + sR_{M2}(C'_2 + C_{gd2})}{1 + sC'_2 R_{M2}} \quad (5.6)$$

Τελικά, από τις 5.5 και 5.6:

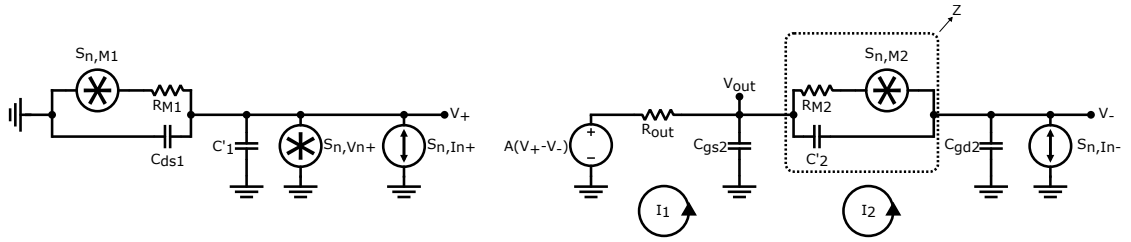
$$\frac{V_{out}}{V_{in}} = \frac{V_{out}}{V_+} \frac{V_+}{V_{in}} = \frac{1 + sR_{M2}(C'_2 + C_{gd2})}{1 + sC'_2 R_{M2}} \frac{1 + sC_{ds1} R_{M1}}{1 + s(C'_1 + C_{ds1}) R_{M1}} \quad (5.7)$$

Αν οι παρασιτικές χωρητικότητες είναι αρκετά μικρότερες από τις C_1 και C_2 τότε:

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + sC_1 R_{M1}} \quad (5.8)$$

5.2.2 Θόρυβος

Ο συνολικός θόρυβος μπορεί να μοντελοποιηθεί από τις πηγές θερμικού θορύβου των αντιστάσεων R_{M1} , R_{M2} και τις πηγές του τελεστικού ενισχυτή.



Σχήμα 5.5: Ανάλυση θορύβου

Πηγή Τάσης V_{M1} ($\sqrt{S_{n,M1}}$)

$$V_+ = V_{M1} \frac{1}{1 + sC'_1 R_{M1}} \quad (5.9)$$

όπου $C'_1 = C_1 + C_{ds1} + C_{gd1}$.

Πηγή Τάσης V_{n+} ($\sqrt{S_{n,Vn+}}$)

$$V_+ = V_{n+} \quad (5.10)$$

Πηγή Ρεύματος I_{n+} ($\sqrt{S_{n,In+}}$)

$$V_+ = I_{n+} \frac{R_{M1}}{1 + sC_1'' R_{M1}} \quad (5.11)$$

Πηγή Ρεύματος I_{n-} ($\sqrt{S_{n,In-}}$)

$$I_{n-} = sC_{gd2}V_- + \frac{V_- - V_{out}}{Z} \quad (5.12)$$

όπου $Z = \frac{R_{M2}}{1 + sC_2'' R_{M2}}$.

$$\begin{aligned} \frac{V_- - V_{out}}{Z} &= sC_{gs2}V_{out} + \frac{V_{out} + AV_-}{R_{out}} \Rightarrow \\ \frac{V_-}{Z} - \frac{AV_-}{R_{out}} &= \frac{V_{out}}{Z} + sC_{gs2}V_{out} + \frac{V_{out}}{R_{out}} \Rightarrow \\ V_- \left(\frac{1}{Z} - \frac{A}{R_{out}} \right) &= V_{out} \left(\frac{1}{Z} + \frac{1}{R_{out}} + sC_{gs2} \right) \end{aligned} \quad (5.13)$$

Από τις 5.12 και 5.13 προκύπτει:

$$I_{n-} = V_{out} \frac{\frac{1}{Z} + \frac{1}{R_{out}} + sC_{gs2}}{\frac{1}{Z} - \frac{A}{R_{out}}} \left(sC_{gd2} + \frac{1}{Z} \right) - V_{out} \frac{1}{Z}$$

Αν θεωρηθεί ότι το A είναι αρκετά μεγάλο:

$$V_{out} = I_{n-}Z = I_{n-} \frac{R_{M2}}{1 + sC_2'' R_{M2}} \quad (5.14)$$

Πηγή Τάσης V_{M2} ($\sqrt{S_{n,M2}}$)

Αρχικά, πρέπει να βρεθεί η σχέση μεταξύ της τάσης U_Z με τα ρεύματα I_1 , I_2 και την πηγή του θορύβου V_{M2} .

$$U_Z - V_{M2} = R_{M2}I_{R_{M2}} \quad (5.15)$$

$$I_2 = sC_2''U_Z + I_{R_{M2}} \quad (5.16)$$

Οπότε:

$$\begin{aligned} I_2 &= sC_2''U_Z + \frac{U_Z}{R_{M2}} - \frac{V_{M2}}{R_{M2}} \Rightarrow \\ U_Z &= \left(I_2 + \frac{U_Z}{R_{M2}} \right) \frac{R_{M2}}{1 + sC_2'' R_{M2}} \end{aligned} \quad (5.17)$$

Μέθοδος Βρόχων:

$$I_1 : AV_- - U_{R_{out}} - U_{gs2} = 0 \Rightarrow R_{out}I_1 - \frac{1}{sC_{gs2}}(I_2 - I_1) = -AV_-$$

$$I_2 : U_{gs2} - U_{gd2} - U_Z = 0 \Rightarrow \frac{1}{sC_{gs2}}(I_2 - I_1) + \frac{1}{sC_{gd2}}I_2 - \frac{R_{M2}}{1 + sC'_2R_{M2}}I_2 = \frac{V_{M2}}{1 + sC'_2R_{M2}}$$

Όμως $V_- = U_{gd2} = -I_2 \frac{1}{sC_{gd2}}$. Οπότε:

$$\begin{bmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} - \frac{R_{M2}}{1 + sC'_2R_{M2}} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} 0 \\ \frac{V_{M2}}{1 + sC'_2R_{M2}} \end{bmatrix}$$

Για την έξοδο ισχύει $V_{out} = U_{gs2} = (I_2 - I_1) \frac{1}{sC_{gs2}}$, όπου:

$$I_1 = \frac{\begin{vmatrix} 0 & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ \frac{V_{M2}}{1 + sC'_2R_{M2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} - \frac{R_{M2}}{1 + sC'_2R_{M2}} \end{vmatrix}}{\begin{vmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} - \frac{R_{M2}}{1 + sC'_2R_{M2}} \end{vmatrix}}$$

$$I_2 = \frac{\begin{vmatrix} \frac{1}{sC_{gs2}} - R_{out} & 0 \\ -\frac{1}{sC_{gs2}} & \frac{V_{M2}}{1 + sC'_2R_{M2}} \end{vmatrix}}{\begin{vmatrix} \frac{1}{sC_{gs2}} - R_{out} & -\frac{1}{sC_{gs2}} + \frac{A}{sC_{gd2}} \\ -\frac{1}{sC_{gs2}} & \frac{1}{sC_{gs2}} + \frac{1}{sC_{gd2}} - \frac{R_{M2}}{1 + sC'_2R_{M2}} \end{vmatrix}}$$

Προκύπτει ότι:

$$\frac{V_{out}}{V_{M2}} = \frac{A - sC_{gd2}R_{out}}{1 + A + sa + s^2b}$$

όπου

$$a = AC'_2R_{M2} + C'_2R_{M2} - C_{gd2}R_{M2} - C_{gd2}R_{out} - C_{gs2}R_{out}$$

$$b = -C'_2C_{gd2}R_{M2}R_{out} - C'_2C_{gs2}R_{M2}R_{out} + C_{gs2}C_{gd2}R_{M2}R_{out}$$

Αν θεωρηθεί ότι το A είναι αρκετά μεγάλο:

$$V_{out} = V_{M2} \frac{1}{1 + sC'_2R_{M2}} \quad (5.18)$$

Συνολικός Θόρυβος

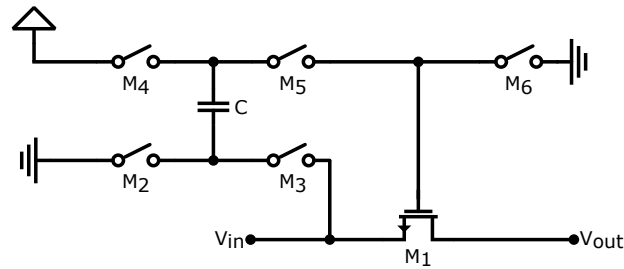
Αν οι παρασιτικές χωρητικότητες είναι αρκετά μικρότερες από τις C_1 και C_2 τότε:

$$S_{n,out}(f) = (S_{n,In+}(f)R_{M1}^2 + S_{n,M1}(f)) \frac{1}{1 + (\omega C_1 R_{M1})^2} + S_{n,Vn+}(f) + (S_{n,In-}(f)R_{M2}^2 + S_{n,M2}(f)) \frac{1}{1 + (\omega C_2 R_{M2})^2} \quad (5.19)$$

5.2.3 Bootstrap Διακόπτης

Η χρήση ενός τρανζίστορ MOSFET ως διακόπτη για αναλογικό σήμα έχει ένα πολύ βασικό μειονέκτημα: η αντίσταση του μεταβάλλεται ανάλογα με την είσοδο, προκαλώντας με αυτό τον τρόπο παραμόρφωση. Αυτό συμβαίνει διότι ανάλογα με το σήμα αλλάζει και η τάση V_{GS} του τρανζίστορ μιας και η τάση στην πύλη παραμένει σταθερή και ίση με τη V_{DD} . Ένα ακόμα αρνητικό είναι πως περιορίζεται και το εύρος του σήματος καθώς για να άγει το τρανζίστορ πρέπει το σήμα να μην υπερβαίνει το $V_{DD} - V_{th}$.

Τα προβλήματα αυτά μπορούν να εξαλειφθούν χρησιμοποιώντας την τεχνική του bootstrapping [14], [15]. Σύμφωνα με αυτή, στην πύλη του τρανζίστορ τίθεται μια τάση ίση με την υπέρθεση του σήματος εισόδου V_{in} και μίας σταθερής τιμής V_{const} . Με αυτόν τον τρόπο ισχύει $V_{GS} = V_{in} + V_{const} - V_{in} = V_{const}$. Κατί τέτοιο μπορεί να επιτευχθεί με τη χρήση διακοπών και ενός πυκνωτή, όπως φαίνεται παρακάτω. Τη χρονική περίοδο που δεν άγει ο διακόπτης, ο πυκνωτής φορτίζεται με τάση $V_{const} = V_{DD}$, ενώ τη στιγμή της αγωγής ο πυκνωτής συνδέεται μεταξύ της εισόδου και της πύλης του τρανζίστορ.



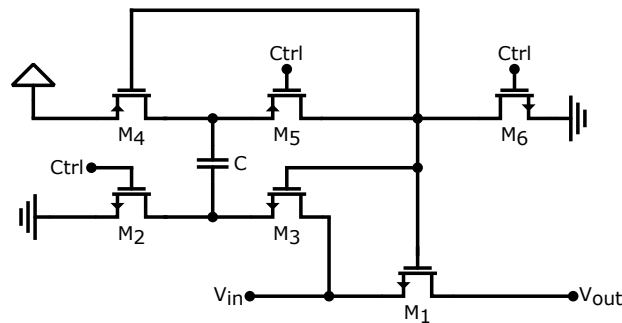
Σχήμα 5.6: Bootstrap Διακόπτης

Οι διακόπτες M_2 και M_6 συνδέουν τη γη στο υπόλοιπο κύκλωμα και γι' αυτό τον λόγο πρέπει να υλοποιηθούν με nMOS τρανζίστορς. Αντίθετα, ο M_5 πρέπει να είναι ένα pMOS τρανζίστορ διότι συνδέει την υψηλή τάση με το υπόλοιπο κύκλωμα. Αυτοί οι τρεις διακόπτες ελέγχονται από το ίδιο σήμα διότι οι M_2 και M_6 πρέπει να λειτουργούν συμπληρωματικά του M_5 , αλλά εκ φύσεως ένα pMOS τρανζίστορ έχει συμπληρωματική λειτουργία με αυτή ενός nMOS.

Όπως γίνεται εύκολα κατανοητό στην πύλη του τρανζίστορ M_1 η τάση υπερβαίνει την τιμή της τροφοδοσίας. Σε περίπτωση που χρησιμοποιούταν η μέγιστη τάση της τροφοδοσίας, στα άκρα του τρανζίστορ M_6 θα εφαρμόζοταν τάση μεγαλύτερη της ονομαστικής του, μειώνοντας κατά πολύ την διάρκεια ζωής του, και κατά προέκταση θα έπρεπε να ληφθούν κάποια μέτρα, όπως η τοποθέτηση ακόμη ενός τρανζίστορ, για να πέσει η τάση που εφαρμόζεται στα άκρα του. Στην συγκεκριμένη εργασία, γίνεται χρήση της μισής ονομαστικής τάσης των τρανζίστορς ως τάση τροφοδοσίας και κατά συνέπεια, δεν απαιτείται κάποια ενέργεια.

Ο διακόπτης M_4 πρέπει να υλοποιηθεί με pMOS τρανζίστορ διότι συνδέει το κύκλωμα με την τροφοδοσία. Συνεπώς, θα πρέπει να βρίσκεται σε κατάσταση ανοιχτού διακόπτη όταν το σήμα στην πύλη του ισούται με την τροφοδοσία. Το θέμα είναι ότι, όταν συμβάνει αυτό ο τρίτος του ακροδέκτης βρίσκεται σε δυναμικό μεγαλύτερο της τροφοδοσίας. Αυτό έχει ως αποτέλεσμα να μετατεθούν η πηγή με την υποδοχή και εν τέλει το τρανζίστορ να άγει ενώ απαιτείται το αντίθετο. Για να αντιμετωπιστεί αυτό, η πύλη του δεν ελέγχεται από κάποιο σήμα αλλά προσδένεται με την πύλη του M_1 .

Ο διακόπτης M_3 πρέπει να είναι ίδιο είδος με τον M_1 , δηλαδή nMOS. Αν η πύλη του προσδεθεί στην τροφοδοσία τότε θα εμφανίζει μεγάλη αντίσταση για υψηλές τάσεις εισόδου. Συνεπώς, και η δική του πύλη συνδέεται μαζί με αυτή του M_1 .



Σχήμα 5.7: Bootstrap Διακόπτης

5.2.4 Υλοποίηση

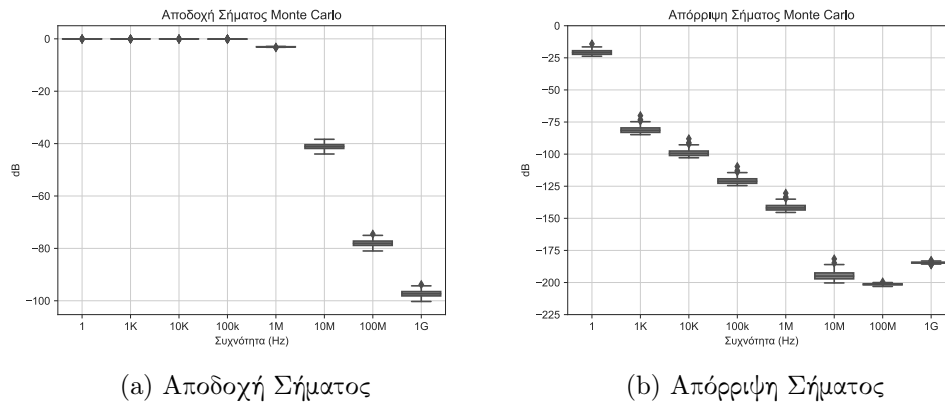
Οι πυκνωτές C_1 και C_2 του σχηματικού 5.5 είναι ίδιοι και ίσοι με $3p$. Επιπλέον, τα μεγέθη των στοιχείων των διακοπών που χρησιμοποιήθηκαν φαίνονται παρακάτω.

nMOS			pMOS			Παθητικά Στοιχεία	
	W/L [μm]	f/m		W/L [μm]	f/m		
$M_1 - M_3, M_6$	0.2/0.2	1/1	$M_4 - M_5$	0.2/0.2	1/1	C	20p

Πίνακας 5.1: Μεγέθη στοιχείων Bootstrap Διακόπτη

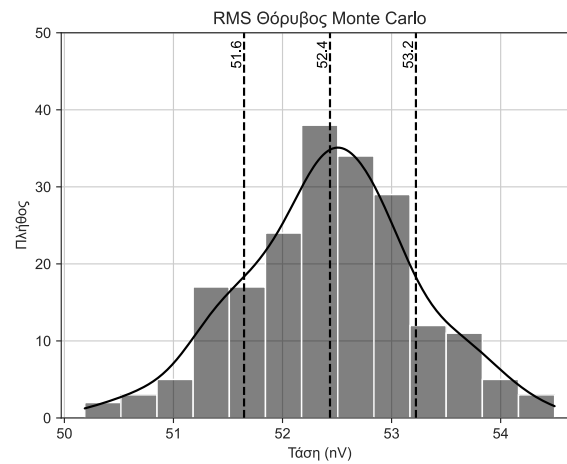
Συχνοτική Απόκριση

Παρακάτω παρουσιάζονται οι συχνοτικές αποκρίσεις του κυκλώματος όταν αυτό βρίσκεται στο στάδιο δειγματοληψίας, όπου πρέπει να περνάει το σήμα, αλλά και κατά το στάδιο της συγκράτησης, όπου η είσοδος πρέπει να απορρίπτεται.



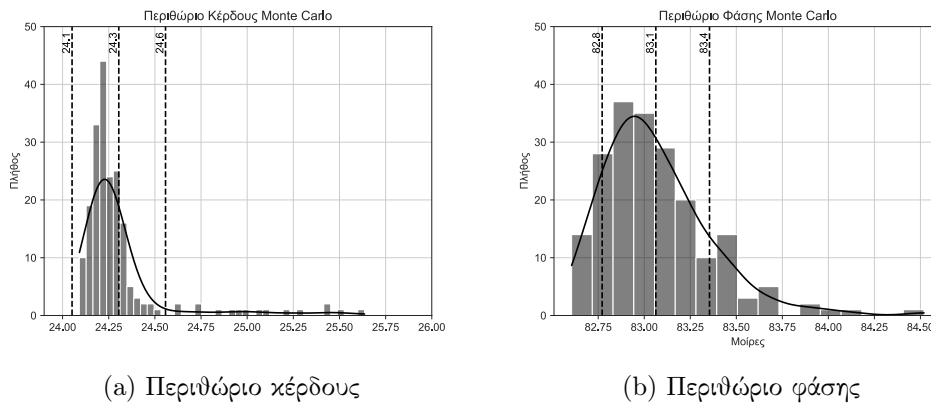
Σχήμα 5.8: Monte Carlo - Συχνοτική απόκριση S&H

Θόρυβος



Σχήμα 5.9: Monte Carlo - Θόρυβος S&H

Ευστάθεια



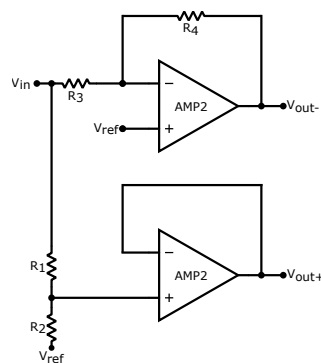
Σχήμα 5.10: Monte Carlo - Ευστάθεια S&H

5.3 Μονή Είσοδος - Διαφορική Έξοδος

Αφού δειγματοληπτηθεί η είσοδος με το παραπάνω κύκλωμα χρειάζεται να μετατραπεί σε ισορροπημένη διαφορική έξοδο, δηλαδή η κάθε μια από τις δύο εξόδους να περιέχει ακριβώς το μισό σήμα. Κάτι τέτοιο είναι απαραίτητο καθώς, όπως θα φανεί και στην συνέχεια, τα εσωτερικά σήματα του ADC είναι διαφορικά.

Για να υλοποιηθεί η συγκεκριμένη λειτουργία, η είσοδος λαμβάνεται από ένα σημείο και διαιρείται στα δύο μέσω ενός διαιρέτη τάσης. Έπειτα, ένας απομονωτής προωθεί στην θετική έξοδο το μισό θετικό σήμα. Για την αρνητική έξοδο, γίνεται χρήση ενός αναστρέφοντος ενισχυτή με κέρδος 1/2. Λαμβάνοντας το σήμα ως διαφορικό από τις δύο εξόδους λαμβάνουμε και πάλι το ίδιο με αυτό της εισόδου.

5.3.1 Υλοποίηση

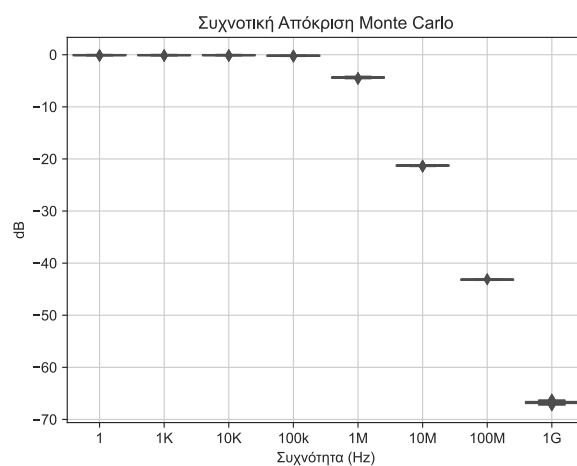


Σχήμα 5.11: Μονή Είσοδος - Διαφορική Έξοδος

Παθητικά Στοιχεία			
R_1	100k	R_2	100k
R_3	200k	R_4	100k

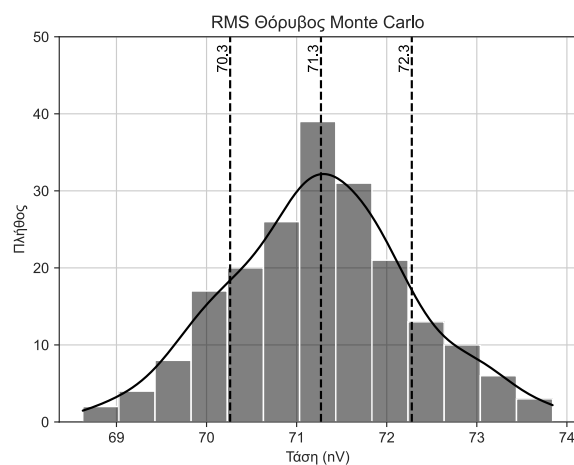
Πίνακας 5.2: Μεγέθη στοιχείων συστήματος Μονής Εισόδου - Διαφορικής Εξόδου

Συχνотική Απόκριση Διαφορικής Εξόδου



Σχήμα 5.12: Monte Carlo - Συχνотική απόκριση

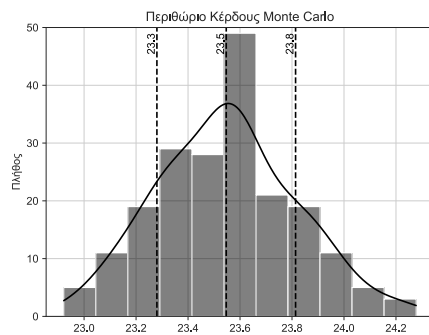
Θόρυβος Διαφορικής Εξόδου



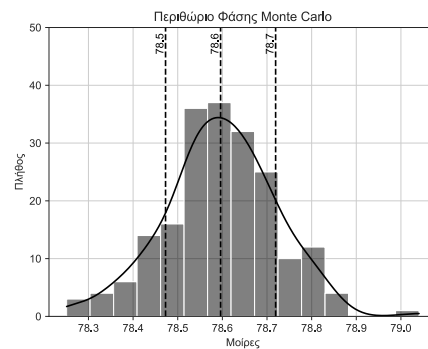
Σχήμα 5.13: Monte Carlo - Θόρυβος

Στην είσοδο του συγκριτή φτάνουν τα σήματα από αυτό το κύκλωμα και όχι κατευθείαν από το σύστημα Δειγματοληψίας και Συγκράτησης. Συνεπώς, ο θόρυβος των δύο συστημάτων υπερτίθεται. Έχει ήδη παρουσιαστεί το επίπεδο θορύβου του ενός και παραπάνω παρουσιάζεται ο θόρυβος του κυκλώματος που μετατρέπει τη μονή είσοδο σε διαφορική έξοδο. Η υπερθεσή τους πρέπει να είναι αρκετά μικρότερη από $1LSB$ για να μην επηρεάζει το αποτέλεσμα της σύγκρισης.

Ευστάθεια Θετικής Εξόδου



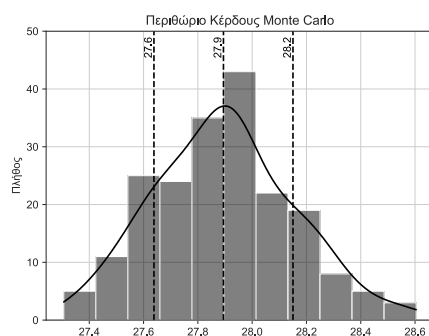
(a) Περιθώριο κέρδους



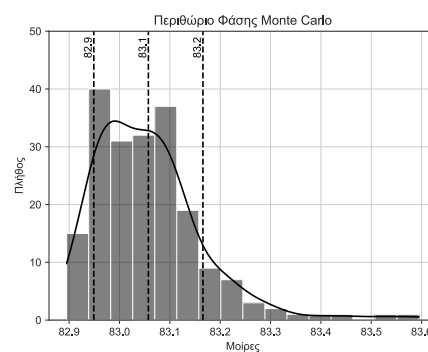
(b) Περιθώριο φάσης

Σχήμα 5.14: Monte Carlo - Ευστάθεια θετικής εξόδου

Ευστάθεια Αρνητικής Εξόδου



(a) Περιθώριο κέρδους



(b) Περιθώριο φάσης

Σχήμα 5.15: Monte Carlo - Ευστάθεια αρνητικής εξόδου

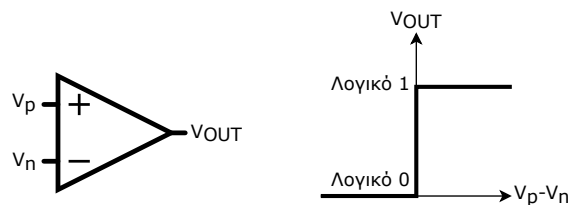
Κεφάλαιο 6

Συγκριτής

6.1 Λειτουργία και Χαρακτηριστικά

Ο συγκριτής [3],[4] αποτελεί ένα κύκλωμα που δέχεται δύο αναλογικές εισόδους και αντιλαμβάνεται ποια από τις δύο είναι μεγαλύτερη της άλλης. Η τελική του απόφαση δίνεται στην έξοδό του σε ψηφιακή μορφή. Πιο συγκεκριμένα, στην περίπτωση που τα σήματα εισόδου είναι τα V_p , V_n και η έξοδος το V_{out} , τότε η τελευταία δίνεται από την σχέση:

$$V_{out} = \begin{cases} Logic\ 0, & V_p \leq V_n \\ Logic\ 1, & V_p > V_n \end{cases} \quad (6.1)$$



Σχήμα 6.1: Ιδανικός συγκριτής

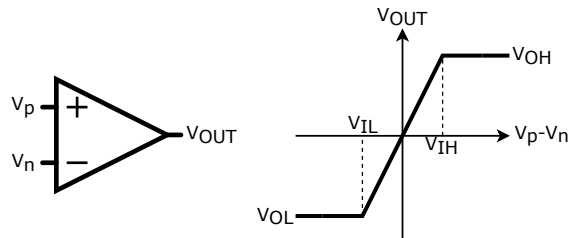
Κέρδος και Ανάλυση

Ένας πραγματικός συγκριτής δεν μεταβαίνει ακαριαία, σε σχέση με την διαφορά των εισόδων, από το ένα λογικό επίπεδο στο άλλο. Αντιθέτως, υπάρχει μια περιοχή που η διαφορά εισόδων δεν οδηγεί την έξοδο σε κάποια λογική τιμή. Το πόσο καλά γίνεται αυτή η μετάβαση εκφράζεται από το κέρδος, το οποίο ορίζεται ως εξής:

$$A = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \quad (6.2)$$

όπου V_{OL} , V_{OH} η τιμές της εξόδου που αντιστοιχούν στα λογικά επίπεδα 0,1 και V_{IL} , V_{IH} οι διαφορές των τάσεων εισόδου που οδηγούν την έξοδο σε κορεσμό με αποτέλεσμα να λαμβάνει τιμή V_{OL} και V_{OH} , αντίστοιχα.

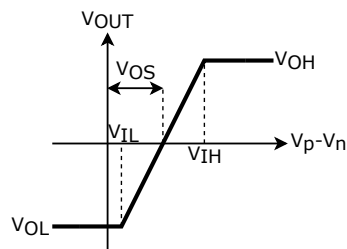
Η ελάχιστη διαφορά των εισόδων ($V_{IH}-V_{IL}$), που απαιτείται για να αλλάξει κατάσταση η έξοδος, ονομάζεται και ανάλυση (resolution) του συγκριτή.



Σχήμα 6.2: Μη ιδανικός συγκριτής [4]

Input Offset Voltage

Το input offset voltage (V_{OS}) αποτελεί την τιμή της διαφοράς των εισόδων στην οποία η έξοδος μεταβαίνει από το ένα λογικό επίπεδο στο άλλο. Με άλλα λόγια, σε αυτό το σημείο η πιθανότητα της εξόδου να είναι λογικό 0 ή 1 είναι η ίδια. Σε έναν ιδανικό συγκριτή αυτό συμβαίνει όταν $V_p = V_n$. Κάτι τέτοιο δεν ισχύει σε έναν πραγματικό συγκριτή, που λόγω των mismatches, το input offset μπορεί να ανέρχεται σε μερικά mV .



Σχήμα 6.3: Input offset voltage [4]

6.2 Χρήση Τελεστικού Ενισχυτή

Η πιο προφανής υλοποίηση ενός συγκριτή είναι με την χρήση ενός τελεστικού ενισχυτή σε συνδεσμολογία ανοιχτού βρόχου ή σε συνδεσμολογία θετικής ανάδρασης ώστε να εμφανίσει υστέρηση. Η υστέρηση προσδίδει στο σύστημα την ιδιότητα να παραμένει στην προηγούμενη κατάσταση για ένα μικρό εύρος διαφοράς εισόδων. Συνεπώς, αν το εύρος αυτό είναι κατάλληλο μπορεί να εμποδίζει τις εναλλαγές λόγω του θορύβου. Βέβαια, και οι εναλλαγές λόγω των επιθυμητών σημάτων θα επηρεασ-

τούν καθώς και σε αυτή την περίπτωση το σύστημα θα επιμένει στην προηγούμενη κατάσταση.

Το μειονέκτημα είναι ότι οι τελεστικοί ενισχυτές είναι εσωτερικά αντισταθμισμένοι (compensated) έτσι ώστε να παρέχουν ευστάθεια όταν βρίσκονται σε συνδεσμολογίες κλειστού βρόχου. Αυτό οδηγεί να έχουν χαμηλή συχνότητα -3dB και κατά συνέπεια αποτελούν αργούς συγκριτές. Επιπλέον, η σύγκριση που πραγματοποιούν είναι συνεχής, όπως είναι και η κατανάλωσή τους.

Σε περιπτώσεις που δεν απαιτείται να γίνεται σύγκριση κάθε χρονική στιγμή αλλά σε διακριτές στιγμές σύμφωνα με ένα ρολόι, όπως συμβαίνει και στην περίπτωση του SAR ADC, μπορεί να χρησιμοποιηθεί ένας Συγκριτής με Μανδάλωση (Latched Comparator).

6.3 Συγκριτές με Μανδάλωση

6.3.1 Αρχή Λειτουργίας

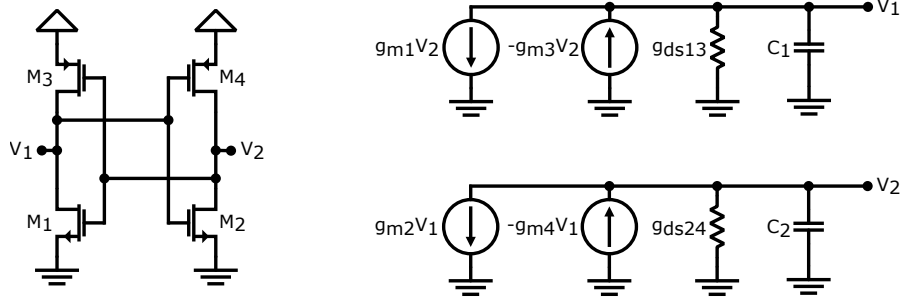
Οι Συγκριτές με Μανδάλωση λειτουργούν με βάση ένα ρολόι σε δύο φάσεις και αποτελούνται συνήθως από έναν προενισχυτή ακολουθούμενου από ένα track-and-latch στάδιο. Με αυτά τα κυκλώματα επιτυγχάνεται η λειτουργία σε μεγαλύτερες συχνότητες και η μείωση της κατανάλωσης ισχύος. Το πρώτο επιτυγχάνεται καθώς το στάδιο track-and-latch διαθέτει θετική ανάδραση η οποία παράγει την έξοδο σε εκθετικό χρόνο. Το δεύτερο συμβαίνει καθώς δεν υπάρχει DC κατανάλωση αλλά μόνο δυναμική κατά την εναλλαγή των φάσεων.

Αναλυτικότερα, το στάδιο του προενισχυτή χρησιμοποιείται έτσι ώστε να αυξηθεί η ανάλυση του συγκριτή και να περιοριστεί το φαινόμενο του kickback. Το φαινόμενο αυτό συμβαίνει, καθώς όταν γίνεται μετάβαση από το ένα στάδιο στο άλλο, μεταφέρεται φορτίο που δημιουργεί αναπηδήματα τάσεις (glitches) στην είσοδο και εν τέλει επηρεάζεται και η έξοδος. Με τη χρήση ενός προενισχυτή με χαμηλό κέρδος, η έξοδος επικαλύπτει αυτές τις αναπηδήσεις ως ένα βαθμό, περιορίζοντας το φαινόμενο. Συνήθως, ως προενισχυτής χρησιμοποιείται ένα ή δυο διαφορικά ζεύγη.

Στην πρώτη φάση (Reset), οι κόμβοι του track-and-latch σταδίου επαναφέρονται στο μηδέν, ενώ στη δεύτερη (Latch) ενεργοποιείται η θετική ανάδραση, η οποία ενισχύει την είσοδο με εκθετικό ρυθμό, μέχρι η έξοδος να λάβει τιμές λογικών επιπέδων.

6.3.2 Σταθερά Χρόνου

Μια πολύ σημαντική ποσότητα είναι ο χρόνος που χρειάζεται ένας συγκριτής για να πάει από την αρχική του κατάσταση στην τελική κατά τη θετική ανάδραση όπου γίνεται η αναγέννηση (regeneration) του σήματος. Αυτός ο χρόνος μπορεί να υπολογιστεί από την σταθερά χρόνου ενός απλοποιημένου κυκλώματος με δύο αναστροφείς συνδεδεμένους κυκλικά.



Σχήμα 6.4: Μοντέλο υπολογισμού της σταθεράς χρόνου

$$C_1 \frac{dV_1}{dt} + g_{ds13} V_1 + g_{m13} V_2 = 0$$

$$C_2 \frac{dV_2}{dt} + g_{ds24} V_2 + g_{m24} V_1 = 0$$

όπου:

$$g_{m13} = g_{m1} + g_{m3}, \quad g_{ds13} = g_{ds1} + g_{ds3}$$

$$g_{m24} = g_{m2} + g_{m4}, \quad g_{ds24} = g_{ds2} + g_{ds4}$$

Αν θεωρηθεί:

$$C = C_1 = C_2, \quad g_{ds} = g_{ds13} = g_{ds24}, \quad g_{m1} = g_{m2}, \quad g_{m3} = g_{m4}$$

και τεθεί:

$$g_m = g_{m13} = g_{m24}, \quad V_{diff} = V_1 - V_2$$

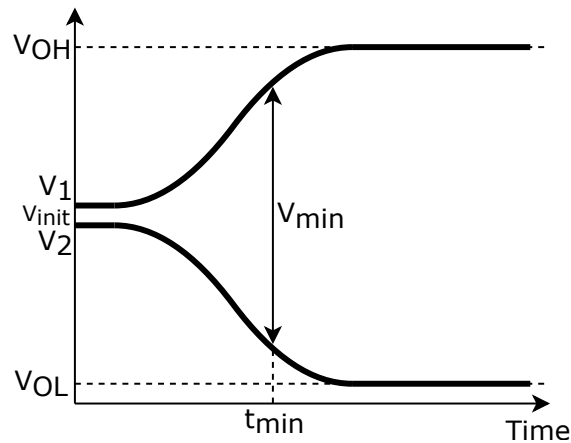
τότε θα ισχύει:

$$\frac{dV_{diff}}{dt} - \frac{g_m - g_{ds}}{C} V_{diff} = 0 \Rightarrow$$

$$V_{diff} = V_{init} e^{t/\tau} \quad (6.3)$$

όπου V_{init} είναι η αρχική τάση που τίθεται κατά την track λειτουργία προς σύγκριση και:

$$\tau = \frac{C}{g_m - g_{ds}} \approx \frac{C}{g_m} \quad (6.4)$$



Σχήμα 6.5: Εξέλιξη τάσεων στο μοντέλο υπολογισμού της σταθεράς χρόνου

Συνεπώς, απαιτείται κάποιο χρονικό διάστημα ώστε οι έξοδοι να λάβουν τιμές που αντιστοιχούν στα λογικά επίπεδα. Συνήθως, για το λογικό 1, η έξοδος πρέπει να φτάσει στο 70% της τροφοδοσίας, ενώ για το λογικό 0, στο 30% της τροφοδοσίας. Αυτό συμβαίνει τη χρονική στιγμή t_{min} , όπως φαίνεται και στη παραπάνω γραφική. Με άλλα λόγια, ο συγκριτής χρειάζεται t_{min} χρόνο ώστε να υλοποιήσει μια σύγκριση. Συνεπώς, γνωρίζοντας το t_{min} μπορεί να βρεθεί και η μέγιστη συχνότητα λειτουργίας του κυκλώματος. Το t_{min} μπορεί να υπολογιστεί μέσω της εξίσωσης 6.3:

$$t_{min} = \tau \cdot \ln\left(\frac{V_{diff}}{V_{init}}\right) \quad (6.5)$$

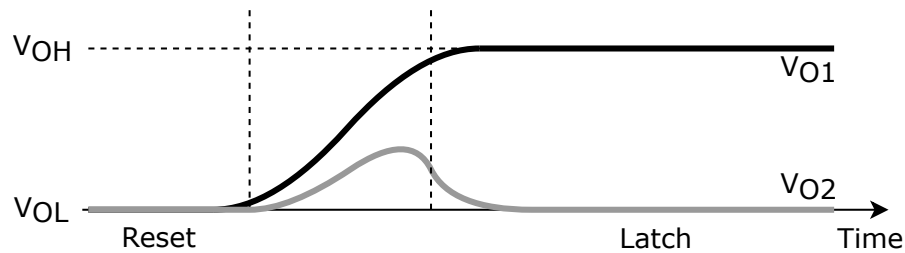
Ο χρόνος αυτός μπορεί να μειωθεί, αν μικρύνει η σταθερά χρόνου τ ή αν αυξηθεί η V_{init} . Όμως, το δεύτερο βελτιώνει την απόδοση με λογαριθμικό τρόπο. Επίσης, πολύ σημαντικό είναι ότι πως και πολύ μικρή να γίνει η σταθερά χρόνου, το t_{min} μπορεί να μην βελτιώνεται από ένα σημείο και έπειτα καθώς θα περιορίζεται από το slew rate του συγκριτή.

Αν η V_{init} είναι πολύ μικρή τότε ο ελάχιστος χρόνος, που απαιτείται ώστε η έξοδος να λάβει ικανοποιητική τιμή, μπορεί να μεγαλώσει πολύ. Κατά συνέπεια, υπάρχει περίπτωση να μην υπάρχει αρκετός χρόνος κατά τη φάση Latch και το κύκλωμα να εισέλθει στη φάση Reset πριν παρθεί απόφαση. Αυτό το φαινόμενο ονομάζεται Metastability.

6.3.3 Χρήση SR Μανδαλωτή

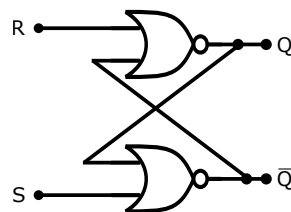
Όταν ένας Συγκριτής με Μανδάλωση βρίσκεται στη φάση Reset οι έξοδοι του βρίσκονται στην θετική ή στην αρνητική τροφοδοσία, ανάλογα με την σχεδίαση του κυκλώματος. Έπειτα, όταν ξεκινάει η Latch φάση, οι τάσεις στις εξόδους αρχίζουν να αυξάνονται (ή να μειώνονται – ανάλογα με την κατάσταση στο Reset) και εν τέλει

διαχωρίζονται λόγω της θετικής ανάδρασης και της αναγέννησης (regeneration) του αναλογικού σήματος. Η διαδικασία αυτή φαίνεται και στο παρακάτω διάγραμμα.



Σχήμα 6.6: Εξέλιξη τάσεων συγκριτή

Για να μην υπάρχει στιγμή που οι εξόδοι του συγκριτή είναι ίσες ή εμφανίζουν την συμπεριφορά που φαίνεται στην περιοχή μεταξύ των φάσεων Reset και Latch στο παραπάνω διάγραμμα, μπορεί να τοποθετηθεί ένας SR μανδαλωτής στις εξόδους. Με αυτό τον τρόπο, οι εξόδοι του συγκριτή αποκτούν ψηφιακές εξόδους με νόημα και κατά την κατάσταση του Reset.



S	R	Q	\bar{Q}
0	0	Latch	Latch
0	1	0	1
1	0	1	0
1	1	0	0

Σχήμα 6.7: SR Μανδαλωτής

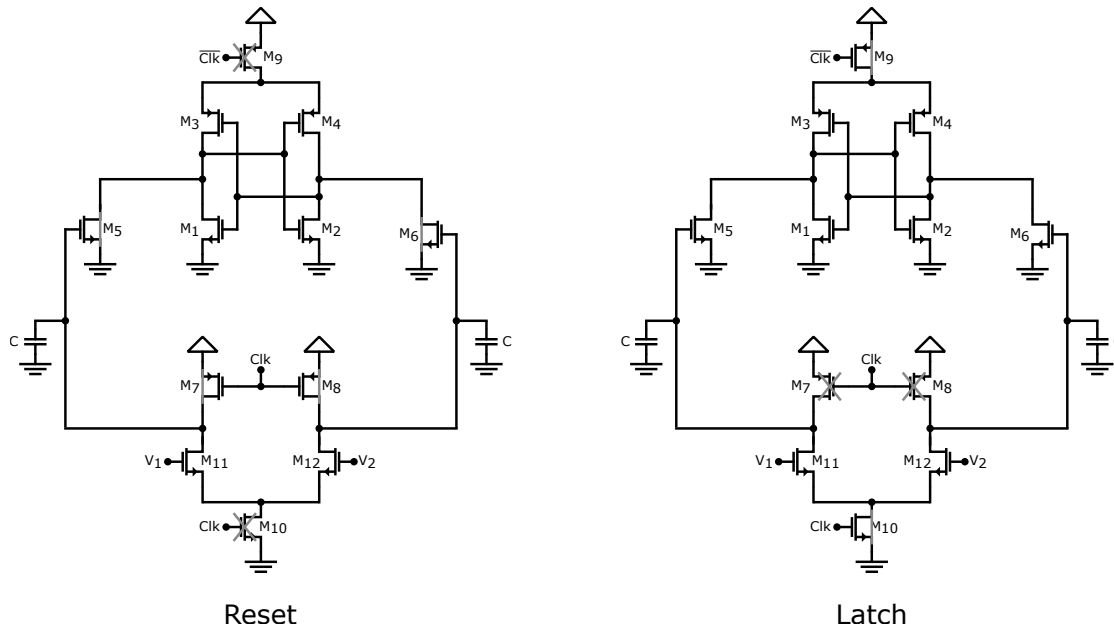
6.4 Συγκριτής Schinkel

Γενικά, οι Συγκριτές με Μανδάλωση έχουν τοποθετημένα τρανζίστορες, που εκτελούν την εναλλαγή των φάσεων, ανάμεσα στα τρανζίστορες που πραγματοποιούν την αναγέννηση του σήματος. Στην εργασία αυτή γίνεται χρήση του Συγκριτή Schinkel [16] ο οποίος δεν έχει στοιβαγμένα τρανζίστορες και κατά προέκταση έχει τη δυνατότητα να λειτουργήσει σε χαμηλότερες τροφοδοσίες.

6.4.1 Αρχή Λειτουργίας

Κατά τη φάση Reset, τα τρανζίστορ M_7 - M_8 άγουν πλήρως στέλνοντας λογικό 1 στα M_5 - M_6 . Με αυτό τον τρόπο οι κόμβοι εισόδου και εξόδου των αντιστροφών εκφορτίζονται και οδηγούνται στη γη. Κατά την εναλλαγή στη Latch φάση, η κοινή τάση (common-mode voltage) εξόδου του διαφορικού ζεύγους πέφτει με ρυθμό

$I_{10}/(2C)$. Παράλληλα, σχηματίζεται και ένα διαφορικό σήμα που στέλνεται στα M_5 - M_6 . Ανάλογα με αυτή τη διαφορά, ο ένας αντιστροφέας έχει πλεονέκτημα έναντι του άλλου και λόγω της αναγέννησης του σήματος, ο ένας οδηγείται στην τροφοδοσία και ο άλλος στη γη.



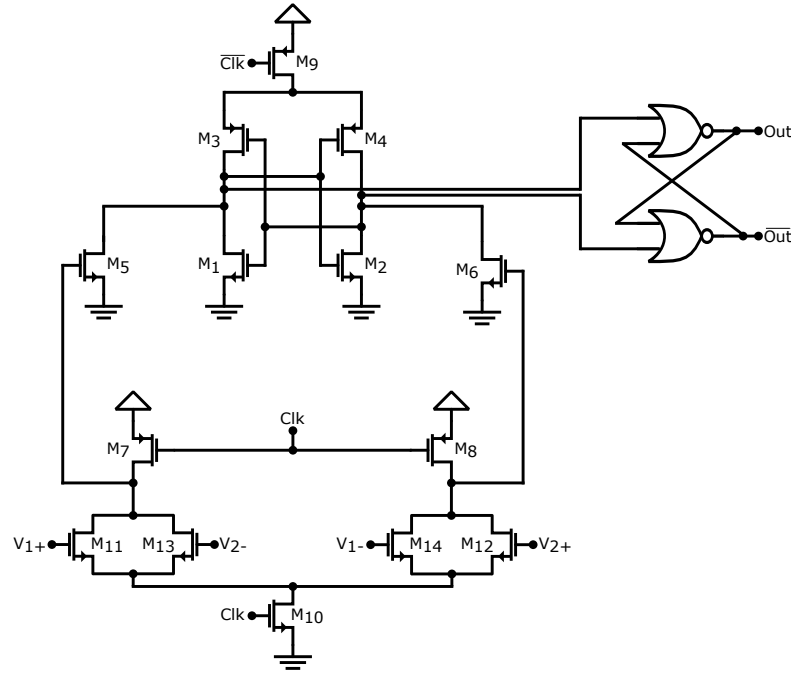
Σχήμα 6.8: Συγκριτής Schinkel

Το κύκλωμα πρέπει να σχεδιαστεί έτσι ώστε τα τρανζιστορς M_9 - M_{10} να μην προκαλούν μεγάλη πτώση τάσεως διότι διαφορετικά οι έξοδοι των αντιστροφένων θα είχαν τιμές που δεν αντιστοιχούν σε κάποιο λογικό επίπεδο. Ακόμα, τα τρανζιστορς M_5 - M_6 πρέπει να είναι αρκετά μεγάλα ώστε οι έξοδοι να αποφορτίζονται πλήρως μέσα σε μισή περίοδο του ρολογιού. Συνεπώς, οι διαστάσεις τους επηρεάζουν τη μέγιστη συχνότητα λειτουργίας.

6.4.2 Διαφορική Είσοδος

Ο DAC που αναλύεται σε επόμενο κεφάλαιο παρέχει διαφορική έξοδο. Συνεπώς, ο συγκριτής πρέπει να τροποποιηθεί με σκοπό να δέχεται διαφορικά σήματα. Η τροποποίηση αυτή παρουσιάζεται στην παρακάτω εικόνα.

Το θέμα με αυτήν την τοπολογία είναι πως η σύγκριση δεν πραγματοποιείται μεταξύ των δύο διαφορικών σημάτων αλλά εξαρτάται σε μεγάλο βαθμό και από την διαφορά της DC τάσης που έχουν [17]. Για παράδειγμα, η σύγκριση ενός διαφορικού σήματος με DC τάση 250mV , με ένα που έχει DC τάση 450mV καθίσταται αδύνατη. Κατά συνέπεια η DC συνιστώσα των δύο διαφορικών σημάτων πρέπει να είναι όσο το δυνατόν καλύτερα ταιριασμένη.



Σχήμα 6.9: Διαφορικός Συγκριτής Schinkel

Αναλυτικότερα, έστω ότι το $<>$ αποτελεί το σύμβολο της σύγκρισης, δηλαδή μπορεί να εκφράζει ένα από τα $>$, $<$ ή $=$. Τότε το κύκλωμα πρέπει να πραγματοποιεί τη σύγκριση:

$$V_{p1} - V_{n1} <> V_{p2} - V_{n2} \quad (6.6)$$

Στην ουσία, για να επιτευχθεί αυτό γίνεται η μετατροπή των τάσεων σε ρεύματα και έπειτα η σύγκριση των δεύτερων. Δηλαδή:

$$\begin{aligned} i_{p1} - i_{n1} <> i_{p2} - i_{n2} \Rightarrow \\ i_{p1} + i_{n2} <> i_{p2} + i_{n1} \end{aligned} \quad (6.7)$$

Τα τρανζίστορς $M_{11}-M_{14}$ λειτουργούν στην ισχυρή αναστροφή για ένα πολύ μικρό διάστημα όταν ο συγκριτής μεταβαίνει από τη φάση Reset σε αυτή του Latch. Αν αυτά έχουν ίδιες διαστάσεις, από την 6.7 προκύπτει:

$$\begin{aligned} \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{p1} - V_{D10} - V_{th})^2 + \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{n2} - V_{D10} - V_{th})^2 \\ <> \\ \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{p2} - V_{D10} - V_{th})^2 + \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{n1} - V_{D10} - V_{th})^2 \end{aligned} \quad (6.8)$$

Αν τεθεί $V_{p1} = V_{CM1} + V_1/2$, $V_{n1} = V_{CM1} - V_1/2$, $V_{p2} = V_{CM2} + V_2/2$ και $V_{n2} = V_{CM2} - V_2/2$, η παραπάνω σχέση μπορεί να απλοποιηθεί και να φτάσει στην εξής μορφή:

$$(V_{CM1} - V_{D10} - V_{th})V_1 <> (V_{CM2} - V_{D10} - V_{th})V_2 \quad (6.9)$$

όπου V_{CM1} , V_{CM2} είναι οι DC τάσεις και V_1 , V_2 τα διαφορικά σήματα των εισόδων 1 και 2, αντίστοιχα.

Η παραπάνω σχέση αποδεικνύει ότι το κύκλωμα συγκρίνει γινομένα τάσεων και όχι απλώς σήματα. Κατά συνέπεια, οι δύο εισοδοί του συγκριτή πρέπει να έχουν κοινή DC τάση.

6.4.3 Υλοποίηση

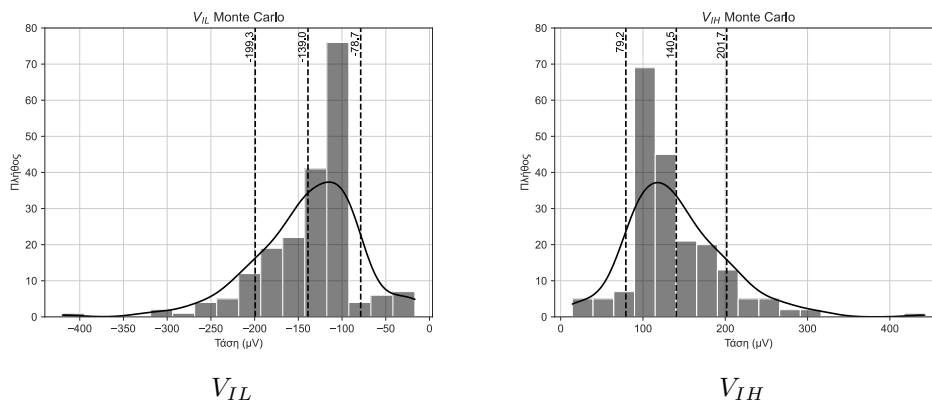
Τα μεγέθη των τρανζιστορ του σχηματικού 6.9 φαίνονται στον παρακάτω πίνακα. Ακόμη, παρουσιάζονται οι προσομοιώσεις για τον προσδιορισμό των ελάχιστων τάσεων εισόδου, που απαιτούνται για την πραγματοποίηση μιας σύγκρισης, και του input offset.

nMOS			pMOS		
	W/L [μm]	f/m		W/L [μm]	f/m
$M_1 - M_2, M_{10}$	0.8/0.4	4/2	$M_3 - M_4$	0.8/0.4	4/4
$M_5 - M_6$	0.8/0.4	8/2	$M_7 - M_8$	0.6/2.4	8/2
$M_{11} - M_{14}$	0.6/0.6	2/2	M_9	0.8/0.4	8/4

Πίνακας 6.1: Μεγέθη στοιχείων Συγκριτή

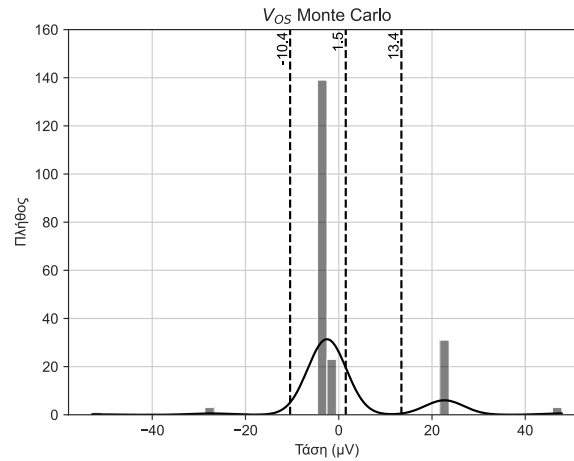
Ελάχιστες Τάσεις Εισόδου

Οι τιμές αυτών των μεγεθών πρέπει να είναι μικρότερες από $0.5LSB$ ώστε ο συγκριτής να είναι σε θέση να διαφοροποιεί τα επίπεδα μεταξύ τους.



Σχήμα 6.10: Monte Carlo - Ελάχιστες τάσεις εισόδου του Συγκριτή

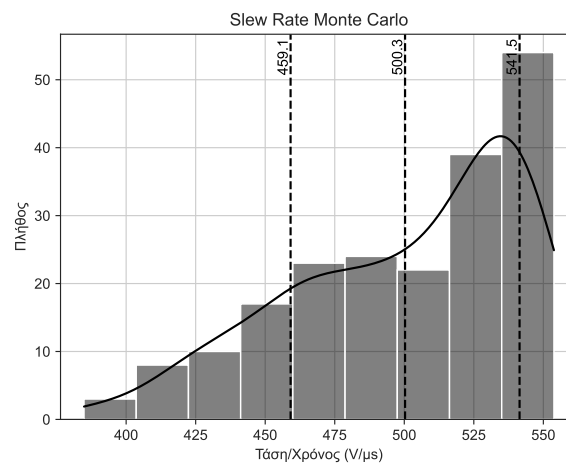
Input Offset Voltage



Σχήμα 6.11: Monte Carlo - Input Offset του Συγκριτή

Slew Rate

Η μέγιστη συχνότητα λειτουργίας του συγκριτή εξαρτάται και από το slew rate αυτού. Στη συγκεκριμένη περίπτωση το slew rate είναι αρκετά μεγαλύτερο από αυτό που απαιτείται και κατά προέκταση δεν αποτελεί εμπόδιο στη σχεδίαση.



Σχήμα 6.12: Monte Carlo - Slew Rate του Συγκριτή

Κεφάλαιο 7

Καταχωρητής Διαδοχικής Προσέγγισης

7.1 Γλώσσα VHDL

Η VHDL (VHSIC Hardware Description Language) είναι μια γλώσσα περιγραφής υλικού υψηλού επιπέδου που χρησιμοποιείται ευρέως στον χώρο του σχεδιασμού ολοκληρωμένων κυκλωμάτων και της ψηφιακής σχεδίασης.

Η VHDL χρησιμοποιείται για την περιγραφή της συμπεριφοράς ενός συστήματος. Με τη χρήση της, ο σχεδιαστής μπορεί να περιγράψει τη λογική λειτουργία, την αρχιτεκτονική και άλλες πτυχές του ψηφιακού συστήματος.

Σε αυτή την εργασία χρησιμοποιείται για τη σχεδίαση του Καταχωρητή Διαδοχικής Προσέγγισης (SAR) ο οποίος είναι ένα καθαρά ψηφιακό σύστημα και υπεύθυνος να θέτει σε λογικό 0 ή 1 τον κατάλληλο κάθε φορά καταχωρητή της ψηφιακής λέξης ανάλογα με το αποτέλεσμα της σύγκρισης που έχει προηγηθεί. Επιπλέον, θέτει στο λογικό 1 και το επόμενο bit της ψηφιακής λέξης ώστε να δοκιμαστεί, με τη βοήθεια του DAC, στον επόμενο κύκλο. Τέλος, παράγει ένα σήμα Valid ώστε να είναι γνωστό πότε έχει ολοκληρωθεί μια μετατροπή.

7.2 Κώδικας SAR

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity SAR is
  generic (
    data_width  : natural := 8;
    index_size  : natural := 3
```



```

);
port (
    clk          : in std_logic;
    en           : in std_logic;
    resetn       : in std_logic;
    sar_in       : in std_logic;
    valid_out    : out std_logic;
    sar_out      : out std_logic_vector(data_width-1 downto 0)
);
end entity;

architecture Behavioral of SAR is
    signal dff      : std_logic_vector(data_width-1 downto 0) :=
        ⇨ std_logic_vector(to_unsigned(1, data_width));
    signal index    : std_logic_vector(index_size-1 downto 0) :=
        ⇨ (others => '0');
    signal flag     : std_logic := '0';
begin
    process (clk, resetn)
    begin

        if resetn = '0' then
            dff      <= std_logic_vector(to_unsigned(1, data_width));
            index    <= (others => '0');
            flag     <= '0';
        elsif clk'event and clk = '1' then
            if en = '1' then
                case sar_in is
                    when '0' =>
                        dff(to_integer(unsigned(index))) <= '0';
                    when others =>
                        dff(to_integer(unsigned(index))) <= '1';
                end case;

                if index = (index'range => '1') and flag = '0' then
                    flag <= '1';
                elsif index = (index'range => '1') and flag = '1' then
                    dff <= std_logic_vector(to_unsigned(1, data_width));
                    index <= (others => '0');
                    flag <= '0';
                else
                    dff(to_integer(unsigned(index)+1)) <= '1';
                end if;
            end if;
        end if;
    end process;
end architecture;

```

```

        index <= std_logic_vector(unsigned(index)+1);
    end if;

    end if;
end if;
end process;

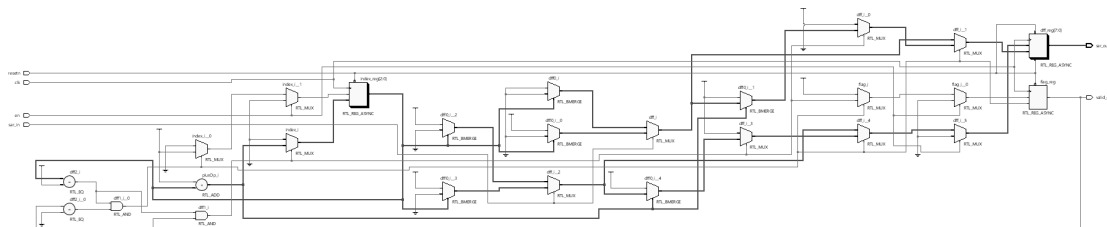
sar_out <= dff;
valid_out <= '0' when flag = '0' else '1';

end architecture;

```

7.3 Υλοποίηση

Ο κώδικας αυτός μπορεί να μεταγλωτιστεί σε Register Transfer Level (RTL) όπου διαφαίνονται οι συνδέσεις όλων των λογικών μονάδων. Αφού παράχθηκε αυτό το επίπεδο από ένα εργαλείο (Xilinx Vivado) μεταφέρθηκε, πραγματοποιώντας και κάποιες προσθήκες για τον ορθό χρονισμό των στοιχείων μνήμης, στο εργαλείο που χρησιμοποιείται για την προσομοίωση όλων των κυκλωμάτων αυτής της εργασίας (Cadence Virtuoso).



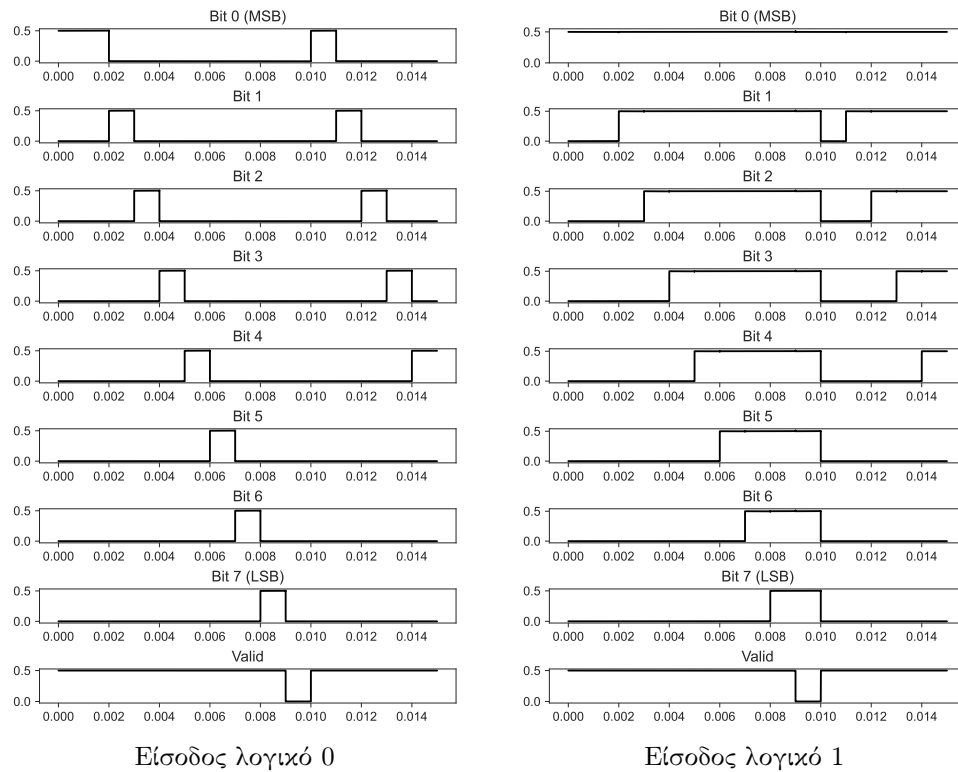
Σχήμα 7.1: Καταχωρητής Διαδοχικής Προσέγγισης

Για την υλοποίηση του συστήματος αυτού, αλλά και γενικά για όλα τα ψηφιακά συστήματα αυτής της εργασίας, χρησιμοποιήθηκαν λογικές πύλες με μεγέθη τρανζίστορ όπως φαίνονται στον πίνακα.

nMOS			pMOS		
	W/L [μm]	f/m		W/L [μm]	f/m
M_n	0.2/0.5	1/1	M_p	0.2/0.5	2/2

Πίνακας 7.1: Μεγέθη στοιχείων ψηφιακών πυλών

Αναλυτικότερα, η λειτουργία του καταχωρητή παρουσιάζεται στο παρακάτω σχήμα όπου φαίνεται το περιεχόμενό του όταν στην είσοδό του τίθεται το λογικό 0 ή το λογικό 1. Στην πρώτη περίπτωση, το ψηφίο που ελέγχεται μεταβαίνει από το λογικό 1 στο λογικό 0 καθώς μία τέτοια είσοδος δείχνει ότι το σήμα εισόδου του ADC είναι μικρότερο από αυτό που εξετάζεται, ενώ στη δεύτερη, παραμένει στο λογικό 1 μιας και το σήμα εισόδου είναι μεγαλύτερο. Επιπλέον, το επόμενο ψηφίο τίθεται στο λογικό 1 ώστε να ελεγχθεί στο νέο κύκλο ρολογιού. Μόλις ολοκληρωθεί η διαδικασία και για τα 8 ψηφία, η σημαία Valid τίθεται στο λογικό 0.



Σχήμα 7.2: Περιεχόμενα SAR για διάφορες εισόδους

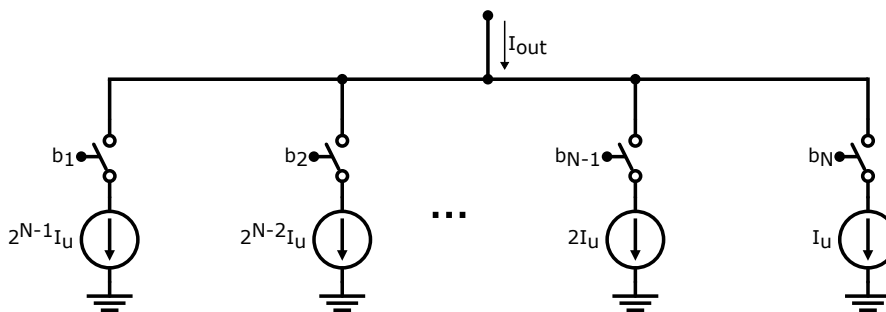
Κεφάλαιο 8

Μετατροπέας Ψηφιακού Σήματος σε Αναλογικό

Υπάρχουν διάφορα κυκλώματα που υλοποιούν την μετροπή ενός ψηφιακού σήματος σε αναλογικό. Ένα από αυτά, το οποίο χρησιμοποιήθηκε και σε αυτή την εργασία, είναι ο Current Steering DAC (CS-DAC) [18], [19], [20]. Ένας τέτοιος μετροπέας μπορεί να διαθέτει υψηλή ταχύτητα, μεγάλη ανάλυση, σχετικά μικρή κατανάλωση ισχύος και μικρή επιφάνεια, ενώ παράλληλα, έχει τη δυνατότητα να οδηγεί και ωμικά φορτία. Υπάρχουν τρεις κύριες αρχιτεκτονικές που καθορίζονται από τη κλίμακα των πηγών ρεύματος που χρησιμοποιούνται. Πιο συγκεκριμένα, υπάρχει η μοναδιαία βεβαρημένη (Unary weighted), η δυαδικά βεβαρημένη (Binary weighted) και η τμηματοποιημένη (Segmented) αρχιτεκτονική.

8.1 Πυρήνας

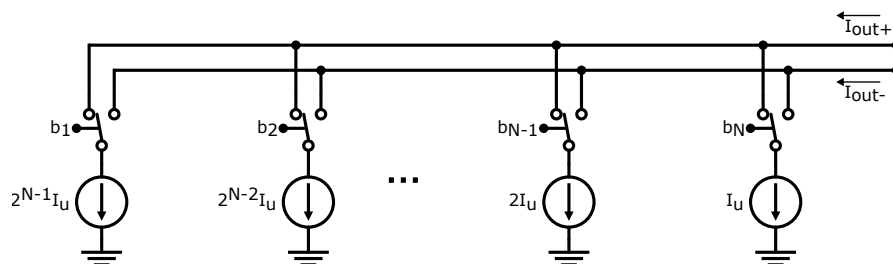
Σε αυτή την ενότητα θα εξηγηθούν οι λόγοι που στην συγκεκριμένη εργασία χρησιμοποιήθηκε ένας Segmented Current Steering DAC και όχι κάποια πιο απλή τοπολογία.



Σχήμα 8.1: Μετατροπή ψηφιακής λέξης σε ρεύμα [18]

Ο απλούστερος τρόπος για να μετατραπεί μια ψηφιακή λέξη σε ένα αναλογικό ρεύμα είναι με τον έλεγχο διακοπών, σύμφωνα με την λέξη, οι οποίοι προσθέτουν στην έξοδο ή απομονώνουν από αυτή δυαδικά βεβαρημένα ρεύματα, όπως φαίνεται παραπάνω. Αυτή η διάταξη έχει το αρνητικό ότι προσθέτει σφάλματα στην έξοδο. Κάτι τέτοιο συμβαίνει καθώς η πάνω τάση μίας πηγής μηδενίζεται όταν ο διακόπτης της ανοίξει και χρειάζεται κάποιο χρονικό διάστημα για να φορτίσει η μη γραμμική χωρητικότητα αυτού του κόμβου όταν ενεργοποιηθεί ξανά αυτός ο κλάδος.

Η λύση σε αυτό το πρόβλημα είναι να υπάρχουν δύο συμπληρωματικοί διακόπτες, αντί για έναν, που θα στρέφουν κάθε φορά το ρεύμα σε μία από τις δύο εξόδους που έχουν δημιουργηθεί. Με αυτόν τον τρόπο, η τάση στο πάνω μέρος των πηγών θα παραμένει σταθερή, εκτός από μια μικρή ταλάντευση κατά την εναλλαγή των καταστάσεων.



Σχήμα 8.2: Δυαδικά βεβαρημένη αρχιτεκτονική DAC [18]

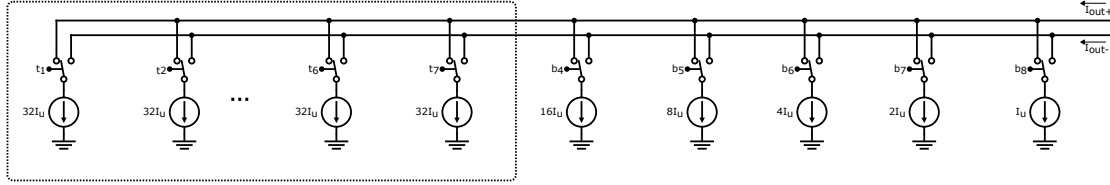
Η παραπάνω αρχιτεκτονική αποτελεί την δυαδικά βεβαρημένη διότι οι πηγές έχουν τιμή όσο μια μοναδιαία I_u πολλαπλασιασμένη με δυνάμεις του δύο ως βάρη. Σε αυτή την διάταξη η διαφορά του ρεύματος από επίπεδο σε επίπεδο ισούται με I_u στην ιδανική περίπτωση. Όμως, λόγω του μη ιδανικού ταιριάσματος, αυτή η διαφορά μπορεί να είναι μεγαλύτερη ή μικρότερη με αποτέλεσμα να εμφανίζονται άλματα στην έξοδο τα οποία αυξάνουν τις μη γραμμικότητες του μετατροπέα.

Αυτό το πρόβλημα μπορεί να επιλυθεί χρησιμοποιώντας την μοναδιαία βεβαρημένη αρχιτεκτονική που όλες η πηγές της διαθέτουν τιμή ίση με την μοναδιαία I_u . Καθώς, οι πηγές είναι ίδιες μπορούν να ταιριαστούν καλύτερα και αρά ο μετατροπέας να εμφανίζει μεγαλύτερη γραμμικότητα. Βέβαια, για να επιτευχθεί κάτι τέτοιο απαιτείται και η προσθήκη ενός ψηφιακού κυκλώματος που μετατρέπει την ψηφιακή λέξη σε κώδικα θερμομέτρου, ο οποίος θα αναλυθεί σε επόμενη ενότητα.

Συνήθως δεν χρησιμοποιείται καμία από τις δύο αρχιτεκτονικές αυτές καθ' αυτές. Η πρώτη λόγω της μη γραμμικότητας και η δεύτερη λόγω της περιπλοκότητας και του μεγέθους που απαιτείται. Αντίθετα, εφαρμόζεται η τμηματοποιημένη αρχιτεκτονική κατά την οποία τα πιο σημαντικά ψηφία (MSB), που φέρουν και τα μεγαλύτερα ρεύματα, κάνουν χρήση της μοναδιαίας και τα υπόλοιπα (LSB) της δυαδικής. Με αυτόν τον τρόπο συνδυάζονται τα θετικά και των δύο.

Τώρα το θέμα που εγείρεται είναι από πόσα ψηφία πρέπει να αποτελείται το κάθε τμήμα. Σύμφωνα με την βιβλιογραφία [21], πολύ καλά αποτελέσματα επιτυγχάνονται

αν η μοναδιαία βεβαρημένη αρχιτεκτονική περιλαμβάνει το 30% των συνολικών ψηφίων. Για παράδειγμα, σε αυτή την εργασία, που σχεδιάζεται ένας DAC των 8-bit, χρησιμοποιήθηκαν τα 3 από τα 8 στην τμηματοποίηση.

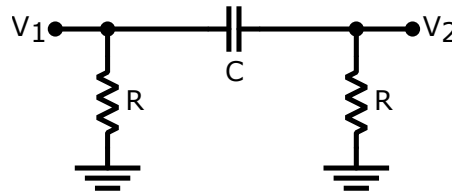


Σχήμα 8.3: Τμηματοποιημένη αρχιτεκτονική DAC

8.2 Στάδιο Εξόδου

Τα ρεύματα των δύο εξόδων οδηγούνται σε δύο αντιστάσεις ώστε οι εξόδοι του DAC να είναι σε μορφή τάσεων. Το γινόμενο του μέγιστου ρεύματος, δηλαδή του ρεύματος που προκύπτει αν αυτό είναι στραμμένο στη μία έξοδο, και της αντίστασης πρέπει να ισούται με το μισό του πλάτους του σήματος που απαιτείται ως έξοδος.

Επιπλέον μπορεί να χρησιμοποιηθεί και ένας πυκνωτής μεταξύ των δύο εξόδων έτσι ώστε να φιλτράρει τις μεταβολές της τάσης που προκαλούνται κατά την εναλλαγή των καταστάσεων του DAC.



Σχήμα 8.4: Στάδιο εξόδου DAC

Έστω ότι οι τάσεις V_1 και V_2 αποτελούνται από δύο συνιστώσες η κάθε μία. Η πρώτη, η οποία συμβολίζεται με τόνο, είναι η τάση που προκαλείται από το ρεύμα των πηγών του DAC και η δεύτερη, η οποία συμβολίζεται με δίτονο, είναι η τάση που δημιουργείται λόγω της άλλης εξόδου. Συνεπώς, λόγω της υπέρθεσης:

$$V_1 = V_1' + V_1'' \quad (8.1)$$

$$V_2 = V_2' + V_2'' \quad (8.2)$$

Οι αντιστάσεις και ο πυκνωτής δημιουργούν ένα βαθυπερατό φίλτρο. Οπότε:

$$V_1'' = \frac{sCR}{sCR + 1} V_2' \quad (8.3)$$

$$V_2'' = \frac{sCR}{sCR + 1} V_1' \quad (8.4)$$

Τελικά, προκύπτει ότι η διαφορική έξοδος ισούται με την διαφορά των τάσεων, που δημιουργούνται λόγω των πηγών του DAC, φιλταρισμένη ανάλογα με τις τιμές των αντιστάσεων και του πυκνωτή:

$$\begin{aligned} V_1 - V_2 &= V_1' + V_1'' - V_2' - V_2'' \\ &= V_1' + \frac{sCR}{sCR + 1} V_2' - V_2' - \frac{sCR}{sCR + 1} V_1' \\ &= V_1' \left(1 - \frac{sCR}{sCR + 1} \right) - V_2' \left(1 - \frac{sCR}{sCR + 1} \right) \\ &= (V_1' - V_2') \left(\frac{1}{sCR + 1} \right) \end{aligned} \quad (8.5)$$

8.3 Κώδικας Θερμομέτρου

Όπως αναφέρθηκε προηγουμένως, η μοναδιαία βεβαρημένη αρχιτεκτονική δεν μπορεί να λειτουργήσει με τη ψηφιακή λέξη απευθείας. Αντιθέτως, απαιτείται ένας αποκωδικοποιητής που μετατρέπει το δυαδικό σύστημα σε κώδικα θερμομέτρου.

Ο κώδικας αυτός εκφράζει έναν φυσικό αριθμό με το πλήθος των λογικών 1. Κατά συνέπεια, ένας δυαδικός αριθμός των N -bit απαιτεί $(2^N - 1)$ -bit για να παρουσιαστεί σε κώδικα θερμομέτρου. Παρακάτω παρουσιάζεται η αναπαράσταση μίας ψηφιακής λέξης των 3-bit.

Δυαδικός Κώδικας	Κώδικας Θερμομέτρου
000	0000000
001	0000001
010	0000011
011	0000111
100	0001111
101	0011111
110	0111111
111	1111111

Πίνακας 8.1: Κώδικας θερμομέτρου ψηφιακής λέξης των 3-bit

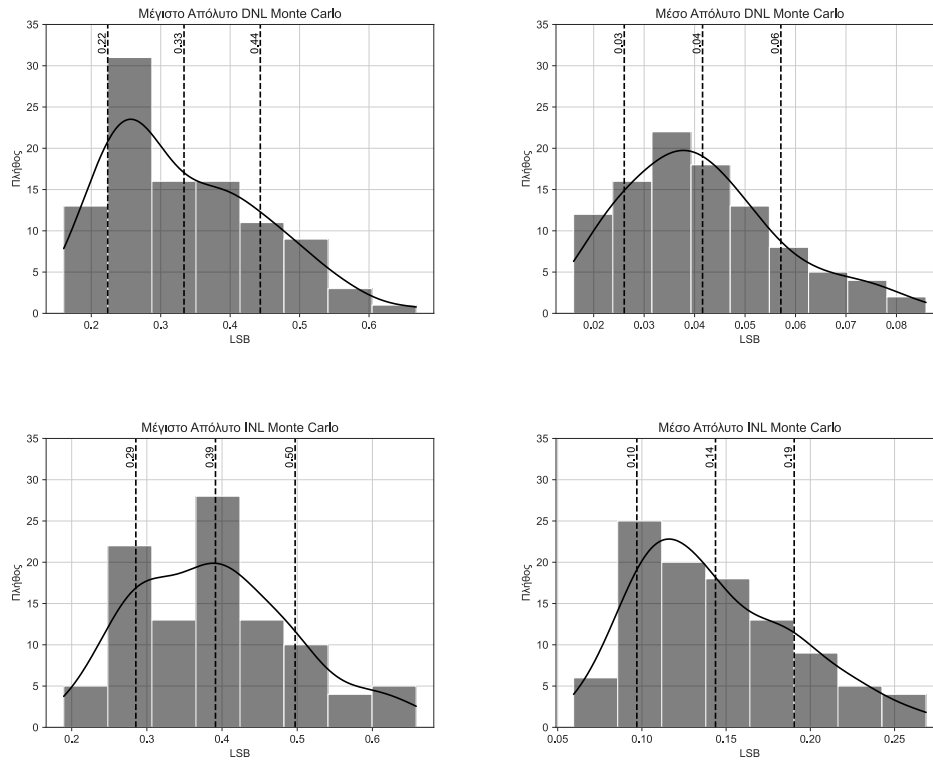
Σύμφωνα με αυτή την αντιστοίχιση, μπορεί να σχεδιαστεί ένας ψηφιακός αποκωδικοποιητής όπως φαίνεται παρακάτω.

	nMOS		Παθητικά Στοιχεία	
	W/L [μm]	f/m		
$M_1 - M_2$	0.6/1.2	4/2n	R'	500k
$M_3 - M_4$	0.8/0.4	2/1n	R	2k
$M_5 - M_6$	0.6/1.2	4/64	C	40p
$M_7 - M_8$	0.8/0.4	2/32	-	-
$M_9 - M_{10}$	0.6/1.2	4/2	-	-

Πίνακας 8.2: Μεγέθη στοιχείων DAC ($I_{ref} = 200nA$, n : n -ιστό bit)

Μη Γραμμικότητες

Τα μεγέθη των τρανζίστορς και των ρευμάτων επιλέχθηκαν ώστε η τιμή του μέγιστου απόλυτου DNL να είναι μικρότερη του $1LSB$. Αυτή η απαίτηση εξαναγκάζει τον μετατροπέα να είναι μονότονος. Παρακάτω παρουσιάζονται τα αποτελέσματα των προσομοιώσεων για τις μέγιστες και μέσες τιμές των απολύτων των DNL και INL.



Σχήμα 8.7: Monte Carlo DAC

Κεφάλαιο 9

Μετατροπέας Αναλογικού Σήματος σε Ψηφιακό

9.1 Συνολικό Σύστημα

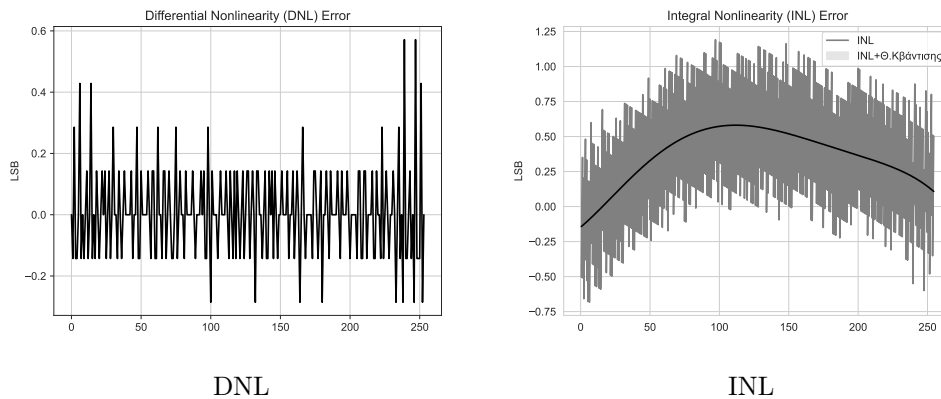
Το προηγούμενα κεφάλαια αναλύουν και παρουσιάζουν τα υποκυκλώματα που απαρτίζουν το ολοκληρωμένο σύστημα. Αυτό απεικονίζεται πλήρως στο σχήμα 9.1. Το σήμα εισόδου αρχικά δειγματοληπτείται και στη συνέχεια μετατρέπεται σε δι-αφορικό. Αυτό με τη σειρά του συγκρίνεται με το διαφορικό σήμα του DAC και λαμβάνεται μια απόφαση. Ανάλογα με το αποτέλεσμα της σύγκρισης, ο καταχωρητής θέτει σε λογικό 0 ή λογικό 1 την αντίστοιχη θέση του. Η συγκεκριμένη λειτουργία επαναλαμβάνεται για να λάβουν όλες οι θέσεις του καταχωρητή την κατάλληλη τιμή. Η διαδικασία ξεκινάει από το πιο σημαντικό ψηφίο και προχωράει στο λιγότερο σημαντικό, εκτελώντας τον αλγόριθμο της δυαδικής αναζήτησης που είχε επεξηγηθεί και στο 3ο κεφάλαιο. Μόλις συμπληρωθεί η ψηφιακή λέξη, ενεργοποιείται το σήμα Valid το οποίο εκτός από τη σηματοδότηση της εγκυρότητας της λέξης, ενεργοποιεί και το σύστημα Δειγματοληψίας και Συγκράτησης ώστε να λάβει ένα νέο δείγμα του σήματος εισόδου. Συνεπώς, για να λειτουργήσει το κύκλωμα απαιτείται ρολόι συχνότητας $f_{clock} = (N + 1)f_{sampling}$. Στη συγκεκριμένη περίπτωση $f_{clock} = 9f_{sampling}$.

Το σύστημα προσομοιώθηκε με τάση τροφοδοσίας $V_{DD} = 0.5V$, τάση αναφοράς $V_{ref} = 0.25V$ και σήμα εισόδου $V_{in} = 0.2V_{pp}$. Οι συχνότητες δειγματοληψίας που χρησιμοποιήθηκαν είναι οι $44.1kHz$, $48kHz$ και $96kHz$ καθώς αποτελούν στάνταρς της βιομηχανίας ήχου. Η τελική κατανάλωση ισχύος ισούται με $32.62\mu W$.

Μόλις ολοκληρωθεί μία προσομοίωση, στην έξοδο λαμβάνονται τα σήματα όλων των ψηφίων της ψηφιακής λέξης αλλά και το σήμα Valid. Μέσω του δεύτερου, είναι δυνατό να απομονωθούν οι ψηφιακές λέξεις που αντιστοιχούν στις ολοκληρωμένες μετατροπές των δειγμάτων του σήματος εισόδου από αυτές των ενδιάμεσων καταστάσεων. Στο σχήμα 9.2 παρουσιάζεται το πριν και το μετά της συγκεκριμένης διαδικασίας για ένα ημιτονοειδές σήμα $1kHz$ δειγματοληπτημένο στα $48kHz$.

9.2 Στατικά Μέτρα Επίδοσης

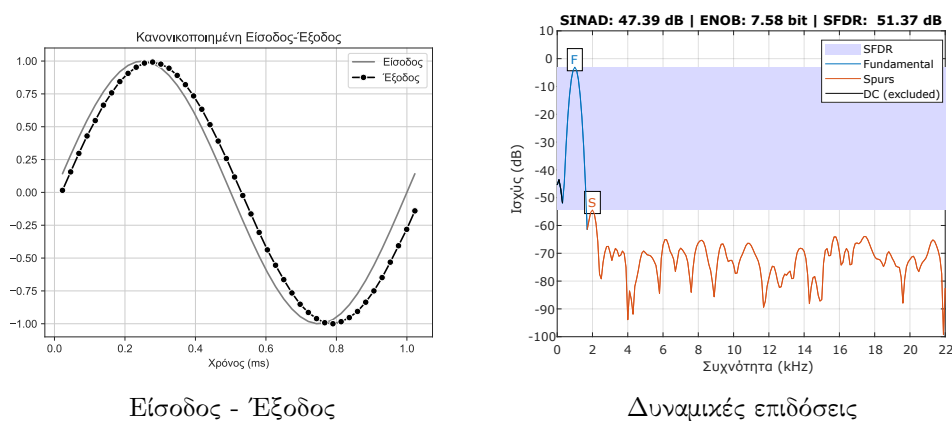
Τα σφάλματα DNL και INL υπολογίστηκαν με τη βοήθεια μίας προσομοίωσης με είσοδο ένα σήμα ράμπας δειγματοληπτημένο με συχνότητα 44.1kHz . Ο χρόνος ανόδου της ράμπας επιλέχθηκε με τέτοιο τρόπο ώστε στο τέλος να υπάρχουν 7 δείγματα για κάθε στάθμη του ADC.



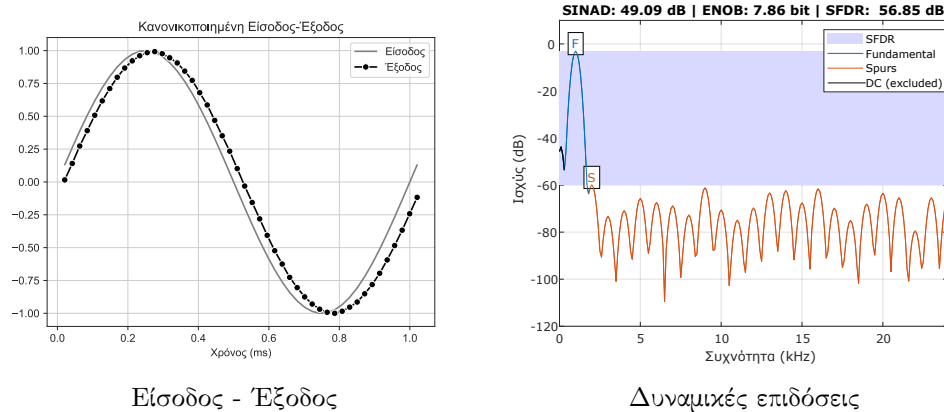
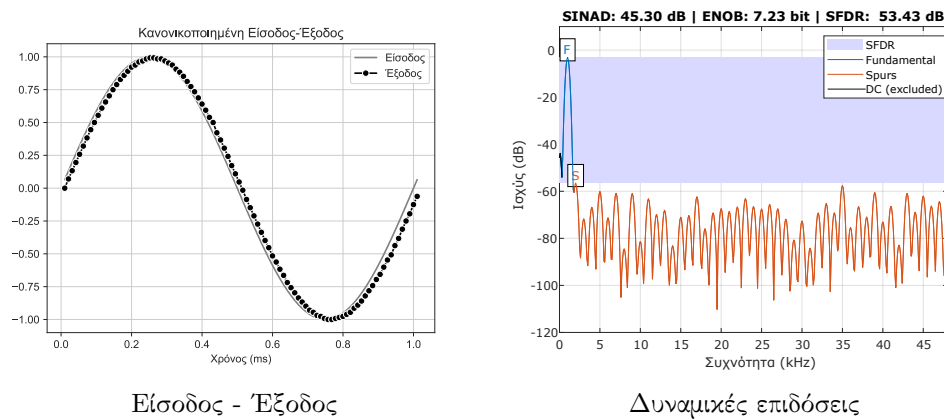
Σχήμα 9.3: Στατικά Μέτρα Επίδοσης

9.3 Δυναμικά Μέτρα Επίδοσης

Τα δυναμικά μέτρα επίδοσης υπολογίστηκαν με βάση προσομοιώσεων που διέθηκαν ως είσοδο ένα ημιτονοειδές σήμα συχνότητας 1kHz . Παρακάτω φαίνονται τα σήματα εισόδου, εξόδου και οι τιμές των μέτρων επίδοσης για διάφορες συχνότητες δειγματοληψίας.



Σχήμα 9.4: Προσομοιώσεις με δειγματοληψία 44.1kHz

Σχήμα 9.5: Προσομοιώσεις με δειγματοληψία $48kHz$ Σχήμα 9.6: Προσομοιώσεις με δειγματοληψία $96kHz$

9.4 Σύνοψη και Συμπεράσματα

Στον πίνακα παρουσιάζονται συνοπτικά οι προδιαγραφές που είχαν τεθεί και τα αποτελέσματα των προσομοιώσεων. Ο τελικός μετατροπέας διαθέτει 8-bit ανάλυση και είναι ένα κύκλωμα με αρκετά χαμηλή κατανάλωση μιας και αυτή ισούται με $32.62\mu W$, ενώ παράλληλα απαιτεί μόνο $0.5V$ τάση τροφοδοσίας.

Είναι σε θέση να μετατρέψει σήματα εισόδου πλάτους $0.2V_{pp}$, σημαντικό ποσοστό της τάσης τροφοδοσίας, και συχνότητας μέχρι και της ακουστικής, δηλαδή $20kHz$. Ακόμη, το ρολόι πρέπει να είναι 9 φορές ταχύτερο από τη συχνότητα δειγματοληψίας.

Το μέγιστο απόλυτο DNL ισούται με $0.57LSB$ πράγμα που εξασφαλίζει ότι ο ADC δεν υποφέρει από το πρόβλημα των χαμένων κωδικών. Από την άλλη, το μέγιστο απόλυτο INL ισούται με $0.58LSB$, μεγαλύτερο από το επιθυμητό $0.5LSB$. Η τιμή αυτή δεν αποτελεί μεγάλο πρόβλημα καθώς η ανάγκη για τη μη ύπαρξη χαμένων

κωδικών έχει ικανοποιηθεί και οι εφαρμογές, για τις οποίες προορίζεται ο ADC, δεν έχουν τόσο αυστηρές απαιτήσεις. Το μικρό πλάτος σήματος εισόδου, και κατά προέκταση η χαμηλή τάση τροφοδοσίας, είναι αυτό που δυσχαιρένει την κατάσταση αφού συμπιέζει σημαντικά το εύρος των σταθμών εξόδου. Για παράδειγμα, αν το πλάτος διπλασιαζόταν, το ίδιο θα γινόταν και με το εύρος των σταθμών και η μη γραμμικότητες INL και DNL θα μειώνονταν στο μισό. Ακόμα, τα τρανζίστορς θα λειτουργούσαν πιο γραμμικά και τα αποτελέσματα θα βελτιώνονταν περαιτέρω.

Οι δυναμικές επιδόσεις του ADC είναι πολύ καλές και ικανοποιούν τις απαιτήσεις. Η συχνότητα δειγματοληψίας 96kHz δεν δίνει τα καλύτερα αποτελέσματα διότι ο υπολογισμός των μετρικών γίνεται σε μεγαλύτερο ευρός ζώνης σε σχέση με τις άλλες συχνότητες και άρα προσμετράται περισσότερος θόρυβος. Ακόμη, η συχνότητα αυτή είναι η οριακή με την οποία μπορούν να λειτουργήσουν τα υποκυκλώματα και κάτι τέτοιο προσθέτει παραμόρφωση. Από την άλλη πλευρά, η συχνότητα 48kHz δίνει τα καλύτερα αποτελέσματα και φαίνεται να αποτελεί την κατάλληλη επιλογή.

Συμπερασματικά, ο συγκεκριμένος ADC αποτελεί μια πολύ καλή επιλογή για χρήση σε συστήματα χαμηλής κατανάλωσης ισχύος και χαμηλής τροφοδοσίας που εμπλέκονται με σήματα αισθητήρων ή φωνητικών εντολών. Επιπλέον, η ανάλυση των 8-bit είναι ιδανική για να επιτυγχάνεται οικονομία στην μνήμη του συστήματος που οδηγεί τον μετατροπέα. Τέλος, η γραμμικότητα και οι δυναμικές επιδόσεις, κάνουν τον ADC ακόμα πιο εκλυστικό.

Παράμετρος	Προτεινόμενη Τιμή	Επιτευχθείσα Τιμή	Μονάδες
V_{DD}	0.50	0.50	V
V_{ref}	0.25	0.25	V
V_{in}	0.20	0.20	V_{pp}
Ανάλυση	8	8	bit
$f_{sampling}$	> 44.1	44.1, 48, 96	kHz
f_{clock}	Ελάχιστη	396.9, 432, 864	kHz
Κατανάλωση	Ελάχιστη	32.62	μW
DNL	< 1	0.57	LSB
INL	< 0.5	0.58	LSB
SINAD	> 44	47.39, 49.09, 45.30	dB
ENOB	> 7	7.58, 7.86, 7.23	bit
SFDR	> 50	51.37, 56.85, 53.43	dB

Πίνακας 9.1: Προδιαγραφές ADC

Κεφάλαιο 10

Μελλοντικές Επεκτάσεις

Σε αυτό το κεφάλαιο, θα εξεταστούν προτάσεις για επεκτάσεις που μπορούν να υλοποιηθούν προκειμένου να επιτευχθεί περαιτέρω βελτίωση της συγκεκριμένης εργασίας. Δεδομένου ότι η μείωση της κατανάλωσης ισχύος έχει την υψηλότερη προτεραιότητα και ο εσωτερικός DAC καταναλώνει περίπου το 75% της συνολικής ενέργειας, αποτελεί το κέντρο του ενδιαφέροντος.

Η πρώτη επέκταση που προτείνεται είναι η χρήση μιας προηγμένης μεθόδου περιοδικής βαθμονόμησης για τον εσωτερικό DAC [22]. Με άλλα λόγια, μπορεί να υλοποιηθεί ένα επικουρικό κύκλωμα το οποίο περιοδικά θα βαθμονομεί μία-μία τις πηγές ρεύματος του DAC φορτίζοντας κατάλληλα, μέσω μιας πηγής αναφοράς, τις παρασιτικές τους χωρητικότητες. Κατά συνέπεια, με την εφαρμογή αυτής της προσέγγισης, ο DAC θα διατηρεί τη γραμμικότητά του ακόμα και με την χρήση πολύ χαμηλών ρευμάτων. Εναλλακτικά, είναι δυνατό να επιτευχθεί μεγαλύτερη ανάλυση διατηρώντας την κατανάλωση στα ίδια επίπεδα. Στην περίπτωση αύξησης της ανάλυσης, πολύ σημαντική είναι και η αξιολόγηση του θορύβου στα διάφορα στάδια του ADC καθώς η διαφορά μεταξύ των στάθμεων μειώνεται και εν τέλει μπορεί να φτάσει στα επίπεδα του θορύβου.

Η δεύτερη επιλογή, που στοχεύει και αυτή στην βελτίωση της γραμμικότητας του DAC και κατά προέκταση της μείωσης των ρευμάτων λειτουργίας ή της αύξησης της ανάλυσης, είναι η μέθοδος του Δυναμικού Ταιριάσματος Στοιχείων (Dynamic Element Matching - DEM) [23]. Η τεχνική αυτή αναδιατάσσει δυναμικά τις διασυνδέσεις εσωτερικά, σύμφωνα με κάποιο αλγόριθμο ή τυχαία, και κάθε χρονική στιγμή η κάθε πηγή ρεύματος αποτελείται από πολλές διαφορετικές υπο-πηγές. Έτσι, τα σφάλμα, που δημιουργούν τα μη ταιριασμένα στοιχεία μεταξύ τους, μπορούν να μειωθούν σε πολύ μεγάλο βαθμό.

Μια άλλη πρόταση, η οποία θα είναι ιδανική αν απαιτείται πάρα πολύ χαμηλή κατανάλωση, είναι να μην χρησιμοποιηθεί Current Steering DAC αλλά ένας Capacitive DAC. Ένας τέτοιος μετατροπέας έχει μηδενική στατική κατανάλωση αλλά χρειάζεται μεγάλη επιφάνεια στο ολοκληρωμένο λόγω των πολλών παθητικών στοιχείων. Επιπλέον, διαθέτει μονή έξοδο και όχι διαφορική.

Βιβλιογραφία

- [1] Gray, Hurst, Lewis, and Meyer. *Ανάλυση και Σχεδίαση Αναλογικών Ολοκληρωμένων Κυκλωμάτων*. Εκδόσεις Κλειδάριθμος, 2007.
- [2] Adel S. Sedra and Kenneth C. Smith. *Μικροηλεκτρονικά Κυκλώματα*. Εκδόσεις Παπασωτηρίου, 2014.
- [3] Tony Chan Carusone, David A. Johns, and Kenneth W. Martin. *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 2012.
- [4] Phillip E. Allen and Douglas R. Holberg. *CMOS Analog Circuit Design*. OXFORD UNIVERSITY PRESS, 2012.
- [5] Channel length modulation - Wikipedia — en.wikipedia.org. https://en.wikipedia.org/wiki/Channel_length_modulation.
- [6] Luca Magnelli, Francesco A. Amoroso, Felice Crupi, Gregorio Cappuccino, and Giuseppe Iannaccone. Design of a 75-nW, 0.5-v subthreshold complementary metal-oxide-semiconductor operational amplifier. *International Journal of Circuit Theory and Applications*, 42(9):967–977, January 2013.
- [7] Neil H. E. Weste and David M. Harris. *Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI*. Εκδόσεις Παπασωτηρίου, 2011.
- [8] Marcel Pelgrom. *Analog-to-Digital Conversion*. Springer International Publishing, 2017.
- [9] This matters: Spurious Free Dynamic Range (SFDR) | Curtiss-Wright Defense Solutions — curtisswrightds.com. <https://www.curtisswrightds.com/media-center/blog/spurious-free-dynamic-range-sfdr>.
- [10] Inc. Analog Devices. Analog-to-digital converter architectures and choices, 1999. Analog Dialogue, Volume 33.
- [11] Texas Instruments Incorporated. Understanding power supply ripple rejection in linear regulators, 2005.

- [12] Joselyn Torres, Mohamed El-Nozahi, Ahmed Amer, Seenu Gopalraju, Reza Abdullah, Kamran Entesari, and Edgar Sanchez-Sinencio. Low drop-out voltage regulators: Capacitor-less architecture comparison. *IEEE Circuits and Systems Magazine*, 14(2):6–26, 2014.
- [13] Γιώργος Καραγιάννης, Πέτρος Α. Μαραγκός. *ΒΑΣΙΚΕΣ ΑΡΧΕΣ Σημάτων & Συστημάτων*. Εκδόσεις Παπασωτηρίου, 2011.
- [14] Behzad Razavi. The bootstrapped switch [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, 7(3):12–15, 2015.
- [15] C. Lillebrekke, C. Wulff, and T. Ytterdal. Bootstrapped switch in low-voltage digital 90nm cmos technology. In *2005 NORCHIP*. IEEE, 2005.
- [16] Daniel Schinkel, Eisse Mensink, Eric Klumperink, Ed van Tuijl, and Bram Nauta. A double-tail latch-type voltage sense amplifier with 18ps setup+hold time. In *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pages 314–605, 2007.
- [17] Yingyu Chen, Xiangcheng Liu, Zhangwen Tang, Jie He, and Wei Hu. A complementary fully differential dynamic comparator with insensitive common-mode mismatch. *IEICE Electronics Express*, 19(16):20220274–20220274, August 2022.
- [18] Behzad Razavi. The current-steering dac [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, 10(1):11–15, 2018.
- [19] Abhishek Kumar, Santosh Kumar Gupta, and Vijaya Bhadauria. Low-power and low glitch area current steering dac. *Engineering Science and Technology, an International Journal*, 29:101035, May 2022.
- [20] Leila Sharifi, Masoud Nazari, Meysam Akbari, and Omid Hashemipour. An 8-bit unified segmented current-steering digital-to-analog converter. *Arabian Journal for Science and Engineering*, 41(3):785–796, October 2015.
- [21] Guoyuan Fu, H. Alan Mantooth, and Jia Di. A 12-bit cmos current steering d/a converter with a fully differential voltage output. In *2011 12th International Symposium on Quality Electronic Design*. IEEE, March 2011.
- [22] Rudy Plassche. *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Springer US, 2003.
- [23] B. Olleta, Degang Chen, and R. Geiger. A dynamic element matching approach to adc testing. In *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002.*, MWSCAS-02. IEEE.