

2023 IC Design Contest

Cell-Based IC Design Category for Graduate Level

Laser Treatment

1.問題描述

在醫學上，雷射常被用在診斷，預防和治療疾病等功用。利用單一波長、同相且高強度的雷射光束直接照射於生物組織，可達到淡斑、汽化、除血管等功用。

雷射本身帶有強大能量，使用過量會刺激正常細胞，因此必須謹慎使用，本題假設在一固定大小的面積上最多只能使用兩發雷射，請找出這兩發雷射的位置來達到最好的治療效果。

本題詳細規格將描述於後。表一為本電路(LASER)各輸入、輸出信號的功能說明。各參賽隊伍必須依照下一節所指定的設計規格完成設計驗證。

本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，本題會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 C 中所列的要求，附上評分所需要的檔案。

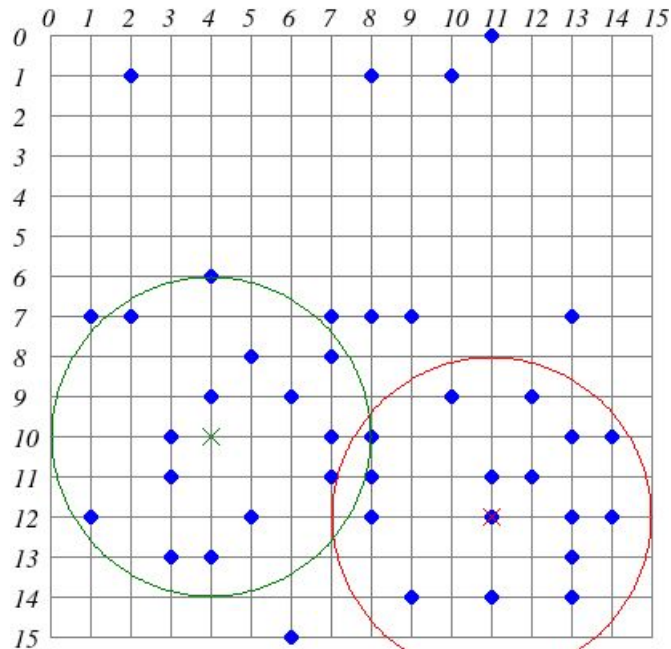


圖 1、雷射治療示意圖

2.設計規格

2.1 系統方塊圖

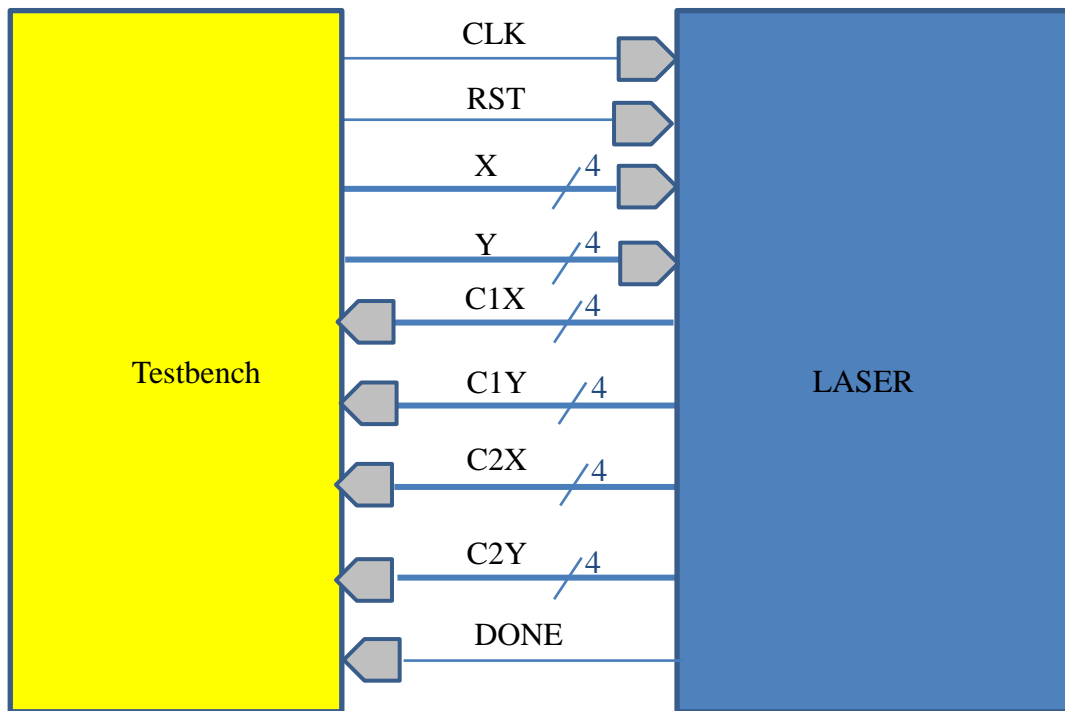


圖 2、系統方塊圖

2.2 輸入/輸出介面

表一、輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
CLK	I	1	Clock Signal (positive edge trigger)
RST	I	1	Synchronous reset signal (active high)。由 testbench 提供，拉高 2 cycle 後恢復為 low。
X	I	4	標的物 X 座標，無號二進位整數。
Y	I	4	標的物 Y 座標，無號二進位整數。
C1X	O	4	輸出第一發電射 X 座標，無號二進位整數。
C1Y	O	4	輸出第一發電射 Y 座標，無號二進位整數。
C2X	O	4	輸出第二發電射 X 座標，無號二進位整數。
C2Y	O	4	輸出第二發電射 Y 座標，無號二進位整數。
DONE	O	1	完成訊號，testbench 會在收到 DONE 訊號後抓取兩發雷射的座標，並計算覆蓋的標的物數量。

2.3 系統描述

本題假設在 16x16 的面積固定有 40 個標的物，在此面積上只能使用兩發雷射，雷射形狀為半徑 4 的圓形，請找出這兩個圓的圓心位置，讓這兩個圓能達到最大量的標的物覆蓋。(圖 1)

本題共有 6 組 pattern，當完成訊號(DONE)收回時，就會開始送下一組 pattern。

2.3.1 LASER 電路標的物資料的輸入

本題標的物數量固定為 40 個，從 port X 以及 port Y 輸入；在 reset 過後(RST 由 high 轉 low)，DONE 訊號為 low 時，分 40 個 cycle 輸入 40 筆座標資料，LASER 電路需要將這 40 筆座標記錄起來，以便後續運算。

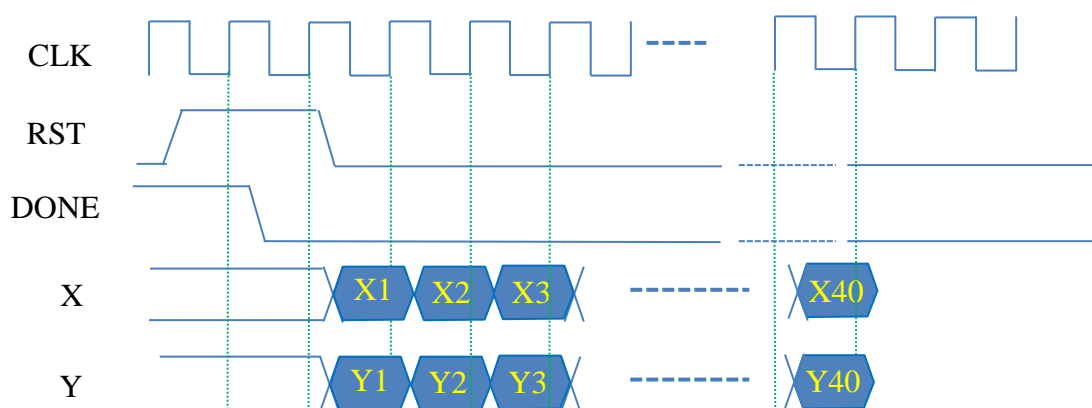


圖 3、reset 後 pattern 輸入波形

LASER 完成第一組 pattern 計算後，拉高 DONE 訊號表示完成。當 DONE 訊號再被拉回 low 後，便開始送出第二組 pattern。

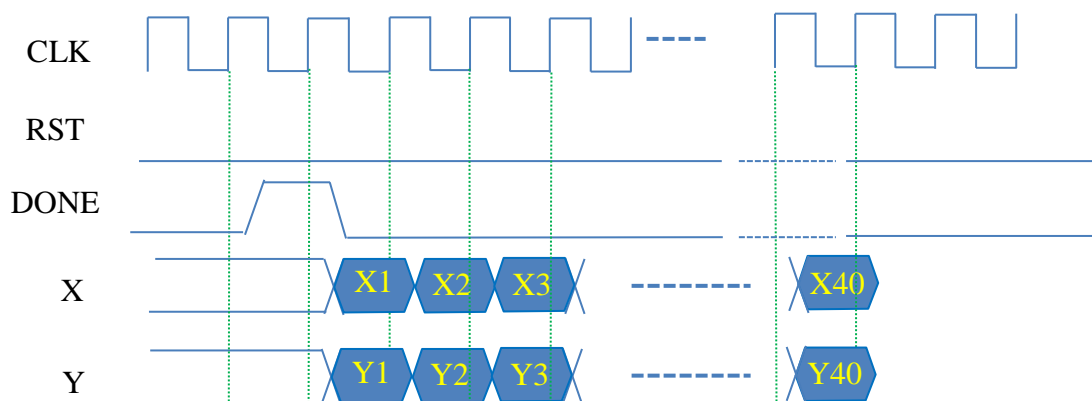


圖 4、DONE 拉回 low 後 pattern 輸入波形

2.3.2 LASER 電路計算結果的輸出

LASER 電路計算兩個圓的位置，使這兩個圓可覆蓋最大量的標的物，計算結果是經由 port C1X、C1Y、C2X、C2Y 送出，同時拉高 DONE 訊號，testbench 收到 DONE 訊號即會開始計算覆蓋的標的物數量。

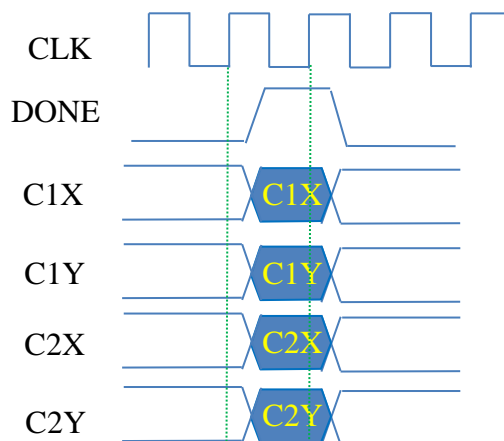


圖 5、輸出訊號波形

2.3.3 限定時間內輸出

配合雷射共振穩定時間，本題限定每組測試樣本最大計算 cycle 數為 50,000 cycle，若超過這時間仍未拉高 DONE 訊號，testbench 會自動抓取當時的 C1X、C1Y、C2X、C2Y 內容當作輸出，並重送 RST，然後再送出下一組 pattern (圖 6)。

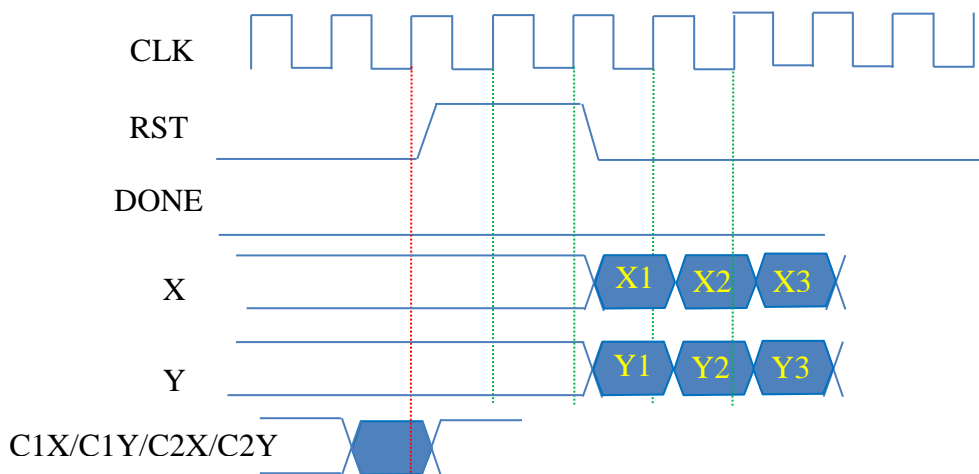


圖 6、時間到強制輸出訊號波形

2.3.4 限定設計面積

因系統面積規劃，本題限定最大可用面積為 37,000um²，請在此面積限制下，設計出快速且高覆蓋率的電路。若設計面積超過此大小，評分時則會降低一等級。

2.3.5 圓內判斷

雷射光圓半徑固定為 4，請依目標物和圓心的距離判斷是否在圓內，若距離剛好等於 4 視為在圓內。若兩個圓同時覆蓋同一目標物，僅計算一個物件。

2.3.6 計算兩圓位置

本題目標是追求兩個圓內最大標的物覆蓋量，評分亦是以覆蓋量當依據。同時窮舉兩個圓的位置太過耗時，但可以用迭代方式解決問題

1. 找到只有一個圓時最大覆蓋量圓心位置，我們稱此圓為圓一。
2. 固定圓一位置，找到圓二位置，使得到的覆蓋量最大。
3. 固定圓二位置，重新調整圓一位置，使得到的覆蓋量最大。
4. 重覆第 2 步和第 3 步直到結果收斂。

註一、 在第 2 步及第 3 步時，選擇圓心位置時，可能會有多個選擇，不同的選擇策略會影響收斂的速度。

註二、 迭代解法的問題是可能會掉到局部穩定點，導致找不到最佳解，本題已排除這類狀況，本題的 pattern 全部都可以用迭代方式找到最佳解。

註三、 為避免取巧行為，執行第 1 步時，未計算的圓圓心初始值限定只能在(0,0)或另外 3 個角落，禁止直接初始在其它點上。

註四、 同一組 pattern 可能會有多種組合覆蓋量都可達最大值，任何一種組合都是最佳解。

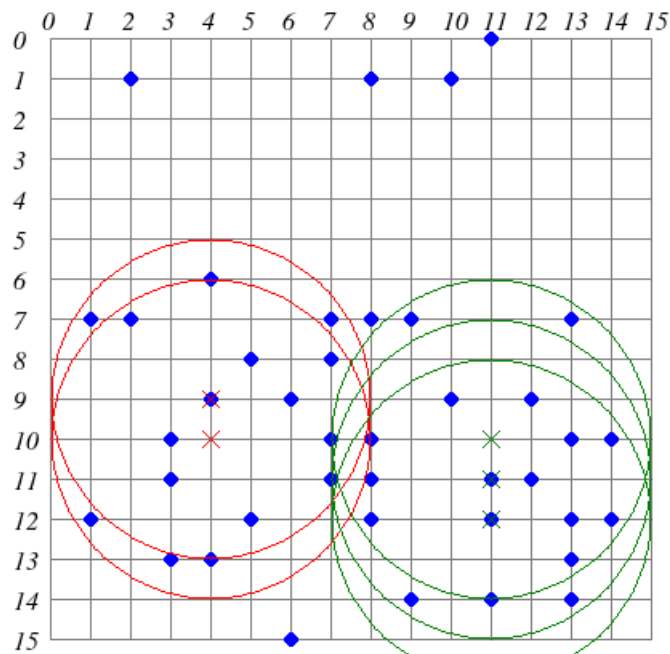


圖 7、不同組合皆可達最佳覆蓋量

3. 評分標準

設計目標有三項，

目標一、單一測試樣本必須在 50,000 cycle 內完成

目標二、合成後面積小於 37,000um²

目標三、達到最大六組 pattern 覆蓋標的物數量總合

面積計算：

以 Design compile report area 範例： dc_shell> report_area

```
Combinational area:      23327.368050
Buf/Inv area:            2714.142565
Noncombinational area:   11067.048170
Macro/Black Box area:    0.000000
Net Interconnect area:   423082.135437
```

```
Total cell area:        34394.416220
Total area:              457476.551657
```

cycle 數及總覆蓋量：

模擬結束會列出總模擬 cycle 數，總覆蓋量以及最佳覆蓋量

```
*****
**      Finish Simulation      **
**      RUN CYCLE =          #### **
**      Cover total = 170/170 **
*****
```

評分方式會依設計完成程度，分成 A、B、C 三種等級，排名順序為 A>B>C。

本題設定 clock 週期時間為 8ns，參賽者不可調整 clock 週期時間。

◇ **等級 A：** 等級 A 條件：

a、 合成後面積小於 37,000um²

b、 在 clock 週期為 8ns 環境下，可完成 Gate-Level 與 RTL 模擬，且模擬結果相同。

等級 A 之評分方法：

依六組 pattern 標的物覆蓋量總合排序，相同總合者以完成模擬 cycle 數排序，若 cycle 數也相同，則以合成面積排序。

◇ **等級 B：** 等級 B 條件：

a、 合成後面積大於 37,000um²

b、 在 clock 週期為 8ns 環境下，可完成 Gate-Level 與 RTL 模擬，且模擬結果相同。

等級 B 之評分方法：

依六組 pattern 標的物覆蓋量總合排序，相同總合者以完成模擬 cycle 數排序，若 cycle 數也相同，則以合成面積排序。

◇ **等級 C：** 等級 C 條件：

a、 未完成合成，或是 Gate-Level 模擬失敗或無法完成模擬。

等級 C 之評分方法：

以 RTL 模擬評分，依六組 pattern 標的物覆蓋量總合排序。若輸出圓心資訊為 unknow 者，該圓不列入計算。

附錄 A、設計檔說明

1. 下表為主辦單位所提供各參賽者的設計檔

表二、設計檔案說明

檔名	說明
LASER.v	參賽者所使用的設計檔，已包含系統輸/出入埠宣告。
tb.sv	Test Bench 檔案。
img*.pattern	Test Pattern 資料
.synopsys_dc.setup synopsys_dc.setup	使用 Design Compiler 做合成之初始化設定檔。參賽者請依 Library 實際擺放位置，自行修改 Search Path 的設定。注意：合成時請使用 worst case library。
LASER.sdc	Design Compiler 合成之 constraint 檔案。 請勿修改此檔案內容。
report.000	report 檔格式，見附錄 C。
dc_syn.tcl	dc 合成參考指令
xrun.cmd	xrun 模擬參考指令
xrun.tcl	xrun probe command
verisium.cmd	verisium waveform debug 參考指令(搭配 xrun)
vcs.cmd	vcs 模擬參考指令
verdi.cmd	verdi waveform debug 參考指令(搭配 vcs)
vsim.cmd	Modelsim 模擬參考指令

2. 請使用 LASER.v，進行本題電路之設計。其 Verilog 模組名稱、輸出/入埠宣告如下所示：
若有需要，參賽者可自行移除 output 的 reg 宣告。

```
module LASER (  
input CLK,  
input RST,  
input [3:0] X,  
input [3:0] Y,  
output reg [3:0] C1X,  
output reg [3:0] C1Y,  
output reg [3:0] C2X,  
output reg [3:0] C2Y,  
output reg DONE);  
  
endmodule
```

3. 本題所提供之 testbench 檔，有增加數行 define 描述如下

```
`define sdf_file " ./LASER_syn.sdf "  
`ifdef SDF  
    initial $sdf_annotate(`sdf_file , u_LASER);  
`endif
```

3.1 SDF 檔之檔名，請自行依 SDF 實際檔名及路徑進行修改後再模擬。

3.2 在 testbench 中的`ifdef SDF 描述，可讓該 testbench 同時適用於 RTL 模擬及合成後 gate-level 模擬。參賽者在進行 gate-level 模擬時，需於模擬命令上多加一個 +define+SDF 參數方可順利模擬，範例如下

```
xrun tb.v LASER_syn.v -v tsmc13_neg.v +define+P1 +define+SDF
```

4. 主辦單位提供六組測試樣本供參賽者驗證設計的正確性

請自行使用+define+P1、+define+P2、+define+P3...參數作切換。

若不使用+define+P1 等定義，則會對全部的測試樣本做模擬。

5. 針對單一樣本模擬時，會畫出結果的影像狀況，各符號代表的意義如下：

符號	意義
-	無目標物位置
+	目標物，未被覆蓋
x	目標物，被覆蓋
X	圓心位置，同時是目標物位置
*	圓心位置，非目標物位置

模擬時使用+define+USECOLOR 可再增加顏色顯示，若您的模擬環境無法接受 ANSI 顏色顯示，可能會使排版亂掉，此時請勿使用+USECOLOR 功能。

範例：

```
xrun tb.v LASER.v +define+P1+USECOLOR
```

```
== PATTERN img1.pattern
---- Used Cycle:      42148
---- Get Return: C1(11,12),C2( 4,10)
---- cover = 30, optimum = 30
  0 1 2 3 4 5 6 7 8 9 a b c d e f
0 - - - - - - - - - - + - - - -
1 - - + - - - - - + - + - - - -
2 - - - - - - - - - - - - - - -
3 - - - - - - - - - - - - - - -
4 - - - - - - - - - - - - - - -
5 - - - - - - - - - - - - - - -
6 - - - - x - - - - - - - - - -
7 - + x - - - - + + + - - - + - -
8 - - - - x x - - - - - - - - -
9 - - - x x - x - - x - x - - -
a - - - x * - - x x - - - x x -
b - - - x - - x x - - x x - - -
c - x - - x - - x - - x - x x -
d - - - x x - - - - - - x - -
e - - - - - - - - x - x - x - -
f - - - - - + - - - - - - - - -
```

對全部樣本做模擬(未使用+define+P*)時，不會顯示此圖

6. 請勿針對這六組測試樣本的內容作設計，比如在設計中判斷 pattern 為某固定數值，或是判斷第 n 個 pattern 直接設定輸出結果等。如經發現一律不予計分。評分時會對調六組測試樣本的先後來過濾取巧的設計。

7. 執行迭代第 1 步時(章節 2.3.6)，未計算的圓圓心初始值限定只能在(0,0)或另外 3 個角落，禁止直接初始在其它點上。

8. 題目內所提供解法，非唯一解法，只要能完成功能，不限定一定要使用題目的方法。

9. RTL 及 Gate-level 模擬的完整指令

RTL Simulation 時使用指令如下：

使用 P1 測試樣本之 RTL simulation 之指令

➤ 使用 xrun 模擬指令 (**xrun.cmd**)：

```
xrun tb.sv LASER.v +define+P1+USECOLOR +access+r -clean -createdebugdb \
                                         -input xrun.tcl
```

xrun.tcl 內容：

```
ida_probe -log
ida_probe -wave -wave_probe_args="[scope -tops] -all -depth all -memories"
run
exit
```

➤ 使用 vcs 模擬指令 (**vcs.cmd**)：

```
vcs -R -sverilog tb.sv LASER.v +define+P1+USECOLOR +access+r +vcs+fsdbon \
                                         +fsdb+mda +fsdbfile+LASER.fsdb
```

➤ 使用 modelsim 模擬，請參考 **vsim.cmd** 內指令：

```
vsim -c -do vsim.cmd
```

vsim.cmd 內容：

```
vlib work
vlog tb.sv LASER.v +define+P1+USECOLOR
vsim work.testfixture
run -All
```

Gate-level simulation 指令如下

➤ 使用 xrun 模擬指令 (**xrun.cmd**)：

```
xrun tb.sv LASER_syn.v +define+SDF +access+r -clean -createdebugdb \
                                         -input xrun.tcl -v tsmc13_neg.v +ncmaxdelays
```

➤ 使用 vcs 模擬指令 (**vcs.cmd**)：

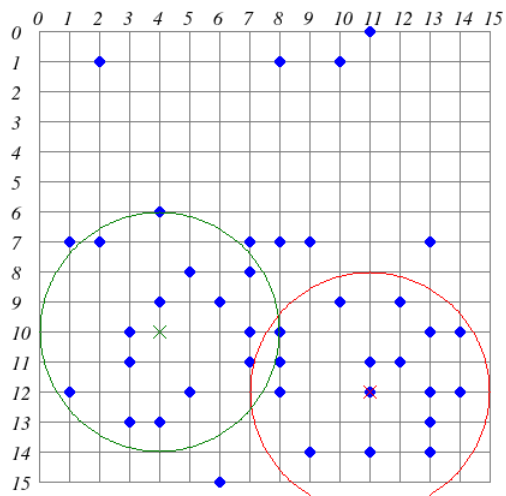
```
vcs -R -sverilog tb.sv LASER_syn.v +define+SDF +access+r +vcs+fsdbon \
                                         +fsdb+mda +fsdbfile+LASER.fsdb -v tsmc13_neg.v +maxdelays
```

modelsim 使用者，請直接使用內建波形來進行除錯。

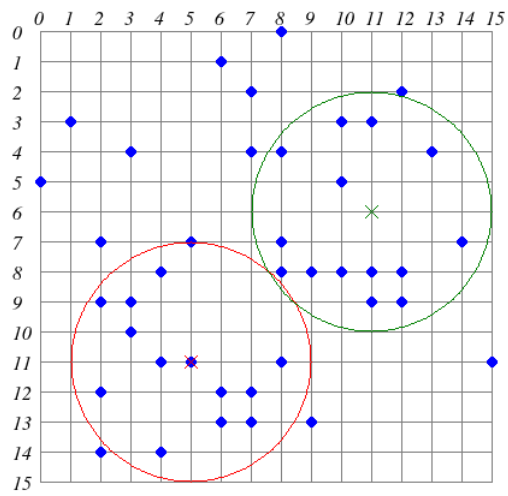
附錄 B、Test Pattern

以下列出 6 組 test pattern 內容：最佳解可能有多組，圖中僅畫出其中一組。

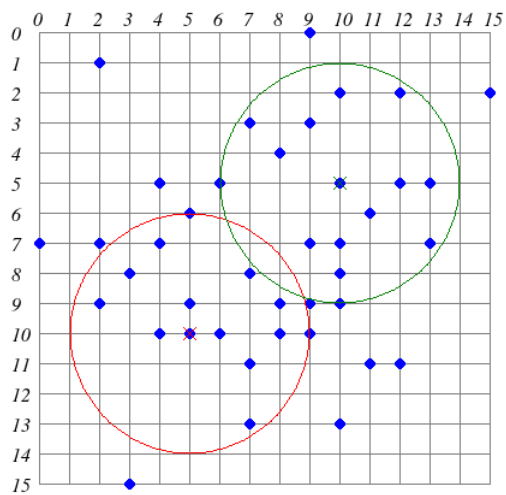
Pattern1：



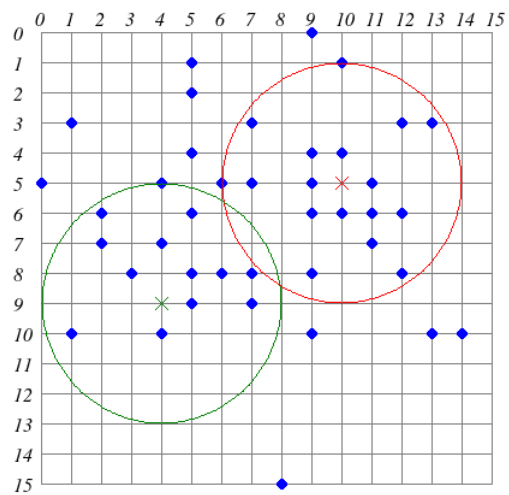
Pattern2:



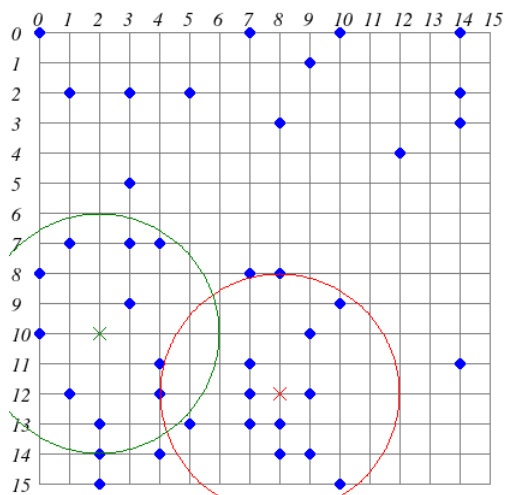
Pattern3：



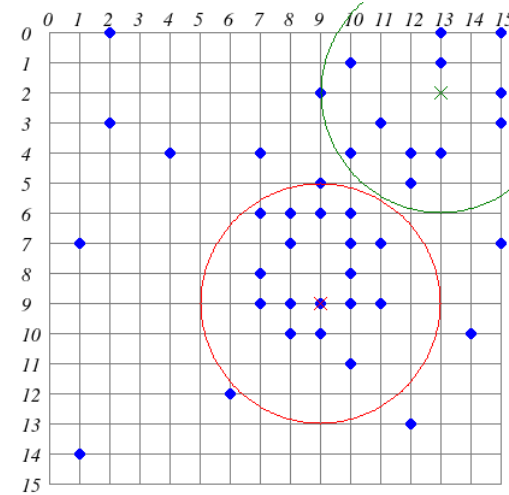
Pattern4：



Pattern5：



Pattern6：



附錄 C、評分用檔案

評分所須檔案可以下幾個部份：

- (1) RTL design，即各參賽隊伍對該次競賽設計的 RTL code，**若設計採模組化而有多個設計檔，請務必一併繳交**，以免評審進行評分時，無法進行模擬。
- (2) Gate-Level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔。
- (3) report file，參賽隊伍必須依照自己的設計內容，撰寫 report.000 檔，以方便主辦單位進行評分，report.000 的格式如下圖所示。(report 檔以後三碼序號表示版本，若繳交檔案更新版本，則新版的 report 檔的檔名為 report.001，依此類推)

表三、繳交檔案

RTL category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	report.00*	Design Report Form
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Gate-Level category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout	*_syn.v	Verilog gate-level netlist
Gate-level Simulation	*_syn.sdf	Pre-layout gate-level sdf

report 檔

FTP account:	B23xxx，FTP 帳號
Level:	A/B/C 設計完成等級
cycle：	40000，總模擬 cycle 數
Synthesis area：	30000，合成 report 的 cell area
--- RTL category---	
HDL simulator：	xrun/vcs/vsim，使用之 HDL 模擬器名稱
RTL filename：	LASER.v，RTL 檔案名稱以及使用到的子模組檔案...
--- Pre-layout gate-level ---	
gate_level filename:	LASER_syn.v，gate-level 檔案名稱
gate-level sdf filename:	LASER_syn.sdf，sdf 檔案名稱