



**Hi5630HV110 G.Hn PLC 芯片**

# **用户指南**

文档版本      01

发布日期      2018-03-10

**版权所有 © 深圳市海思半导体有限公司 2018。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

# 深圳市海思半导体有限公司

地址：                    深圳市龙岗区坂田华为总部办公楼                    邮编：518129  
网址：                    <http://www.hisilicon.com/cn/>  
客户服务电话：          4008302118  
客户服务邮箱：          [support@hisilicon.com](mailto:support@hisilicon.com)



# 前 言

## 概述

本文档针对 Hi5630H 芯片实现的业务功能、接口时序参数、封装以及 PCB 布线的进行描述，指导用户能够正确的使用芯片。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi5630H 芯片	V110



## 读者对象

本文档（本指南）主要适用于以下工程师：




- 技术支持工程师
- 维护工程师
- 软件工程师

## 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 <b>危险</b>	用于警示紧急的危险情形，若不可避免，将会导致人员死亡或严重的人身伤害。
 <b>警告</b>	用于警示潜在的危险情形，若不可避免，可能会导致人员死亡或严重的人身伤害。



符号	说明
 小心	用于警示潜在的危险情形，若不可避免，可能会导致中度或轻微的人身伤害。
 注意	用于传递设备或环境安全警示信息，若不可避免，可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “注意”不涉及人身伤害。
 说明	用于突出重要/关键信息、最佳实践和小窍门等。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。



## 修改记录

修改记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修改日期	版本	相关的 DTS 或 JIRA 单号	修改描述	修改作者
2018-03-10	01	-	第 1 次发布正式版本。	-



## 目 录

前 言.....	ii
修改记录.....	iv
<b>1 概述.....</b>	<b>12</b>
1.1 功能简述 .....	12
1.2 主要特点 .....	13
1.2.1 特性概述 .....	13
1.2.2 电力线通信接口特性 .....	14
1.2.3 Ethernet 以太接口特性.....	14
1.2.4 PCIe 接口特性 .....	15
1.2.5 LAN Switch 特性 .....	15
1.3 电气特点 .....	17
1.4 遵从的标准与协议 .....	18
1.5 应用领域 .....	19
1.6 典型应用 .....	19
1.6.1 1200M 路由器集成 G.hn 应用场景 .....	19
1.6.2 300M 单频型 G.hn AP 应用场景 .....	19
<b>2 时序和参数.....</b>	<b>21</b>
2.1 时序图例 .....	21
2.2 RGMII 接口 .....	21
2.2.1 接收方向 .....	21
2.2.2 发送方向 .....	22
2.3 SDIO 接口.....	23
2.3.1 接收方向 .....	23
2.3.2 发送方向 .....	24
2.4 MDIO 接口.....	24
2.5 I2S 接口.....	25
2.6 SPI FLASH 接口.....	26
2.7 SPI MASTER 接口 .....	27
2.8 UART 接口.....	27
2.9 I2C 接口 .....	28



2.10 JTAG 接口 .....	30
<b>3 电性能及可靠性参数 .....</b>	<b>32</b>
3.1 极限电压参数 .....	32
3.2 推荐工作电压 .....	33
3.3 功耗分布 .....	34
3.4 电气特性 .....	35
3.4.1 数字 IO 电气参数 .....	35
3.4.2 PCIE 接口电气参数 .....	39
3.4.3 GEPHY 接口电气参数 .....	40
3.5 上下电要求 .....	40
3.6 极限工作环境 .....	41
3.7 推荐工作环境 .....	42
3.8 可靠性参数 .....	42
3.9 热阻特性 .....	43
3.10 焊接工艺 .....	43
<b>4 封装 .....</b>	<b>45</b>
4.1 概述 .....	45
4.2 芯片 Mark 图 .....	45
4.3 封装图 .....	46
<b>5 管脚描述 .....</b>	<b>49</b>
5.1 管脚类型说明 .....	50
5.2 管脚数量统计 .....	51
5.3 系统时钟接口 .....	51
5.4 复位接口 .....	51
5.5 模拟接口 .....	52
5.6 数字接口 .....	54
5.7 电源和地 .....	58
5.7.1 模拟电源和地 .....	58
5.7.2 数字电源和地 .....	60
5.8 复用关系 .....	60
5.9 上电配置字 .....	71
5.9.1 硬件配置字 .....	71
<b>6 管脚排列 .....</b>	<b>72</b>
6.1 管脚排列图 .....	72
6.2 管脚速查表 .....	73
<b>7 硬件设计指南 .....</b>	<b>76</b>
7.1 系统设计指导 .....	76



7.1.1 Hi5630H Fanout 封装设计建议.....	76
7.1.2 电源设计指导 .....	77
7.2 原理图设计建议 .....	81
7.2.1 Flash 设计建议.....	81
7.2.2 PCIE 接口设计建议.....	82
7.2.3 RGMII 接口设计建议.....	82
7.2.4 SDIO 接口设计建议 .....	82
7.2.5 GEPHY 接口设计建议 .....	83
7.2.6 BUCK 接口设计建议 .....	83
7.2.7 AFE 接口设计建议 .....	83
7.2.8 时钟电路设计建议 .....	84
7.2.9 过零电路设计建议 .....	84
7.2.10 不使用管脚的处理 .....	84
7.3 PCB 设计建议.....	84
7.3.1 Flash 设计建议.....	84
7.3.2 PCIE 接口设计建议.....	84
7.3.3 RGMII 接口设计建议.....	85
7.3.4 SDIO 接口设计建议 .....	85
7.3.5 GEPHY 接口设计建议 .....	85
7.3.6 BUCK 接口设计建议 .....	86
7.3.7 AFE 接口设计建议 .....	86
7.3.8 时钟电路设计建议 .....	86
7.3.9 过零电路设计建议 .....	86
7.3.10 其它 .....	86





## 插图目录

图 1-1 Hi5630H 逻辑框图.....	12
图 1-2 1200M 路由器集成 G.hn 应用场景 .....	19
图 1-3 300M 单频型 G.hn AP 应用场景 .....	20
图 2-1 时序图例 .....	21
图 2-2 RGMII 接收方向接口时序.....	21
图 2-3 RGMII 发送方向接口时序.....	22
图 2-4 SDIO 接口输入方向接口时序 .....	23
图 2-5 SDIO 接口输出方向时序 .....	24
图 2-6 MDIO 接收方向接口时序 .....	24
图 2-7 MDIO 发送方向接口时序.....	25
图 2-8 I2S 接口时序 .....	25
图 2-9 SFC 输入方向时序 .....	26
图 2-10 SFC 输出方向时序图 .....	26
图 2-11 SPI MASTER 接口输出时序.....	27
图 2-12 SPI MASTER 接口输入时序.....	27
图 2-13 UART 接口时序 .....	28
图 2-14 I <sup>2</sup> C 接口帧传输示意图 .....	28
图 2-15 I <sup>2</sup> C 接口时序图 .....	28
图 2-16 JTAG 接口时序 .....	30
图 3-1 LVCMOS 上冲示意图 .....	37
图 3-2 LVCMOS 下冲示意图 .....	37
图 3-3 上电顺序图 .....	41
图 3-4 焊接温度曲线图.....	44
图 4-1 Mark 示意图.....	45
图 4-2 Top View .....	46



图 4-3 Side View ..... 47

图 4-4 Side view Detail A 放大图..... 47

图 4-5 Bottom view..... 47

图 6-1 管脚分布图 ..... 72

图 7-1 Hi5630HV110 布局 Fanout 图..... 77



## 表格目录

表 1-1 电力线通信特性参数列表.....	14
表 1-2 Ethernet 以太接口特性参数列表 .....	14
表 1-3 PCIe 接口特性参数列表.....	15
表 1-4 LAN Switch 特性参数列表 .....	15
表 1-5 Hi5630H 的电源类型.....	17
表 2-1 RGMII 接收方向接口时序参数 .....	22
表 2-2 RGMII 发送方向接口时序参数 .....	23
表 2-3 SDIO 输入方向时序参数 .....	24
表 2-4 SFC 输出方向时序参数 .....	24
表 2-5 MDIO 接口时序参数 .....	25
表 2-6 SFC 输入方向时序参数 .....	26
表 2-7 SFC 输出方向时序参数 .....	26
表 2-8 SPI MASTER 接口输出时序参数.....	27
表 2-9 SPI MASTER 接口输入时序参数.....	27
表 2-10 UART 接口时序参数 .....	28
表 2-11 I <sup>2</sup> C 接口标准速率模式时序参数.....	29
表 2-12 I <sup>2</sup> C 接口快速速率模式时序参数 .....	29
表 2-13 JTAG 接口时序参数 .....	30
表 3-1 极限电压参数 .....	32
表 3-2 推荐工作电压 .....	33
表 3-3 路由器集成 G.hn 应用场景下电源的功耗分布 .....	34
表 3-4 3.3V LVCMOS I/O 直流电气特性 .....	35
表 3-5 3.3V LVCMOS I/O 单端直流电气特性 .....	35
表 3-6 LVCMOS 上下冲参数说明 .....	37
表 3-7 1.8V LVCMOS I/O 直流参数 .....	38



表 3-8 1.8V LVC MOS I/O 单端直流电气特性 .....	38
表 3-9 PCIE 测试指标说明 .....	39
表 3-10 GEPHY IO 的电气特性列表 .....	40
表 3-11 上电时序参数 .....	41
表 3-12 极限工作环境参数 .....	41
表 3-13 推荐工作环境参数 .....	42
表 3-14 可靠性参数 .....	42
表 3-15 芯片潮湿敏感等级定义 .....	42
表 3-16 热阻特性 .....	43
表 4-1 Mark 说明 .....	45
表 4-2 封装参数表 .....	48
表 5-1 管脚类型说明 .....	50
表 5-2 管脚数量统计表 .....	51
表 5-3 系统时钟接口管脚列表 .....	51
表 5-4 复位接口管脚列表 .....	52
表 5-5 模拟接口管脚列表 .....	52
表 5-6 数字接口管脚列表 .....	55
表 5-7 模拟电源和地管脚列表 .....	58
表 5-8 数字电源和地管脚列表 .....	60
表 5-9 复用管脚列表 .....	61
表 5-10 复用管脚配置寄存器 .....	68
表 5-11 硬件配置字列表 .....	71
表 6-1 管脚速查表 .....	73
表 7-1 Hi5630HV110 的电源参数 .....	77
表 7-2 内核电源 PCB 设计要求 .....	79
表 7-3 内核电源 PCB 推荐滤波网络 .....	79
表 7-4 板级电源合并参考 .....	80
表 7-5 SPI Nor Flash 接口设计推荐 .....	82
表 7-6 RGMII 接口各信号匹配设计推荐 .....	82
表 7-7 SDIO 接口信号匹配设计推荐 .....	83



# 1 概述

## 1.1 功能简述

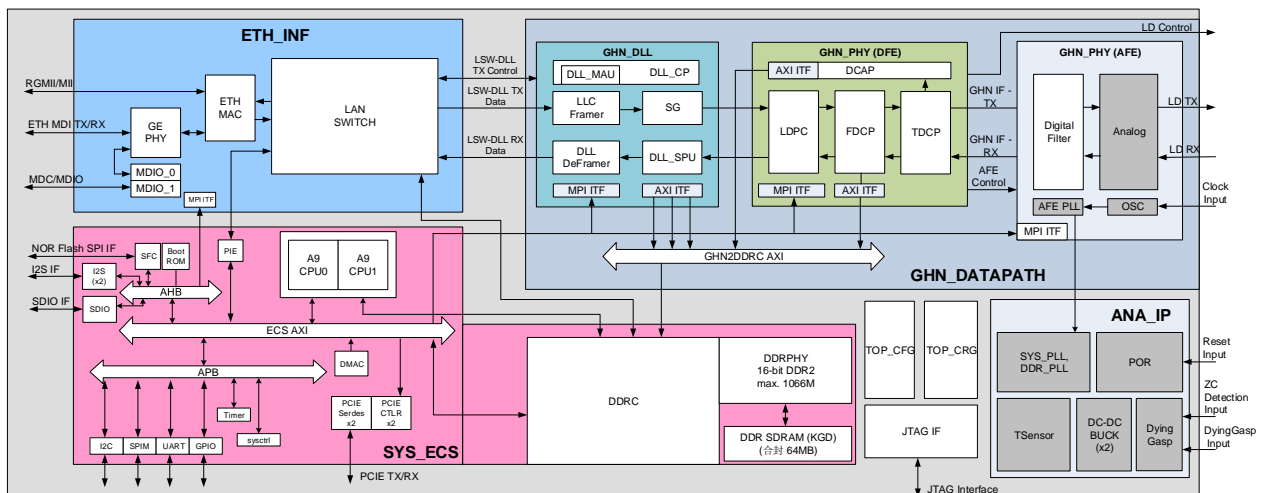
Hi5630HV110 是一款支持 ITU-T G.Hn 协议的家庭互联 SoC 芯片，为解决利用电力线建立家庭网络的关键器件。Hi5630HV110 集成了 ITU-T G.Hn MAC/PHY 传输器，以太网 IEEE802.3MAC/PHY，PCIE1.1 控制器/PHY，局域交换器等功能，提供桥接电力线网络，以太网 802.3 网络，和 WIFI 网络功能。为以 G.Hn 电力线互联的家庭网络产品提供完整的解决方案。

应用场景：

- 以电力线网络为主的路由器
- 连接电力线网络和以太网（含 WIFI 网络）的桥接器

Hi5630H 的逻辑框图如图 1-1 所示。

图1-1 Hi5630H 逻辑框图



Hi5630HV110 芯片主要包括：

- SYS\_ECS: ECS 小系统



- 双核 A9-CPU、ECS DMAC、Timer、BootROM、SysCtrl 及总线
- 丰富外设接口：SFC、GPIO、SPIM、I2C、UART、SDIO、I2S
- PIE 报文插入和提取逻辑
- 两组 PCIe 控制器和 PCIe-PHY
- DDR 接口控制器、DDR-PHY 和合封的 DDR2-SDRAM 内存
- GHN\_DATAPATH: GHN 电力线通信传输通路
  - GHN\_PHY (AFE): GHN 物理层模拟前端
  - GHN\_PHY (DFE): GHN 物理层数字前端
  - GHN\_DLL: GHN 数据链路层
- ETH\_INF: ETH\_INF 模块主要完成以太网接口、GHN 接口和 CPU 处理器系统之间的数据收发处理, 内部主要包括报文转发引擎 LAN SWITCH、GE MAC、GE-PHY、MDIO 几个模块
- OTHER: 包含芯片的模拟小 IP (含 POR、Tsenssor、DC-DC BUCK、Dying GASP、PLL)、CRG 及全局配置寄存器等

## 1.2 主要特点

### 1.2.1 特性概述

Hi5630HV110 的功能特点如下:

- 以电力线为介质, 符合 ITU-T G.9960、G.9961、G.9962、G.9972 协议的接口。
- 符合以太 IEEE802.3 协议的 1000/100M RGMII 接口和 1000/100/10M 三模 MDI 接口。
- 支持两个符合 PCIe Gen1.1 协议的 PCIe 接口。
- 局域交换器 LAN-SWITCH 功能, 连接电力线接口、以太接口和 PCIe 接口; 完成各接口间数据转发、网络 L2 协议处理、网络 NAT 协议处理、报文修改、用户流的 QoS 等业务层处理。
- 支持一个符合 SDIO SDR25 标准的接口。
- 内嵌系统:
  - Cortex-A9 双核 500MHz
  - 64KB 的指令 Cache 和 32KB 的数据 Cache
  - 支持 MMU
  - 支持 ACP 接口
  - 支持副核时钟关闭; 支持时钟调频
  - 支持 DMA, 提供 16 个 DMA 通道
  - 支持 2 个 Dual-Timer
- 支持合封 DDR2 SDRAM 内存, 64MB 容量。
- 支持 SPI NOR-Flash 接口, 最大 16MB 容量。
- 支持 I2S 语音接口。
- 支持 Line-Driver 控制接口。



- 支持电力线过零检测接口。
- 支持 3 个 UART 接口。
- 支持 2 个 I2C 接口。
- 支持 1 个 SPI Master 接口。
- 支持 38 个 GPIO 接口。
- 支持管脚复位。
- 支持掉电检测接口。

## 1.2.2 电力线通信接口特性

电力线通信特性参数如表 1-1 所示。

表1-1 电力线通信特性参数列表

特性项	特性参数
协议版本	支持 ITU-T G.9960、G.9961、G.9964、G.9972 标准： <ul style="list-style-type: none"><li>• G.9972 下支持 TDM 和 FDM 模式</li><li>• 只支持电力线介质</li><li>• 支持 50MHz、100MHz 两种 profile</li></ul> 支持 CENELEC EN50561 EMC 标准
电力线通信域节点数	<ul style="list-style-type: none"><li>• 支持一个域最多有 8 个节点，包括一个主节点（DM）和 7 个从节点（EP）</li><li>• 支持 8 个节点同时进行通信</li><li>• 不支持双向传输模式</li></ul>
电力线传输加解密	支持 AES-128 CCM 加解密，符合 NIST FIPS 197 和 NIST 800-38C 要求

## 1.2.3 Ethernet 以太网接口特性

Ethernet 以太网接口特性如表 1-2 所示。

表1-2 Ethernet 以太网接口特性参数列表

特性项	特性参数
协议版本	IEEE802.3



RGMII 接口	<ul style="list-style-type: none"> <li>只支持单端口 Single port</li> <li>支持 RGMII/MII 模式</li> <li>支持 100/1000Mbps 速率</li> <li>支持线序调整</li> <li>VDDIO = 1.8/2.5/3.3V, +/-5%</li> </ul>
ETH-PHY MDI 接口	<ul style="list-style-type: none"> <li>只支持单端口 Single port</li> <li>支持三种传输速率 Support triple modes: 1000/100/10Mbps</li> </ul>
MDIO 接口	<ul style="list-style-type: none"> <li>支持单 MDIO 接口</li> <li>支持 IEEE 802.3u clause 22 标准</li> <li>支持最高 10MHz MDC 时钟</li> <li>VDDIO=1.8/2.5/3.3V, +/-5%</li> </ul>

## 1.2.4 PCIe 接口特性

PCIe 接口特性如表 1-3 所示。

表1-3 PCIe 接口特性参数列表

特性项	特性参数
协议版本	PCIe Gen1.1
PCIe 接口	<ul style="list-style-type: none"> <li>支持两端口 single</li> <li>支持 PCIe Gen 1.1 standard. Maximum data-rate = 2.5 Gbps</li> <li>支持每个端口关闭, 支持关闭时钟</li> <li>支持 PCIE-PHY powerdown, L0/L1 low-power 模式</li> </ul>

## 1.2.5 LAN Switch 特性

LAN Switch 特性如表 1-4 所示。

表1-4 LAN Switch 特性参数列表

特性项	特性参数
性能	双向处理能力, 2000 Mbps, 2.8M pps
最大帧长	<ul style="list-style-type: none"> <li>ETH 帧, 最大帧长, 含 FCS 2000 byte</li> <li>ETH 帧, 最小帧长, 含 FCS 40 byte</li> </ul>
协议支持	PPPOE、IPv4、IPv6、TCP/UDP 等





特性项	特性参数
协议报文识别	支持识别 ARP、PPPOE 等协议族、ICMPv4、ICMPv6、TCP ACK/FIN/RST 等报文
二层转发	<ul style="list-style-type: none"><li>• 支持二层 MAC 地址表，支持 MAC 地址自动学习和转发</li><li>• 支持单播 MAC/MAC+VLAN 学习转发</li><li>• 支持组播 MAC/MAC+VLAN 转发</li><li>• 支持 MAC 地址数目为 128</li><li>• 支持基于端口的学习使能控制</li><li>• 支持源端口抑制</li></ul>
二层广播转发	<ul style="list-style-type: none"><li>• 支持基于 VLAN 或全端口广播转发</li><li>• 支持未知单播做广播转发</li><li>• 支持未知组播做广播转发</li><li>• 支持广播做广播转发</li><li>• 支持源端口抑制</li><li>• 支持 VLAN 数目 32</li></ul>
三层转发	<ul style="list-style-type: none"><li>• 支持 IP 五元组链表转发，</li><li>• 同时支持 IPv4、IPv6，不支持 IP 隧道</li><li>• 支持 NAT/NAPT 处理</li><li>• 支持二三四层报文编辑</li><li>• 支持 PPPOE 编辑</li><li>• 链表数目 64K</li></ul>
ACL	<ul style="list-style-type: none"><li>• 支持基于二三四层特征域做 ACL 分类</li><li>• 支持四个自定义 16bit 域做 ACL 分类</li><li>• 支持最多 8 个特征域标识一条流</li><li>• 支持一个报文可以匹配多条流，最多匹配 4 条流，支持 8 个优先级进行匹配决策</li><li>• 支持 ACL 表项数目 128</li><li>• 支持内部优先级标记、丢弃、捕获报文</li><li>• 支持双层 tag 添加、删除、修改</li><li>• 支持基于 ACL 的报文 CAR</li><li>• 支持未知报文 TOCPU 时的优先级标记</li></ul>



特性项	特性参数
QoS	<ul style="list-style-type: none"> <li>支持 CAR，支持基于 ACL、未知单组播、广播报文做 CAR，CPU 端口 CAR</li> <li>支持入队管理，支持私有队列深度、最大队列深度配置，支持尾丢弃，不支持 WRED</li> <li>支持出口调度，支持 SP+DRR 调度</li> <li>支持端口优先级队列、用户优先级队列 2 级队列管理</li> <li>支持基于端口、队列做 shaping</li> <li>支持队列数目 128、资源数 16K、用户数 16、队列优先级数 4</li> </ul>

## 1.3 电气特点

- 封装：TFBGA 10.5mm×10.5mm，管脚间距：0.65mm，212 BALL
- 单板只提供 3.3V 单电源，芯片内部集成 2 路 DC-DC
- 支持 4 层 PCB 板
- 40MHz 单晶体时钟输入
- 工作温度：0~70℃
- 典型功耗：1.9W
- 峰值功耗：2.4W

Hi5630H 的电源类型如表 1-5 所示。

表1-5 Hi5630H 的电源类型

参数	符号	说明	典型值 (单位：V)
BUCK0/1	VDD33_BUCK	BUCK0/1 BUCK0 3.3V 功率电源	3.3
	AVDD33_BUCK	BUCK0 3.3V 模拟电源	3.3
OSC	AVDD33_OSC	OSC 3.3V 模拟电源	3.3
	VDD11_OSC	OSC 1.1V 模拟电源	1.1
AFE	AVDD11_RX	G.hn AFE RX 1.1V 模拟电源	1.1
	AVDD11_TX	G.hn AFE TX 1.1V 模拟电源	1.1
	AVDD18_AFE	G.hn AFE 1.8V 模拟电源	1.8
	AVDD33_AFE	G.hn AFE 3.3V 模拟电源	3.3
	AVDD18_PLL	AFE-PLL 1.8V 模拟电源	1.8



参数	符号	说明	典型值 (单位: V)
GEPHY	AVDD11_GE	GE-PHY 1.1V 模拟电源	1.1
	AVDD11_SH	GE-PHY 共用电路 1.1V 模拟电源	1.1
	AVDD33_GE	GE-PHY 3.3V 模拟电源	3.3
SCPLL	VDD33_SCPLL	SYS-PLL & DDR-PLL 1.1V 模拟电源	3.3
	AVDD18_PLL	SYS-PLL & DDR-PLL 3.3V 模拟电源	1.8
PCIE_PHY0/1	AVDD11_PCIE	PCIE-PHY0/1 1.1V 模拟电源	1.1
	AVDD33_PCIE	PCIE-PHY0/1 3.3V 模拟电源	3.3
DDRPHY	AVDD33_DDRPLL1	DDR-PHY 内置锁相环 DDRPLL1 模拟电源	3.3
	AVDD33_DDRPLL2	DDR-PHY 内置锁相环 DDRPLL2 模拟电源	3.3
Dying-Gasp	AVDD33_DG	Dying-Gasp 临终遗言比较器电源	3.3
EFUSE	AVDD25_EFUSE	芯片内置 EFUSE 电源	2.5
CORE	DVDD11	数字 CORE 电源	1.1
GPIO IO	DVDD33_1	数字 IO 3.3V 电源	3.3
	DVDD33_2	数字 IO 3.3V 电源	3.3
DDRIO	VDDIO_CK_DDR2	DDR 时钟 IO 电源	1.8
	VDDIO_DDR2	DDR IO 电源	1.8

## 1.4 遵从的标准与协议

Hi5630HV110 支持以下标准协议:

- ITU-T Recommendation G.9960 – Unified high-speed wire-line based home networking transceivers – System architecture and physical layer specification.
- ITU-T Recommendation G.9961 – Unified high-speed wire-line based home networking transceivers – Data link layer specification.
- ITU-T Recommendation G.9964 – Unified high-speed wire-line based home networking transceivers – Power spectral density specification.



- ITU-T Recommendation G.9972 – Coexistence mechanism for wireline home networking transceivers.
- IEEE802.3 – Local and metropolitan area networks Specific requirements. Part3: Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications.
- CNELEC EN 50561 – 1, 2013 : Power line communication apparatus used in low-voltage installations. Radio disturbance characteristics. Limits and methods of measurement. Apparatus for in-home use.
- RFC 2516 – A Method for Transmitting PPP Over Ethernet.
- RFC 1661 – The Point-to-Point Protocol (PPP) Specification.
- RFC791 – Internet Protocol, Version 4 Specification.
- RFC1883 – Internet Protocol Version 6 Specification.
- RFC 793 – Transmission Control Protocol Specification.

## 1.5 应用领域

应用领域如下：

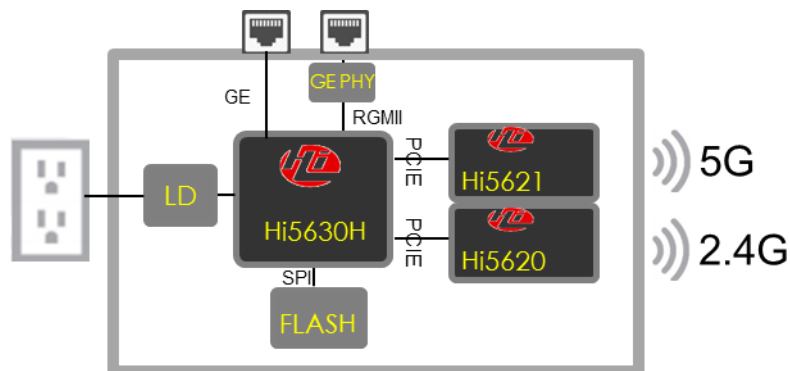
- 以电力线网络为主的路由器
- 连接电力线网络和以太网（含 WIFI 网络）的桥接器

## 1.6 典型应用

### 1.6.1 1200M 路由器集成 G.hn 应用场景

1200M 路由器集成 G.hn 应用场景如图 1-2 所示。

图1-2 1200M 路由器集成 G.hn 应用场景

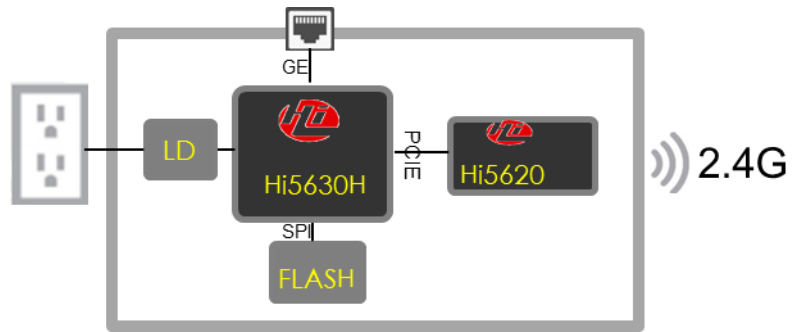


### 1.6.2 300M 单频型 G.hn AP 应用场景

300M 单频型 G.hn AP 应用场景应用如图 1-3 所示。



图1-3 300M 单频型 G.hn AP 应用场景





## 2 时序和参数

### 2.1 时序图例

图2-1 时序图例



### 2.2 RGMII 接口

#### 2.2.1 接收方向

图2-2 RGMII 接收方向接口时序

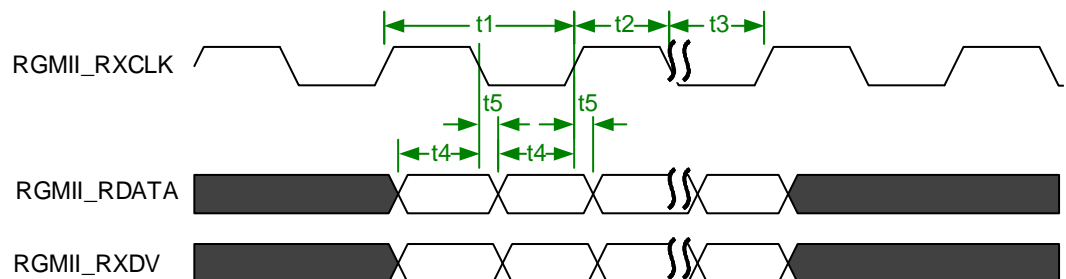




表2-1 RGMII 接收方向接口时序参数

符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
t1	RGMII_RX CLK 周期	-	8（1G 模式） 40（100M 模式） 400（10M 模式）	-	ns	-
t2	RGMII_RX CLK 的高脉 冲宽度	3.6（1G 模式） 16（100M 模式） 160（10M 模式）	4（1G 模式） 20（100M 模式） 200（10M 模式）	4.4（1G 模式） 24（100M 模式） 240（10M 模式）	ns	-
t3	RGMII_RX CLK 的低脉 冲宽度	3.6（1G 模式） 16（100M 模式） 160（10M 模式）	4（1G 模式） 20（100M 模式） 200（10M 模式）	4.4（1G 模式） 24（100M 模式） 240（10M 模式）	ns	-
t4	输入信号的 建立时间	1	2	-	ns	-
t5	输入信号的 保持时间	1	2	-	ns	-

2.2.2 发送方向

图2-3 RGMII 发送方向接口时序

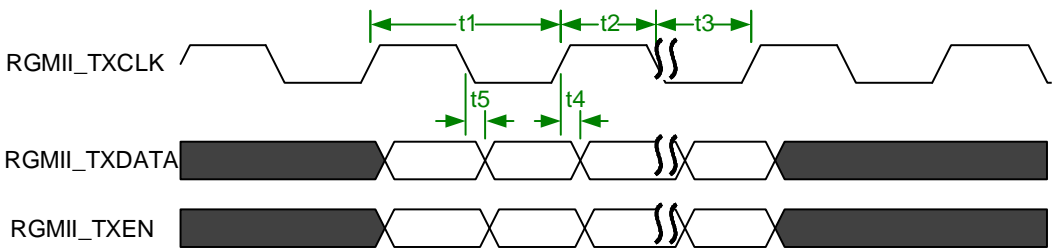




表2-2 RGMII 发送方向接口时序参数

符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
t1	RGMII_TX CLK 周期	-	8（1G 模式） 40（100M 模式） 400（10M 模式）	-	ns	-
t2	RGMII_TX CLK 的高脉冲宽度	3.6（1G 模式） 16（100M 模式） 160（10M 模式）	4（1G 模式） 20（100M 模式） 200（10M 模式）	4.4（1G 模式） 24（100M 模式） 240（10M 模式）	ns	-
t3	RGMII_TX CLK 的低脉冲宽度	3.6（1G 模式） 16（100M 模式） 160（10M 模式）	4（1G 模式） 20（100M 模式） 200（10M 模式）	4.4（1G 模式） 24（100M 模式） 240（10M 模式）	ns	-
t4/ t5	时钟上升沿/下降沿的延时到输出信号变化的时间	1.2	2	-	ns	-

2.3 SDIO 接口

SDIO 接口仅支持 SDR25 模式（不支持 DDR 及其它 high speed 模式），最高的时钟频率为 50MHz。

2.3.1 接收方向

图2-4 SDIO 接口输入方向接口时序

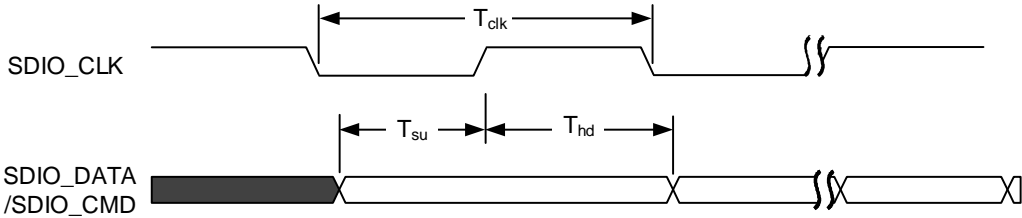






表2-3 SDIO 输入方向时序参数

参数	符号	最小值	典型值	最大值	单位
SDIO_CLK 时钟周期	$T_{clk}$	20	-	-	ns
输入信号建立时间要求	$T_{su}$	6.0	-	-	ns
输入信号保持时间要求	$T_{hd}$	5.5	-	-	ns

2.3.2 发送方向

图2-5 SDIO 接口输出方向时序

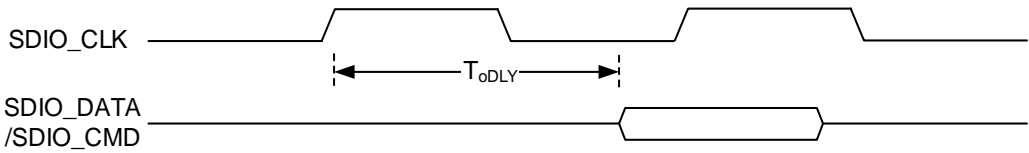


表2-4 SFC 输出方向时序参数

参数	符号	最小值	典型值	最大值	单位
SDIO_CLK 时钟周期	$T_{clk}$	20	-	-	ns
输出 DATA 信号延时 /输出 CMD 信号延时	$T_{oDLY}$	2.0	-	12.0	ns

2.4 MDIO 接口

图2-6 MDIO 接收方向接口时序

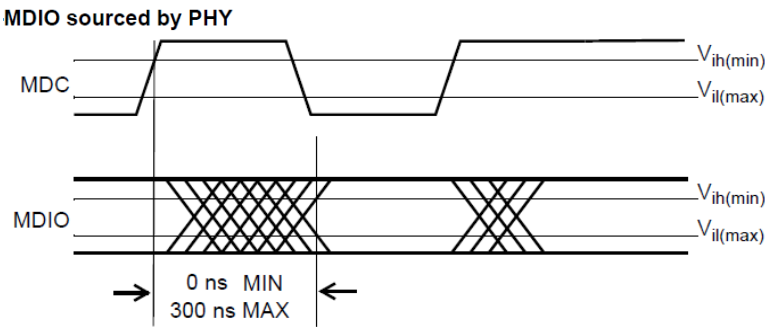




图2-7 MDIO 发送方向接口时序

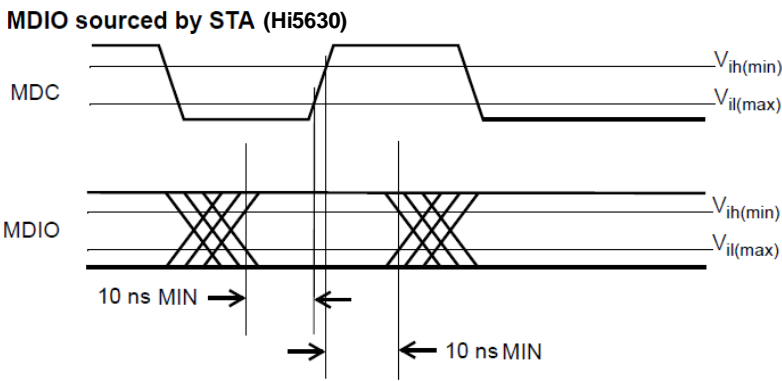
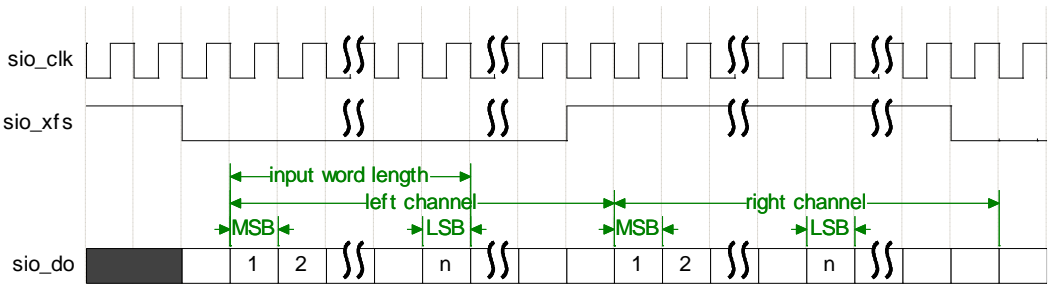


表2-5 MDIO 接口时序参数

参数	最小值	典型值	最大值	单位
MDC 周期	40	-	-	ns
MDC 高/低电平	20	-	-	ns
MDC rise/fall time	-	-	10	ns
MDIO setup time to MDC rising（发送方向）	10	-	-	ns
MDIO hold time to MDC rising（发送方向）	10	-	-	ns
MDIO Delay from MDC rising（接收方向）	0	-	300	ns

## 2.5 I2S 接口

图2-8 I2S 接口时序





I2S 接口传输数据分为左右两个声道，根据 XFS（RFS）信号的高低电平区分。按照协议，用 XCK/RCK 时钟的上升沿进行数据采样，MSB 在 XFS/RFS 变化的下一个时钟周期有效。总是先传送 MSB，后传送 LSB。

2.6 SPI FLASH 接口

图2-9 SFC 输入方向时序

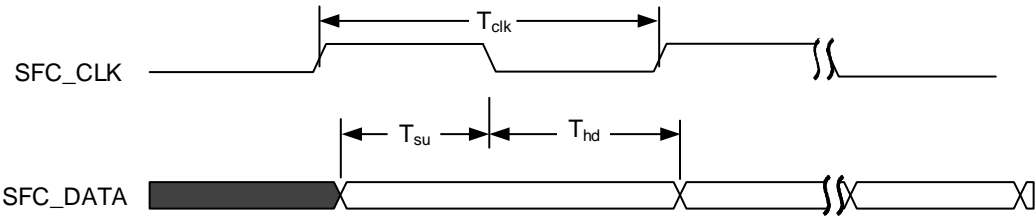


表2-6 SFC 输入方向时序参数

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	$T_{clk}$	20	-	-	ns
输入信号建立时间要求	$T_{su}$	10	-	-	ns
输入信号保持时间要求	$T_{hd}$	-2.0	-	-	ns

图2-10 SFC 输出方向时序图

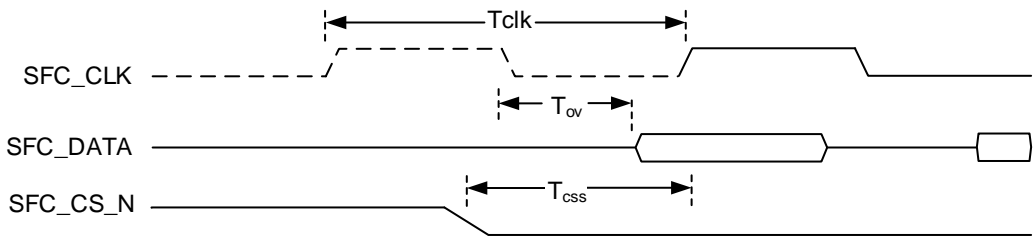


表2-7 SFC 输出方向时序参数

参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	$T_{clk}$	20	-	-	ns
输出数据信号延时	$T_{ov}$	0	-	4.5	ns
输出片选信号延时	$T_{css}$	$T_{clk} / 2$	-	$3.5 \times T_{clk}$	ns



## 2.7 SPI MASTER 接口

图2-11 SPI MASTER 接口输出时序

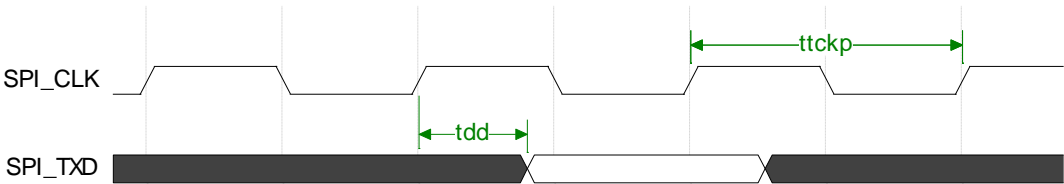


表2-8 SPI MASTER 接口输出时序参数

符号	参数描述	最小值	典型值	最大值	单位
ttxd	输出延迟	0	-	3.5	ns
ttckp	发送时钟周期	40	-	-	ns

图2-12 SPI MASTER 接口输入时序

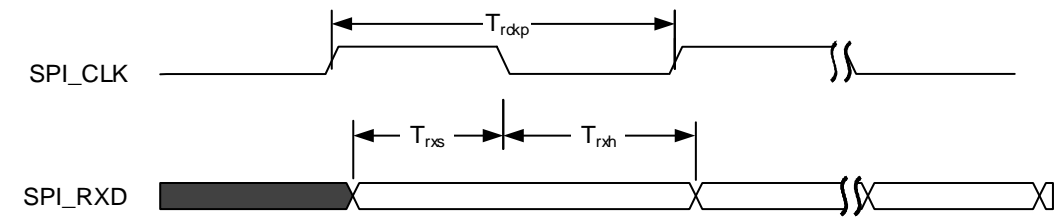


表2-9 SPI MASTER 接口输入时序参数

符号	参数描述	最小值	典型值	最大值	单位
Trxs	接收数据的建立时间	13	-	-	ns
Trxh	接收数据的保持时间	-2.0	-	-	ns
Trckp	接收时钟周期	40	-	-	ns

## 2.8 UART 接口

UART 接口输入输出数据与 APB 总线时钟 pclk 之间的时序关系如图 2-13 所示。



图2-13 UART 接口时序

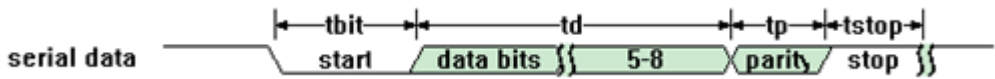


表2-10 UART 接口时序参数

符号	参数描述	最小值	典型值	最大值	单位
tbit	1bit 的时间（start 位传输时间）	5333	-	104166	ns
td	数据位传输时间	26665	-	833328	ns
tp	校验位传输时间	5333	-	104166	ns
tstop	stop 位传输时间	5333	-	208332	ns

## 2.9 I2C 接口

图2-14 I<sup>2</sup>C 接口帧传输示意图

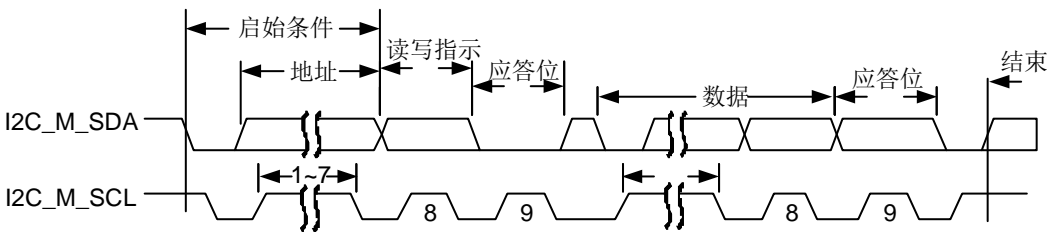


图2-15 I<sup>2</sup>C 接口时序图

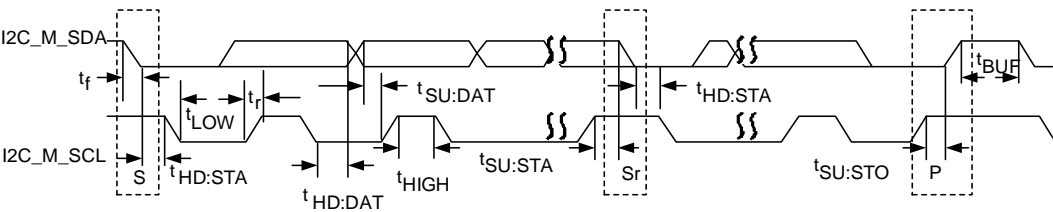




表2-11 I<sup>2</sup>C 接口标准速率模式时序参数

符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
f <sub>SCL</sub>	SCL 时钟频率	0	-	100	kHz	I <sup>2</sup> C 控制寄存器 I2C_CON bit[2:1]选 择为标准模式
t <sub>HD:STA</sub>	启动保持时间	4.0	-	-	μs	-
t <sub>LOW</sub>	SCL 低电平周期	4.7	-	-	μs	标准模式 SCL 低电 平时间配置寄存器 I2C_SS_SCL_LCNT
t <sub>HIGH</sub>	SCL 高电平周期	4.0	-	-	μs	标准模式 SCL 高电 平时间配置寄存器 I2C_SS_SCL_HCNT
t <sub>SU:STA</sub>	启动建立时间	4.7	-	-	μs	-
t <sub>HD:DAT</sub>	数据保持时间	0	-	3.45	μs	-
t <sub>SU:DAT</sub>	数据建立时间	250	-	-	ns	-
t <sub>r</sub>	SDA、SCL 上升 时间	-	-	1000	ns	-
t <sub>f</sub>	SDA、SCL 下降 时间	-	-	300	ns	-
t <sub>SU:STO</sub>	结束建立时间	4.0	-	-	μs	-
t <sub>BUF</sub>	开始与结束之间的 总线释放时间	4.7	-	-	μs	-

表2-12 I<sup>2</sup>C 接口快速速率模式时序参数

符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
f <sub>SCL</sub>	SCL 时钟频率	0	-	400	kHz	I <sup>2</sup> C 控制寄存器 I2C_CON bit[2:1]选 择为快速模式
t <sub>HD:STA</sub>	启动保持时间	0.6	-	-	μs	-
t <sub>LOW</sub>	SCL 低电平周 期	1.3	-	-	μs	快速模式 SCL 低电 平时间配置寄存器 I2C_FS_SCL_LCNT



符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
t <sub>HIGH</sub>	SCL 高电平周期	0.6	-	-	μs	快速模式 SCL 高电平时间配置寄存器 I2C_FS_SCL_HCNT
t <sub>SU:STA</sub>	启动建立时间	0.6	-	-	μs	-
t <sub>HD:DAT</sub>	数据保持时间	0	-	0.9	μs	-
t <sub>SU:DAT</sub>	数据建立时间	100	-	-	ns	-
t <sub>r</sub>	SDA、SCL 上升时间	20+0.1C <sub>b</sub>	-	300	ns	-
t <sub>f</sub>	SDA、SCL 下降时间	20+0.1C <sub>b</sub>	-	300	ns	-
t <sub>SU:STO</sub>	结束建立时间	0.6	-	-	μs	-
t <sub>BUF</sub>	开始与结束之间的总线释放时间	1.3	-	-	μs	-

2.10 JTAG 接口

图2-16 JTAG 接口时序

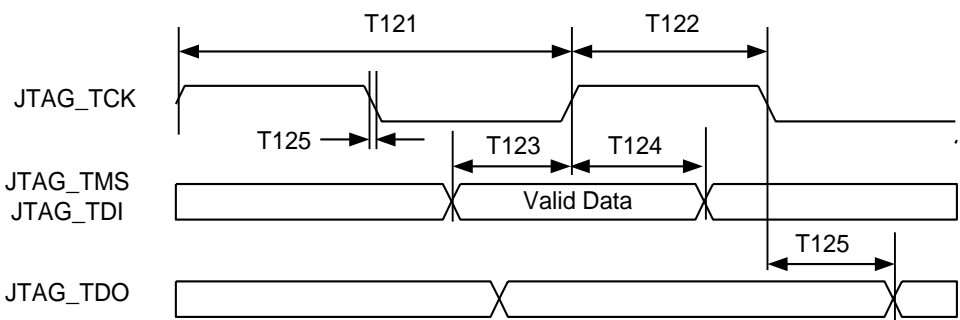


表2-13 JTAG 接口时序参数

符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
T121	JTAG_TCK 周期	100	-	-	ns	-



符号	参数描述	最小值	典型值	最大值	单位	寄存器配置
T122	JTAG_TCK 为高(或低)的时间	40	-	-	ns	-
T123	JTAG_TMS 和 JTAG_TDI 的建立时间	10	-	-	ns	-
T124	JTAG_TMS 和 JTAG_TDI 的保持时间	10	-	-	ns	-
T125	JTAG_TCK 到 JTAG_TDO 的下降沿	0	-	20	ns	-
T126	所有 JTAG 信号的上升/下降时间	-	-	3	ns	-





# 3 电性能及可靠性参数

## 3.1 极限电压参数



注意

超过表 3-1 中的数值，可能导致芯片异常。

极限电压参数如表 3-1 所示。

表3-1 极限电压参数

参数	符号	最小值	最大值	单位
BUCK0/1	VDD33_BUCK	-0.5	4.0	V
	AVDD33_BUCK	-0.5	4.0	V
OSC	AVDD33_OSC	-0.5	4.0	V
	VDD11_OSC	-0.5	1.32	V
AFE	AVDD11_RX	-0.5	1.32	V
	AVDD11_TX	-0.5	1.32	V
	AVDD18_AFE	-0.5	2.2	V
	AVDD33_AFE	-0.5	4.0	V
	AVDD18_PLL	-0.5	2.2	V
GEPHY	AVDD11_GE	-0.5	1.32	V
	AVDD11_SH	-0.5	1.32	V
	AVDD33_GE	-0.5	4.0	V
SCPLL	VDD33_SCPLL	-0.5	4.0	V
	AVDD18_PLL	-0.5	2.2	V



参数	符号	最小值	最大值	单位
PCIE_PHY0/1	AVDD11_PCIE0	-0.5	1.32	V
	AVDD33_PCIE0	-0.5	4.0	V
DDRPHY	AVDD33_DDRPLL1	-0.5	4.0	V
	AVDD33_DDRPLL2	-0.5	4.0	V
Dying-Gasp	AVDD33_DG	-0.5	4.0	V
EFUSE	AVDD25_EFUSE	-0.5	3.0	V
数字 CORE 电源	DVDD11	-0.5	1.32	V
3.3V IO 电源	DVDD33_1	-0.5	4.0	V
	DVDD33_2	-0.5	4.0	V
DDR 时钟 IO 电源	VDDIO_CK_DDR2	-0.5	2.2	V
DDR IO 电源	VDDIO_DDR2	-0.5	2.2	V

## 3.2 推荐工作电压

Hi5630H 的推荐工作电压如表 3-2 所示。

表3-2 推荐工作电压

参数	符号	最小值	典型值	最大值	单位
BUCK0/1	VDD33_BUCK	3.2	3.3	3.4	V
	AVDD33_BUCK	3.2	3.3	3.4	V
OSC	AVDD33_OSC	3.2	3.3	3.4	V
	VDD11_OSC	1.067	1.1	1.133	V
AFE	AVDD11_RX	1.067	1.1	1.133	V
	AVDD11_TX	1.067	1.1	1.133	V
	AVDD18_AFE	1.746	1.8	1.854	V
	AVDD33_AFE	3.2	3.3	3.4	V
	AVDD18_PLL	1.746	1.8	1.854	V
GEPHY	AVDD11_GE	1.067	1.1	1.133	V
	AVDD11_SH	1.067	1.1	1.133	V
	AVDD33_GE	3.2	3.3	3.4	V



参数	符号	最小值	典型值	最大值	单位
SCPLL	VDD33_SCPLL	3.2	3.3	3.4	V
	AVDD18_PLL	1.746	1.8	1.854	V
PCIE_PHY0/1	AVDD11_PCIE0	1.067	1.1	1.133	V
	AVDD33_PCIE0	3.2	3.3	3.4	V
DDRPHY	AVDD33_DDRPLL1	3.2	3.3	3.4	V
	AVDD33_DDRPLL2	3.2	3.3	3.4	V
Dying-Gasp	AVDD33_DG	3.2	3.3	3.4	V
EFFUSE	AVDD25_EFUSE	2.425	2.5	2.575	V
数字 CORE 电源	DVDD11	1.067	1.1	1.133	V
3.3V IO 电源	DVDD33_1	3.2	3.3	3.4	V
	DVDD33_2	3.2	3.3	3.4	V
DDR 时钟 IO 电源	VDDIO_CK_DDR2	1.746	1.8	1.854	V
DDR IO 电源	VDDIO_DDR2	1.746	1.8	1.854	V

## 3.3 功耗分布



### 注意

- 1、上述功耗值为芯片实测值。
- 2、典型功耗指环境温度为常温（25℃）、常压下，Hi5630H 在典型应用下的功耗值。该应用模式包括：所有端口处于正常用户工作状态（2\*PCIE + PLC + GEPHY）。
- 3、峰值功耗指芯片所有电源电压正偏 5%，芯片结温为 125 度时，Hi5630 在最大应用下满负荷工作所需要的功耗值。该应用模式包括：所有端口都处于满负荷工作状态（2\*PCIE + PLC + GEPHY）。

典型应用场景（路由器集成 G.hn）下，Hi5630H 的各电源功耗分布如表 3-3 所示。

表3-3 路由器集成 G.hn 应用场景下电源的功耗分布

芯片部分	峰值电流 (mA)	典型功耗 (mW)	峰值功耗 (mW)
3.3V 电源	253	759	877



芯片部分	峰值电流 (mA)	典型功耗 (mW)	峰值功耗 (mW)
1.1V 电源	1309	1137	1512
芯片总功耗		1896	2389

## 3.4 电气特性

### 3.4.1 数字 IO 电气参数

#### 3.4.1.1 3.3V LVC MOS

3.3V LVC MOS I/O 直流电气特性如表 3-4 所示。

表3-4 3.3V LVC MOS I/O 直流电气特性

参数	标识	最小值	典型值	最大值	单位
I/O 电压	V <sub>DD33</sub>	2.97	3.3	3.63	V
输入电容	C <sub>IN</sub>	3.06	3.30	3.42	pF
最大输入电压	V <sub>I MAX</sub>	-	-	3.63+0.5	V

3.3V LVC MOS I/O 单端直流电气特性如表 3-5 所示。

表3-5 3.3V LVC MOS I/O 单端直流电气特性

参数	标识	最小值	典型值	最大值	单位
输入高电平	V <sub>IH</sub>	2.0	-	DVDD33+0.3	V
输入低电平	V <sub>IL</sub>	-0.3	-	0.8	V
触发点	V <sub>t</sub>	1.49	1.65	1.84	V
史密特触发点低到高	V <sub>t+</sub>	1.66	1.83	1.96	V
史密特触发点高到低	V <sub>t-</sub>	1.24	1.37	1.48	V
输入漏电流 (V <sub>IN</sub> =3.3V 或 0V 情况)	I <sub>IZ</sub>	-	-	±10	μA
三态输入漏电流 (V <sub>OUT</sub> =3.3V 或 0V 情况)	I <sub>OZ</sub>	-	-	±10	μA
上拉电阻	R <sub>PU</sub>	80	90	100	KΩ



参数		标识	最小值	典型值	最大值	单位
下拉电阻		R <sub>PD</sub>	80	90	100	KΩ
输出高电平		V <sub>OH</sub>	2.4	-	-	V
输出低电平		V <sub>OL</sub>	-	-	0.4	V
IO4 低电平输出 V <sub>OL</sub> 电流（识档位： DS2/DS1/DS0）	1	111	3.74	6.22	8.84	mA
	2	110	7.46	12.4	17.6	mA
	4	101	14.6	24.4	34.7	mA
	5	100	18.4	30.6	43.5	mA
	12	011	36.2	60.4	86	mA
	14	010	39.9	66.6	94.8	mA
	16	001	47.1	78.6	112	mA
	18	000	50.8	84.8	121	mA
IO4 高电平输出 V <sub>OH</sub> 时电流（识档位： DS2/DS1/DS0）	1	111	5.24	11.6	20	mA
	2	110	10.5	23.3	40.1	mA
	4	101	21.1	46.6	80.3	mA
	5	100	26.4	58.3	100	mA
	12	011	52.7	117	201	mA
	14	010	58	128	221	mA
	16	001	68.6	152	261	mA
	18	000	73.8	163	281	mA
IO2 低电平输出 vol 电流（识档位： DS2/DS1/DS0）	1	11	3.43	5.72	8.17	mA
	2	10	6.9	11.5	16.5	mA
	3	01	10.1	16.9	24.2	mA
	4	00	13.6	22.7	32.5	mA
IO2 高电平输出 voh 时电流（识档位： DS2/DS1/DS0）	1	11	4.44	9.84	17	mA
	2	10	8.87	19.7	33.9	mA
	3	01	13.3	29.4	50.7	mA
	4	00	17.7	39.2	67.6	mA

数字 IO 的上下冲说明如图 3-1、图 3-2 所示。



图3-1 LVCMOS 上冲示意图

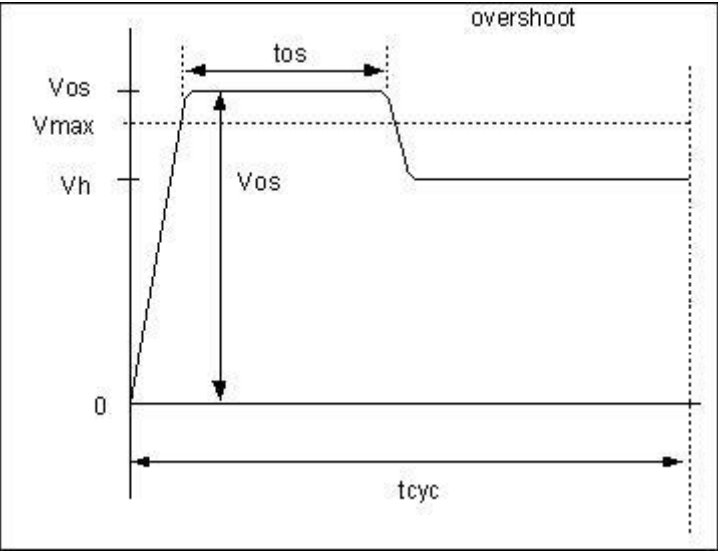


图3-2 LVCMOS 下冲示意图

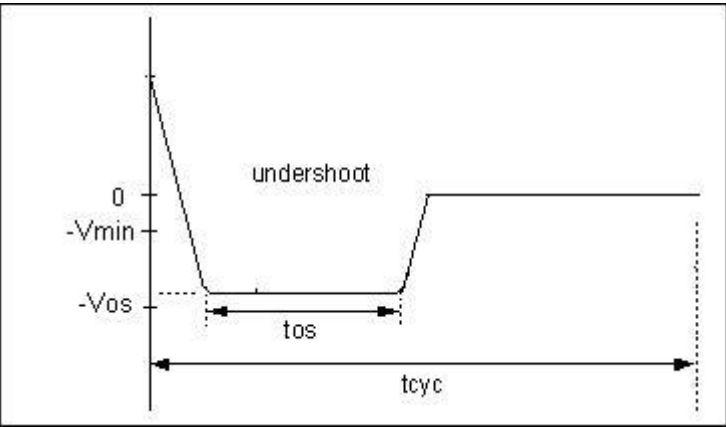


表3-6 LVCMOS 上下冲参数说明

参数	上冲	下冲	单位
Vos (3.3V)	4.3	-1	V
Vos (2.5V)	3.2	-0.7	V
Vos (1.8V)	2.3	-0.5	V
tos	0.2	0.2	脉宽



### 3.4.1.2 1.8V LVCMOS

1.8V LVCMOS I/O 直流参数如表 3-7 所示。

表3-7 1.8V LVCMOS I/O 直流参数

参数	标识	测试条件	最小值	典型值	最大值	单位
I/O 电压	$V_{DD18}$	-	1.62	1.8	1.98	V
输入电容	$C_{IN}$	-	3.06	3.30	3.42	pF
最大输入电压	$V_{I\ MAX}$	-	-	-	1.98	V

1.8V LVCMOS I/O 单端直流电气特性如表 3-8 所示。

表3-8 1.8V LVCMOS I/O 单端直流电气特性

参数	标识	测试条件	最小值	典型值	最大值	单位
输入高电平	$V_{IH}$	-	$0.7V_{DD18}$	-	$V_{DD18} + 0.3$	V
输入低电平	$V_{IL}$	-	-0.3	-	$0.2V_{DD18}$	V
触发点	$V_t$	-	0.76	0.85	0.94	V
史密特触发点低到高	$V_{t+}$	-	-	-	-	V
史密特触发点高到低	$V_{t-}$	-	-	-	-	V
输入漏电流	$I_{IZ}$	( $V_{IN}=3.3V$ 或 $0V$ 情况)	-	-	$\pm 10$	$\mu A$
三态输入漏电流	$I_{OZ}$	( $V_{OUT}=3.3V$ 或 $0V$ 情况)	-	-	$\pm 10$	$\mu A$
上拉电阻	$R_{PU}$	-	80	90	100	$K\Omega$
下拉电阻	$R_{PD}$	-	80	90	100	$K\Omega$
输出高电平	$V_{OH}$	$I_{OH} = -100\mu A$	$V_{DD18} - 0.2$	-	-	V
输出低电平	$V_{OL}$	$I_{OH} = -100\mu A$	-	-	0.2	V
输入电容	$C_{IN}$	-	-	-	10	pF
IO4 低电平输出 VOL 电流 (识档位： DS2/DS1/DS0)	1	111	-	1	-	mA



参数	标识	测试条件	最小值	典型值	最大值	单位
-	2	110	-	2	-	mA
-	4	101	-	4	-	mA
-	5	100	-	5	-	mA
-	12	011	-	12	-	mA
-	14	010	-	14	-	mA
-	16	001	-	16	-	mA
-	18	000	-	18	-	mA
IO4 高电平输出 VOH 时电流 (识档位: DS2/DS1/DS0)	1	111	-	1	-	mA
-	2	110	-	2	-	mA
-	4	101	-	4	-	mA
-	5	100	-	5	-	mA
-	12	011	-	12	-	mA
-	14	010	-	14	-	mA
-	16	001	-	16	-	mA
-	18	000	-	18	-	mA

### 3.4.2 PCIE 接口电气参数

根据协议生成眼图模板，分别测量图中标注的 TX 端和 RX 端测试点。

表3-9 PCIE 测试指标说明

Case	参数项	指标要求	单位	参数说明
-	UI	199.94(min)- 200.06(max)	ps	Unit Interval
TX 端	V <sub>TX-DE-RATIO-3.5dB</sub>	3.0 (min)- 4.0 (max)	dB	Tx de-emphasis level ratio
	T <sub>TX-EYE</sub>	≥0.75	UI	Transmitter Eye including all jitter sources
	Z <sub>TX-DIFF-DC</sub>	80 (min) -120 (max)	Ω	DC differential Tx impedance





Case	参数项	指标要求	单位	参数说明
RX 端	T <sub>RX-MIN-PULSE</sub>	≥120	ps	Minimum single pulse applied at Rx
	T <sub>RX-EYE</sub>	≥0.4	UI	Receiver eye time opening ,Minimum eye time at Rx pins to yield a 10 <sup>-12</sup> BER
	V <sub>RX-EYE</sub>	≥100（diff）	mV <sub>P-P</sub>	Receive eye voltage opening ，Data Clocked Rx Architecture

3.4.3 GEPHY 接口电气参数

3.4.3.1 IO 电气特性列表

表3-10 GEPHY IO 的电气特性列表

符号	管脚类型	参数	条件	Min	Typ	Max	Units
VOD-10	MDI	10MHz 模式下输出差分电压	-	2.2	2.5	2.8	V
VOD-100	MDI	100MHz 模式下输出差分电压	-	0.950	1	1.050	V
VOD-1000	MDI	1000MHz 模式下输出差分电压 1	-	0.670	0.745	0.820	V

3.5 上下电要求



注意

- 芯片在上电过程中，会对 FLASH 管脚进行保护，强制芯片的 FLASH 对接管脚为输入状态，防止上电过程中接口异常导致 FLASH 处于异常工作状态。该功能默认是打开的。

芯片电源上电顺序如图 3-3 所示，上电时序参数如表 3-11 所示。



图3-3 上电顺序图

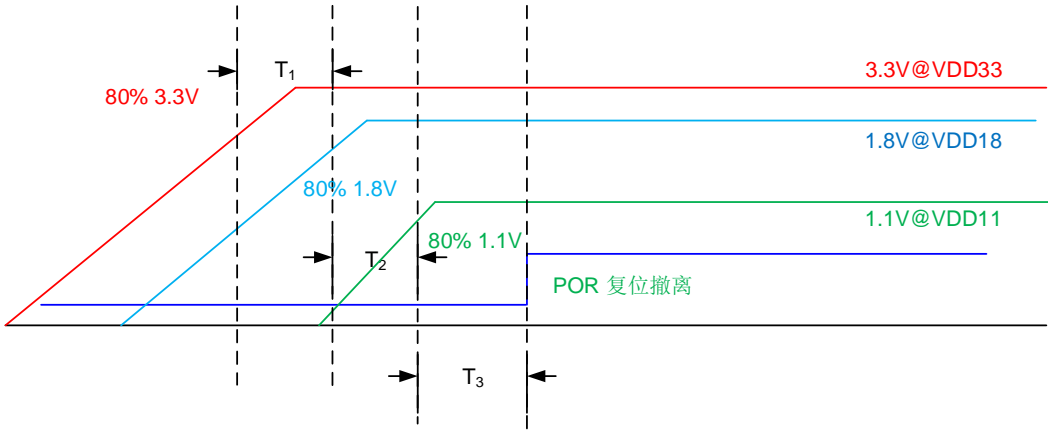


表3-11 上电时序参数

参数	最小值（ms）	最大值（ms）
T <sub>1</sub>	0	200
T <sub>2</sub>	0	200
T <sub>3</sub>	6	12

下电的时候，对电源顺序没有要求，但是要求所有电源在 200ms 之内完成掉电，掉电保持时间大于 5ms，否则对芯片器件的可靠性有影响。

### 3.6 极限工作环境

Hi5630H 极限工作环境参数如表 3-12 所示。



说明

极限工作环境参数仅用于评估，不用于实际应用。



注意

超过极限工作环境参数数值，可能导致芯片物理损伤。

表3-12 极限工作环境参数

参数	符号	最小值	最大值	单位
环境温度	T <sub>A</sub>	0	70	℃



参数	符号	最小值	最大值	单位
焊接温度	T <sub>P</sub>	225	260	°C
极限结温	T <sub>JMAX</sub>	0	125	°C

## 3.7 推荐工作环境

Hi5630H 推荐工作环境参数如表 3-13 所示,热设计的降额标准以表 3-12 中的数据为准。

表3-13 推荐工作环境参数

参数	符号	最小值	最大值	单位
环境温度	T <sub>A</sub>	0	70	°C
长期工作结温	T <sub>JL</sub>	0	105	°C
极限工作结温	T <sub>JS</sub>	0	125	°C

## 3.8 可靠性参数

Hi5630H 的可靠性参数如表 3-14 所示。

表3-14 可靠性参数

参数	符号	参数值
ESD 参数	ESD level/volt	HBM: 2000V CDM: 200V
LatchUp 电流	ILU	过流: 正负 100mA 过压: 1.5×V <sub>max</sub>
潮湿敏感等级	MSL	3 级

表3-15 芯片潮湿敏感等级定义

潮湿敏感等级 (MSL)	含义 (拆封后存放条件及最长时间)
1	无限制, □ ≤85% RH (Relative Humidity)。
2	一年, □ ≤30°C/60% RH。



潮湿敏感等级 (MSL)	含义 (拆封后存放条件及最长时间)
3	一周, ■ $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ 。
4	72 小时, □ $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ 。
5	48 小时, □ $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ 。
6	24 小时, □ $\leq 30^{\circ}\text{C}/60\% \text{ RH}$ 。

## 3.9 热阻特性



### 注意

热阻基于 JEDEC JESD51-2 标准给出, 应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同, 需要根据应用条件作出分析。

Hi5630HV110 的封装热阻如表 3-16 所示。

表3-16 热阻特性

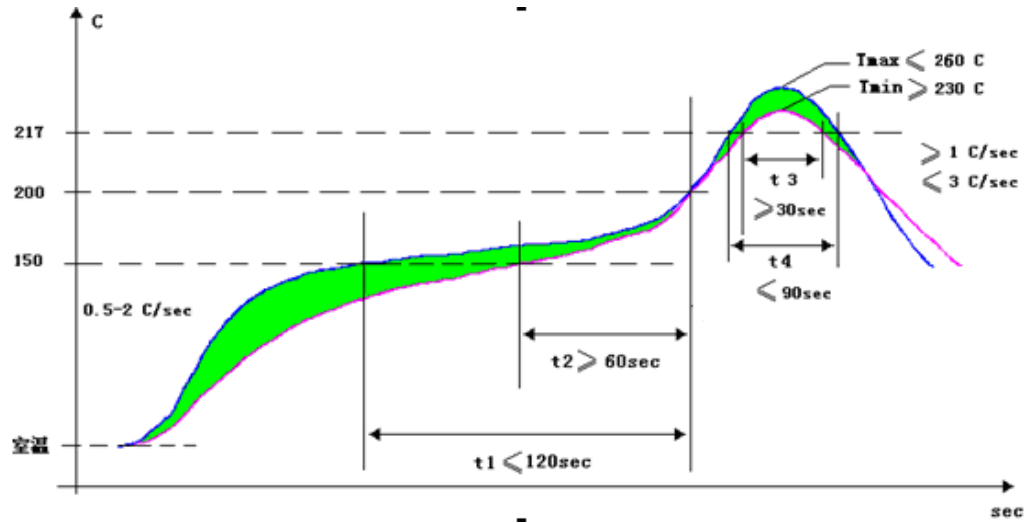
参数	符号	数值	单位
Junction-to-case thermal resistance	$\theta_{\text{JC}}$	7.9	$^{\circ}\text{C}/\text{W}$
Junction-to-board thermal resistance	$\theta_{\text{JB}}$	17	$^{\circ}\text{C}/\text{W}$

## 3.10 焊接工艺

- BGA 焊球材料: SAC105
- 表贴元器件包装类型: 盘式
- 可存储期限 (90%相对湿度以下): 12moths@40 $^{\circ}\text{C}$
- 包装材料: 防静电材料
- 可应用的焊接方法: Infrared reflow/convection
- reflow 的焊接参数如下:
  - 3 reflows at 245 $^{\circ}\text{C}$  (lead reduced)
  - 1 reflow at 260 $^{\circ}\text{C}$  for rework (lead reduced)
  - 3 reflows at 225 $^{\circ}\text{C}$  (lead)
- Bakeout 参数: 125 $^{\circ}\text{C}$ @40hours



图3-4 焊接温度曲线图





# 4 封装

## 4.1 概述

Hi5630HV110 采用 TFBGA 封装，封装尺寸为 10.5mm×10.5mm，管脚间距为 0.65mm。

## 4.2 芯片 Mark 图

Hi5630H 芯片 Mark 图如图 4-1 所示，Mark 各符号说明如表 4-1 所示。

图4-1 Mark 示意图

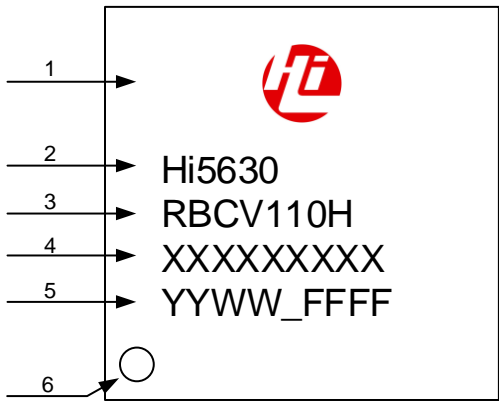


表4-1 Mark 说明

编号	含义
1	海思公司 Logo。
2	工单 Part number 前 6 位。



编号	含义
3	工单 Part number 其余字符。 R: 环保标识（N 表示含铅、R 表示 RoHS、G 表示无铅）。 B: 封装类型 BGA。 C: 温度等级（C 表示商业级、I 表示工业级、M 表示军工级）。 H: 芯片产品区分位
4	XXXXXXXXXX: Mark Lot Number。
5	YYWW: 封装时间信息，YY 表示年份；WW 表示星期。 XXXXXX: 芯片封装地信息（字符数可变）。
6	Pin 1 起始标志。

4.3 封装图

Hi5630H 的封装图如图 4-2～图 4-5 所示。

图4-2 Top View

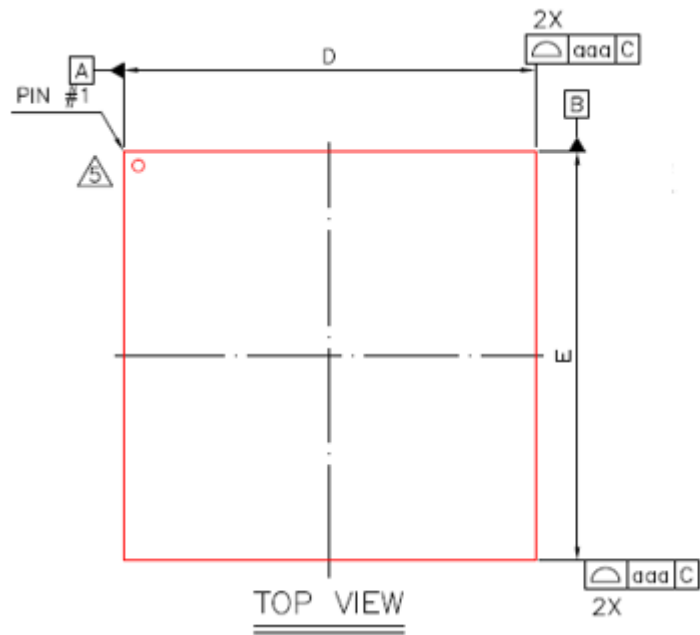




图4-3 Side View

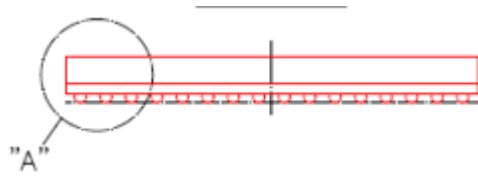


图4-4 Side view Detail A 放大图

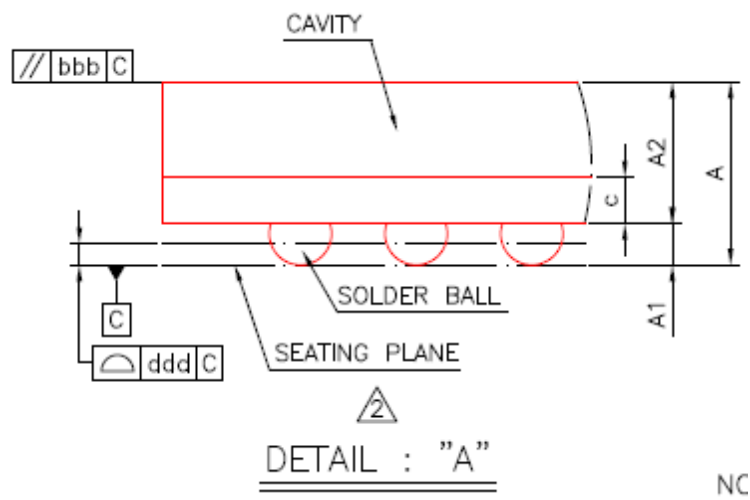
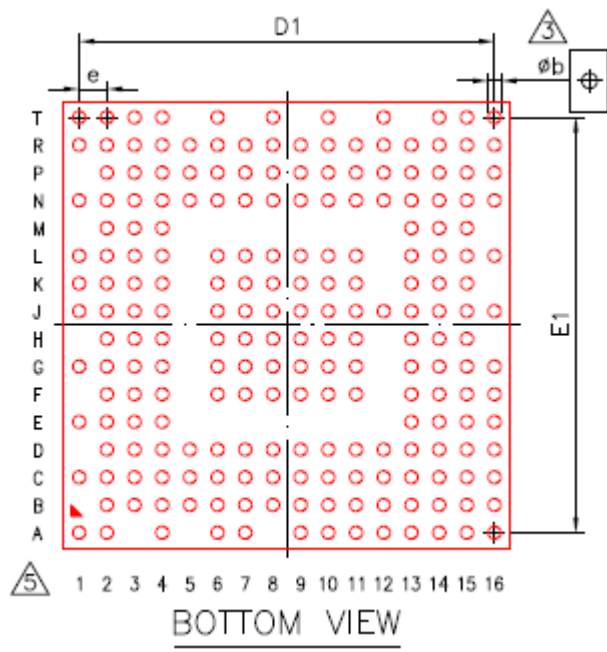


图4-5 Bottom view







封装参数如表 4-2 所示。

表4-2 封装参数表

参数	尺寸(mm)			尺寸(inch)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	1.10	1.17	1.24	0.043	0.046	0.049
A1	0.16	0.21	0.26	0.006	0.008	0.010
A2	0.91	0.96	1.01	0.036	0.038	0.040
C	0.22	0.26	0.30	0.009	0.010	0.012
D	10.40	10.50	10.60	0.409	0.413	0.417
E	10.40	10.50	10.60	0.409	0.413	0.417
D1	-	9.75	-	-	0.384	-
E1	-	9.75	-	-	0.384	-
e	-	0.65	-	-	0.026	-
b	0.25	0.30	0.35	0.010	0.012	0.014
aaa	0.15			0.006		
bbb	0.10			0.004		
ddd	0.08			0.003		
eee	0.15			0.006		
fff	0.08			0.003		
MD/ME	16/16					

#### 说明

1. Controlling dimension: millimeter.
- 2.Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
- 3.Dimension B is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Specal characteristics C class: ccc, ddd.
- 5.The pattern of pin 1 flducial is for reference only.
6. Referance document: jedec publication 95 design guide 4.5.
7. b IS SOLDER BALL DIAMETER=0.30 mm(BEFORE REFLOW)  
BGA PAD SOLDER MASK OPENING=0.275 mm  
PKG BALL DIAMETER = 0.31 mm(AFTER REFLOW)



# 5 管脚描述

Hi5630H 的管脚描述包括：

- 时钟复位专用管脚
- 模拟管脚
  - AFE 接口管脚
  - GEPHY 接口管脚
  - PCIE 接口管脚
  - Dying Gasp 掉电检测接口管脚
  - 过零点检测接口管脚
  - DDR 参考电压和校准电阻接口管脚
- 数字（GPIO）管脚
  - SPI Flash 接口管脚
  - UART0 接口管脚
  - UART1 接口管脚
  - I2C0 Master 接口管脚
  - I2C1 Master 接口管脚
  - MDIO 接口管脚
  - RGMII/MII 接口管脚
  - SDIO 接口管脚
  - SPIM 接口管脚
  - JTAG 接口管脚
  - I2S0 Slave 接口管脚
  - I2S1 Slave 接口管脚
  - LD/Dying Gasp/PCIE 控制接口管脚
- 电源和地管脚



说明

管脚描述表中，“-”表示“值为空”。



## 5.1 管脚类型说明

Hi5630H 的管脚类型说明如表 5-1 所示。

表5-1 管脚类型说明

类型	说明
I	普通输入端口。
I <sub>PU</sub>	带有内部上拉的输入端口。
I <sub>SU</sub>	带迟滞功能（施密特）的输入端口。
I <sub>PU/SU</sub>	带迟滞功能（施密特）并且内部有上拉的输入端口。
I <sub>PD</sub>	带有内部下拉的输入端口。
O	普通输出端口。
O <sub>PU</sub>	带有内部上拉的输出端口。
O <sub>Tri</sub>	三态输出端口。
O <sub>OD</sub>	输出，漏极开路。
I/O	双向端口。
I/O <sub>OD</sub>	双向端口，输出漏极开路。
I <sub>SU</sub> /O <sub>Tri</sub>	双向端口，输入带迟滞功能（施密特），输出三态。
I <sub>PU/SU</sub> /O <sub>Tri</sub>	双向端口，输入带迟滞功能（施密特），输出三态。
I <sub>PD</sub> /O <sub>Tri</sub>	双向端口，输入内部下拉，输出三态。
I <sub>PU</sub> /O <sub>Tri</sub>	双向端口，输入内部上拉，输出三态。
Tri	三态端口。
AI	模拟输入。
AO	模拟输出。
AIO	模拟 IO。
NC	未连接。
LVTTL	具有 tolerant 特性的 TTL 接口电平。
LVC MOS	LVC MOS 接口电平。
CML	电流逻辑电平。
_P	输出驱动可调，或内部集成终端匹配。



## 5.2 管脚数量统计

Hi5630H 的管脚数量统计如表 5-2 所示。

表5-2 管脚数量统计表

管脚类型	数量
复位输入 IO	1
JTAG_MODE 输入 IO	1
GPIO	38
模拟 IO	36
测试管脚	1
NC	-
电源/地	135
总计	212

## 5.3 系统时钟接口

系统时钟接口如表 5-3 所示。

表5-3 系统时钟接口管脚列表

管脚名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
XTL_IN	R15	AI	40	-	2.5	单端晶体振荡器输入端，外接晶体；外灌模式下为外灌时钟输入，外灌电压摆幅 2.5V(+/-5%)。（外灌时钟需要 AC 耦合，加 100nF 电容）
XTL_OUT	R16	AO	40	-	2.5	单端晶体振荡器实际输出端，外接晶体；外灌模式下悬空。

## 5.4 复位接口

复位接口如表 5-4 所示。



表5-4 复位接口管脚列表

管脚名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	复用管脚 (可选)	描述
SYS_RESET_N	E16	I <sub>PU</sub> /SU	-	-	3.3	-	管脚硬复位输入，低有效。 芯片上电期间建议外部输入低电平让芯片处于复位态，需要芯片工作时再解复位。 芯片内置虑毛刺电路，会虑除≤10ns 的毛刺。
A9_JTAG_T RST_N	R3	I <sub>PD</sub> /SU/O <sub>Tri</sub>	-	-	3.3	GPIO_32	A9 CPU 调试 JTAG 接口复位输入，低有效。 复用 GPIO_32 管脚。 JTAG_MODE=0（硬件配置字）&io_a9_jtag_sel=1（寄存器 0x1150_0008，bit1）时为 A9 CPU 调试 JTAG 接口复位输入功能。

## 5.5 模拟接口

模拟接口如表 5-5 所示。

表5-5 模拟接口管脚列表

管脚名称	位置	类型	频率 (MHz)	驱动	电平 (V)	描述
G.hn AFE 模拟前端接口						
AFE_RXINP	R9	AI	-	--	ANA	AFE RX 模拟差分输入正极端。 2.7Vpp single end, 5.5V differential, 1.65V common mode.
AFE_RXINN	R10	AI	-	-	ANA	AFE RX 模拟差分输入负极端。 2.7Vpp single end, 5.5V differential, 1.65V common mode.



管脚名称	位置	类型	频率 (MHz)	驱动	电平 (V)	描述
AFE_TXOUTP	R12	AO	-	-	ANA	AFE TX 模拟差分输出正极端。 1.6Vpp single end, 3.2Vpp differential, 1.35V common mode.
AFE_TXOUTN	R13	AO			ANA	AFE TX 模拟差分输出负极端。 1.6Vpp single end, 3.2Vpp differential, 1.35V common mode.
AFE_IREF_RES	P12	AIO	-	-	ANA	AFE 参考电流设置，外接 1%精 密电阻 10K。 <b>注意：参考电流设置只在芯片 AFE 初始化时工作一下（0.55V 输出），正常工作是 0V。</b>
AFE_VBG_CAP	T12	AIO	-	-	ANA	内部参考电压 0.55V 接口，外接 滤波电容（0.1uF）。
AFE_LDO11_CAP	P11	AIO	-	-	1.1	AFE 1.1V LDO 外部滤波电容接 口（10uF）。
AFE_LDO27_CAP	T14	AIO	-	-	2.7	2.7V LDO 外部滤波电容接口 （10uF）。
GE-PHY MDI 介质相关接口						
MDI_AP_0	J1	AIO	250	-	ANA	内置 GE-PHY 差分接收和发送 端口。可强制或自协商配置为 10BASE-T、100BASE-TX 或 1000BASE-T 模式，提供 MDI/MDI-X 的对接方式，并可 以纠正通道 MDI_N 和 MDI_P 的 极性问题。 <b>注意：在 10/100Mbps 操作模式 下，只用了通道 A 和通道 B。自 动 MDIX 功能会检测对方的发 送通道，配置适当的发送和接收 通道。</b>
MDI_AN_0	K1	AIO				
MDI_BP_0	L2	AIO				
MDI_BN_0	L1	AIO				
MDI_CP_0	N1	AIO				
MDI_CN_0	N2	AIO				
MDI_DP_0	R2	AIO				
MDI_DN_0	R1	AIO				
BGREF	P3	AIO	-	-	-	内置 GE-PHY 内部基准参考电 压，该引脚需要外接 1%精度的 10.0kΩ 电阻到地。
PCIE 接口						
PCIE0_RXP	H15	AI	2500	-	CML	内置 PCIE-PHY0 差分接收端口。
PCIE0_RXN	H14	AI				



管脚名称	位置	类型	频率 (MHz)	驱动	电平 (V)	描述
PCIE0_TXP	J16	AO	2500	-	CML	内置 PCIE-PHY0 差分发送端口。
PCIE0_TXN	J15	AO				
PCIE0_100M_CLKP	G15	AO	100	-	HCSL	PCIE0 子系统参考时钟差分输出。
PCIE0_100M_CLKN	G16	AO				
PCIE1_RXP	K15	AI	2500	-	CML	内置 PCIE-PHY1 差分接收端口。
PCIE1_RXN	K14	AI				
PCIE1_TXP	L16	AO	2500	-	CML	内置 PCIE-PHY1 差分发送端口。
PCIE1_TXN	L15	AO				
PCIE1_100M_CLKP	M15	AO	100	-	HCSL	PCIE1 子系统参考时钟差分输出。
PCIE1_100M_CLKN	M14	AO				
Dying Gasp 掉电检测接口， 过零点检测接口						
PFI_DYINGGASP	P9	AI	-	-	ANA	DyingGasp 判决电平信号允许电压范围 0V~3.3V。 上电阈值：1.225V； 下电阈值：1.125V。
DG_VIN	R8	AI	50Hz 或 60Hz	-	3.3	过零点检测比较器正端。
DG_VREF	T8	AI	50Hz 或 60Hz	-	3.3	过零点检测比较器负端。单端过零模式下面，此管脚接 100nf 电容到地。
DDR2 参考电压和较准电阻接口						
DDR2_VREF	A7	AI	-	-	0.9	SSTL_1.8 DDRIO 参考电压。
DDR2_ZQ	B5	AIO	-	-	1.8	ZQ 校准电阻接口。

## 5.6 数字接口



### 注意

JTAG\_MODE 管脚必须采用下拉，否则影响芯片功能。

GPIO 数字接口如表 5-6 所示。



表5-6 数字接口管脚列表

管脚名称	位置	类型	频率 (MHz)	驱动 (mA)	电平(V)	复用管脚	描述
GPIO_0	P4	I <sub>PD</sub> /S <sub>U</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 4	3.3	请参见 表 5-9	请参见表 5-9
GPIO_1	T3	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 4	3.3		
GPIO_2	T4	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 4	3.3		
GPIO_3	R4	I <sub>PU</sub> /S <sub>U</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 4	3.3		
GPIO_4	P5	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 4	3.3		
GPIO_5	R6	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 4	3.3		
GPIO_6	P6	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 2	3.3		
GPIO_7	P7	I/O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_8	R7	I/O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_9	T6	I/O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_10	F15	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_11	F14	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_12	F16	I <sub>PU</sub> /O <sub>Tri</sub> /OD	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_13	E15	I <sub>PU</sub> /O <sub>Tri</sub> /OD	-	支持 4 驱动: 1/2/3/4 默认驱动: 1	3.3		
GPIO_14	C4	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		





管脚名称	位置	类型	频率 (MHz)	驱动 (mA)	电平(V)	复用管 脚	描述
GPIO_15	A4	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		
GPIO_16	B4	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		
GPIO_17	A2	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		
GPIO_18	C3	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		
GPIO_19	B2	I <sub>PD</sub> /SU/O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		
GPIO_20	C1	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 1	支持: 1.8/2.5/3.3		
GPIO_21	C2	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 1	支持: 1.8/2.5/3.3		
GPIO_22	D3	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 1	支持: 1.8/2.5/3.3		
GPIO_23	E3	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 1	支持: 1.8/2.5/3.3		
GPIO_24	E2	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 1	支持: 1.8/2.5/3.3		
GPIO_25	E1	I <sub>PD</sub> /SU/O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 1	支持: 1.8/2.5/3.3		
GPIO_26	F2	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动: 1/2/4/5/12/14/16/18 默认: 4	支持: 1.8/2.5/3.3		



管脚名称	位置	类型	频率 (MHz)	驱动 (mA)	电平(V)	复用管 脚	描述
GPIO_27	F3	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 8 驱动： 1/2/4/5/12/14/16/18 默认：1	支持： 1.8/2.5/3.3		
GPIO_28	G1	I <sub>PD</sub> /O <sub>Tri</sub>	-	支持 8 驱动： 1/2/4/5/12/14/16/18 默认：8	支持： 1.8/2.5/3.3		
GPIO_29	G3	I <sub>PD</sub> /O <sub>Tri</sub>	-	支持 8 驱动： 1/2/4/5/12/14/16/18 默认：12	支持： 1.8/2.5/3.3		
GPIO_30	H3	I <sub>PD</sub> /O <sub>Tri</sub>	-	支持 8 驱动： 1/2/4/5/12/14/16/18 默认：12	支持： 1.8/2.5/3.3		
GPIO_31	H2	I <sub>PD</sub> /O <sub>Tri</sub>	-	支持 8 驱动： 1/2/4/5/12/14/16/18 默认：12	支持： 1.8/2.5/3.3		
GPIO_32	R3	I <sub>PD</sub> /S <sub>U</sub> /O <sub>Tri</sub>	-	支持 4 驱动：1/2/3/4 默认驱动：4	3.3		
GPIO_33	D15	I <sub>PU</sub> /S <sub>U</sub> /O <sub>Tri</sub>	-	支持 4 驱动：1/2/3/4 默认驱动：1	3.3		
GPIO_34	E14	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动：1/2/3/4 默认驱动：1	3.3		
GPIO_35	C16	I <sub>PU</sub> /O <sub>Tri</sub> /OD	-	支持 4 驱动：1/2/3/4 默认驱动：1	3.3		
GPIO_36	C15	I <sub>PU</sub> /O <sub>Tri</sub> /OD	-	支持 4 驱动：1/2/3/4 默认驱动：1	3.3		
GPIO_37	D14	I <sub>PU</sub> /O <sub>Tri</sub>	-	支持 4 驱动：1/2/3/4 默认驱动：1	3.3		
JTAG_M ODE	D16	I <sub>PD</sub>	-	支持 4 驱动：1/2/3/4 默认驱动：1	3.3	-	JTAG 接 口使能控 制，高电 平有效。 必须下 拉。



## 5.7 电源和地

Hi5630HV110 电源和地分为模拟和数字两类，下面分别详细介绍。

### 5.7.1 模拟电源和地

模拟电源和地管脚如表 5-7 所示。

表5-7 模拟电源和地管脚列表

名称	位置	电压 (V)	描述
PMU: BUCK0 1.8V, BUCK1 1.1V			
AVDD33_BUCK_0	B15	3.3	BUCK0 3.3V 模拟电源。
VDD33_BUCK_0	A14、B14	3.3	BUCK0 3.3V 功率电源。
AVSS_BUCK_0	A15、A16	0	BUCK0 功率和模拟地。
BUCK_FB_0	B16	1.8	BUCK0 输出电压反馈。
BUCK_LX_0	A13、B13	1.8	BUCK0 LX 输出。
AVDD33_BUCK_1	C9	3.3	BUCK1 3.3V 模拟电源。
VDD33_BUCK_1	A10、B10	3.3	BUCK1 3.3V 功率电源。
AVSS_BUCK_1	A9、B9	0	BUCK1 功率和模拟地。
BUCK_FB_1	C8	1.1	BUCK1 输出电压反馈。
BUCK_LX_1	A11、B11、C10	1.1	BUCK1 LX 输出。
VSS_BUCK	A12、B12、C11、C12	0	BUCK0 & BUCK1 IO 公共地。
Crystal Oscillator 晶体振荡器			
AVDD33_OSC	M13	3.3	OSC 3.3V 模拟电源。
AVDD11_OSC	N13	1.1	OSC 1.1V 模拟电源。
AVSS_OSC	P15、T15、T16	0	OSC 3.3V/1.1V 模拟地。
AFE-PLL			
AVDD18_PLL	L11	1.8	AFE-PLL 1.8V 模拟电源。
G.hn AFE 模拟前端			
AVDD11_RX	L9	1.1	G.hn AFE RX 1.1V 模拟电源。



名称	位置	电压 (V)	描述
AVDD11_TX	N12	1.1	G.hn AFE TX 1.1V 模拟电源。
AVDD18_AFE	L10	1.8	G.hn AFE 1.8V 模拟电源。
AVDD33_AFE	N11	3.3	G.hn AFE 3.3V 模拟电源。
AVSS_AFE	K11、N10、 P10、P13、 P14、R11、 R14、T10	0	G.hn AFE 模拟地。
GE-PHY			
AVDD11_GE	M4	1.1	GE-PHY 1.1V 模拟电源。
AVDD11_SH	M3	1.1	GE-PHY 共用电路 1.1V 模拟电源。
AVDD33_GE	K3、K4	3.3	GE-PHY 3.3V 模拟电源。
AVSS_GE	J2、J3、J4、 K2、L3、 L4、M2、 N3、P2、 T1、T2	3.3	GE-PHY 模拟地。
PCIE-PHY0			
AVDD11_PCIE0	H13	1.1	PCIE-PHY0 1.1V 模拟电源。
AVDD33_PCIE0	J12	3.3	PCIE-PHY0 3.3V 模拟电源。
PCIE-PHY1			
AVDD11_PCIE1	J13	1.1	PCIE-PHY1 1.1V 模拟电源。
AVDD33_PCIE1	K13	3.3	PCIE-PHY1 3.3V 模拟电源。
SYS-PLL & DDR-PLL 系统和 DDR 子系统锁相环			
AVDD11_SCPLL	L8	1.1	SYS-PLL & DDR-PLL 1.1V 模拟电源。
AVDD33_SCPLL	N7	3.3	SYS-PLL & DDR-PLL 3.3V 模拟电源。
DDR-PHY internal PLL DDR-PHY 内置锁相环			
AVDD33_DDRPLL 1	B7	3.3	DDR-PHY 内置锁相环 DDRPLL1 模拟电 源。
AVDD33_DDRPLL 2	A6	3.3	DDR-PHY 内置锁相环 DDRPLL2 模拟电 源。
AVSS_DDRPLL1	B8	0	DDR-PHY 内置锁相环 DDRPLL1 模拟地。
AVSS_DDRPLL2	B6	0	DDR-PHY 内置锁相环 DDRPLL2 模拟地。



名称	位置	电压 (V)	描述
Dying-Gasp 临终遗言			
AVDD33_DG	N8	3.3	Dying-Gasp 临终遗言比较器电源。
EFUSE			
AVDD25_EFUSE	N9	2.5	EFUSE 电源。

## 5.7.2 数字电源和地

数字电源和地管脚如表 5-8 所示。

表5-8 数字电源和地管脚列表

名称	位置	电压	描述
DVDD11	F6、F7、F8、F9、F10、F11、 G6、G7、H6、H7、J6、K6	1.1	Core 电源。
DVDD33_1	N5	3.3	3.3V IO 电源。
DVDD33_2	F13	3.3	3.3V IO 电源。
RGMII IO			
DVDDIO_RGMII1	E4、F4	1.8/2.5/3.3	RGMII IO 电源。
DVDDIO_RGMII2	H4	1.8/2.5/3.3	RGMII IO 电源。
DDR IO			
VDDIO_CK_DDR2	C6	1.8	DDR 时钟 IO 电源。
VDDIO_DDR2	D5、D6、D8、D9、D11、D12	1.8	DDR IO 电源。

## 5.8 复用关系

本节列出所有复用的管脚和对应的复用接口功能。

复用管脚规格：

- 支持 DFT JTAG 管脚和功能 JTAG 管脚复用，通过一个 JTAG\_MODE 进行选择
- 1 组 FLASH 的 6 个管脚和 GPIO\_0~GPIO\_5 复用
- 1 组 LineDriver 的 3 个管脚和 GPIO\_7~GPIO\_9 复用



- 3 组 UART 的 6 个管脚和 GPIO\_10~GPIO\_13、GPIO\_33、GPIO\_34 复用
- 2 组 I2C 的 4 个管脚和 GPIO\_12、GPIO\_13、GPIO\_35、GPIO\_36 复用
- 1 组 SDIO 的 6 个管脚和 GPIO\_14~GPIO\_19 复用
- 1 组 RGMII 的 12 个管脚和 GPIO\_14~GPIO\_25 复用
- 1 组外置 ETH PHY 的 3 个控制管脚和 GPIO\_26~GPIO\_28 复用
- 1 组 MII 的 3 个控制管脚和 GPIO\_29~GPIO\_31 复用
- 2 组 I2S 的 8 个管脚和 GPIO\_18~GPIO\_25 复用
- 1 组 A9 JTAG 的 5 个管脚和 GPIO\_22~GPIO\_25、GPIO\_32 复用

表5-9 复用管脚列表

位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
P4	GPIO_0	SFC_WP_N	SFC_WP_N: FLASH 写保护控制信号 选通条件: FUNCTION_LVL1_SEL_L[10]=1	-	-	-	选通条件: GPIO_SEL_LO[0]为 1 或者功能选择都为 0
T3	GPIO_1	SFC_MISO	SFC_MISO: FLASH 输入数据信号 选通条件: FUNCTION_LVL1_SEL_L[9]=1	-	-	-	选通条件: GPIO_SEL_LO[1]为 1 或者功能选择都为 0
T4	GPIO_2	SFC_CS_N1	SFC_CS_N1: FLASH 片选信号 选通条件: FUNCTION_LVL1_SEL_L[9]=1	-	-	-	选通条件: GPIO_SEL_LO[2]为 1 或者功能选择都为 0
R4	GPIO_3	SFC_HOLD_N	SFC_HOLD_N: FLASH HOLD 控制信号 选通条件: FUNCTION_LVL1_SEL_L[11]=1	-	-	-	选通条件: GPIO_SEL_LO[3]为 1 或者功能选择都为 0



位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
P5	GPIO_4	SFC_SCLK	SFC_SCLK: FLASH 输出时钟信号 选通条件: FUNCTION_LVL1_SEL_L[9]=1	-	-	-	选通条件: GPIO_SEL_LO[4]为 1 或者功能选择都为 0
R6	GPIO_5	SFC_MOSI	SFC_MOSI: FLASH 输出数据信号 选通条件: FUNCTION_LVL1_SEL_L[9]=1	-	-	-	选通条件: GPIO_SEL_LO[5]为 1 或者功能选择都为 0
P6	GPIO_6		-	-	-	-	该管脚固定是 GPIO 功能
P7	GPIO_7	GPIO	LD_EN: 片外 LineDriver enable 信号 选通条件: FUNCTION_LVL1_SEL_L[7]=1	-	-	-	选通条件: GPIO_SEL_LO[7]为 1 或者功能选择都为 0
R7	GPIO_8	GPIO	LD_CTL0: 片外 LineDriver 控制信号 0 选通条件: FUNCTION_LVL1_SEL_L[7]=1	-	-	-	选通条件: GPIO_SEL_LO[8]为 1 或者功能选择都为 0
T6	GPIO_9	GPIO	LD_CTL1: 片外 LineDriver 控制信号 1 选通条件: FUNCTION_LVL1_SEL_L[7]=1	-	-	-	选通条件: GPIO_SEL_LO[9]为 1 或者功能选择都为 0



位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
F15	GPIO_10	UART0_TXD	UART0_TXD: UART0 数据发送信号 选通条件: FUNCTION_LVL1_SEL_L[6]=1	-	-	-	选通条件: GPIO_SEL_LO[10]为 1 或者功能选择都为 0
F14	GPIO_11	UART0_RXD	UART0_RXD: UART0 数据接收信号 选通条件: FUNCTION_LVL1_SEL_L[6]=1	-	-	-	选通条件: GPIO_SEL_LO[11]为 1 或者功能选择都为 0
F16	GPIO_12	GPIO	UART1_TXD: UART1 数据发送信号 选通条件: FUNCTION_LVL1_SEL_L[5]=1	PCIE0_CLK_REQ_N: PCIE0 片外低功耗时钟 REQ 信号 选通条件: FUNCTION_LVL2_SEL_L[4]=1	I2C0_SCL: I2C0 串行控制信号 选通条件: FUNCTION_LVL3_SEL_L[2]=1	GEPHY_LINK_ACT: GEPHY LINK 状态指示输出信号 选通条件: FUNCTION_LVL4_SEL_L[1]=1	选通条件: GPIO_SEL_LO[12]为 1 或者功能选择都为 0
E15	GPIO_13	GPIO	UART1_RXD: UART1 数据接收信号 选通条件: FUNCTION_LVL1_SEL_L[5]=1	PCIE1_CLK_REQ_N: PCIE1 片外低功耗时钟 REQ 信号 选通条件: FUNCTION_LVL2_SEL_L[3]=1	I2C0_SDA: I2C0 串行数据信号 选通条件: FUNCTION_LVL3_SEL_L[2]=1	MII_COL: 备用 MII_COL 控制信号, 和 GPIO31 功能 1 一致 选通条件: FUNCTION_LVL4_SEL_L[9]=1	选通条件: GPIO_SEL_LO[13]为 1 或者功能选择都为 0
C4	GPIO_14	GPIO	RGMII_TX3: RGMII TX data[3]输出信号 选通条件: FUNCTION_LVL1_SEL_L[4]=1	SDIO_DATA0: SDIO 双向数据 data[0]信号 选通条件: FUNCTION_LVL2_SEL_L[2]=1	-	-	选通条件: GPIO_SEL_LO[14]为 1 或者功能选择都为 0





位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
A4	GPIO_15	GPIO	RGMII_TX2: RGMII TX data[2]输出信号 选通条件: FUNCTION_LVL1_SEL_L[4]=1	SDIO_DAT A1: SDIO 双向数据 data[1]信号 选通条件: FUNCTION_LVL2_SEL_L[2]=1	-	-	选通条件: GPIO_SEL_LO[15]为 1 或者功能选择都为 0
B4	GPIO_16	GPIO	RGMII_TX1: RGMII TX data[1]输出信号 选通条件: FUNCTION_LVL1_SEL_L[4]=1	SDIO_DAT A2: SDIO 双向数据 data[2]信号 选通条件: FUNCTION_LVL2_SEL_L[2]=1	-	AUDIO_I2C0_SCL: I2C0 备用复用 I2C0 的 SCL 控制信号, 对接语音器件使用 选通条件: FUNCTION_LVL3_SEL_L[2]=1 并且 FUNCTION_LVL3_SEL_L[5]=1	选通条件: GPIO_SEL_LO[16]为 1 或者功能选择都为 0
A2	GPIO_17	GPIO	RGMII_TX0: RGMII TX data[0]输出信号 选通条件: FUNCTION_LVL1_SEL_L[4]=1	SDIO_DAT A3: SDIO 双向数据 data[3]信号 选通条件: FUNCTION_LVL2_SEL_L[2]=1	-	AUDIO_I2C0_SDA: I2C0 备用复用 I2C0 的数据信号, 对接语音器件使用 选通条件: FUNCTION_LVL3_SEL_L[2]=1 并且 FUNCTION_LVL3_SEL_L[5]=1	选通条件: GPIO_SEL_LO[17]为 1 或者功能选择都为 0
C3	GPIO_18	GPIO	RGMII_TX_EN: RGMII TX enable 输出信号 选通条件: FUNCTION_LVL1_SEL_L[4]=1	SDIO_CMD : SDIO 控制命令信号 选通条件: FUNCTION_LVL2_SEL_L[2]=1	-	I2S0_SDO: I2S0 数据输出信号 选通条件: FUNCTION_LVL4_SEL_L[10]=1	选通条件: GPIO_SEL_LO[18]为 1 或者功能选择都为 0



位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
B2	GPIO_19	GPIO	RGMII_TX_CLK: RGMII Tx 方向输出随路时钟 选通条件: FUNCTION_LVL1_SEL_L[4]=1	SDIO_CLK: SDIO 输出参考时钟信号 选通条件: FUNCTION_LVL2_SEL_L[2]=1	-	I2S0_SDI: I2S0 数据输入信号 选通条件: FUNCTION_LVL4_SEL_L[10]=1	选通条件: GPIO_SEL_LO[19]为 1 或者功能选择都为 0
C1	GPIO_20	GPIO	RGMII_RX_DV: RGMII Rx 方向数据有效指示信号 选通条件: FUNCTION_LVL1_SEL_L[4]=1	-	-	I2S0_BCLK: I2S0 BCLK 输入时钟信号 选通条件: FUNCTION_LVL4_SEL_L[10]=1	选通条件: GPIO_SEL_LO[20]为 1 或者功能选择都为 0
C2	GPIO_21	GPIO	RGMII_RX_CLK: RGMII Rx 输入随路时钟 选通条件: FUNCTION_LVL1_SEL_L[4]=1	-	-	I2S0_LRCK: I2S0_LRCK 输入同步时钟信号 选通条件: FUNCTION_LVL4_SEL_L[10]=1	选通条件: GPIO_SEL_LO[21]为 1 或者功能选择都为 0
D3	GPIO_22	A9_JTAG_TDI	RGMII_RX0: RGMII 输入数据 data[0] 选通条件: FUNCTION_LVL1_SEL_L[4]=1	A9_JTAG_TDI: A9 JTAG 数据输入信号 选通条件: FUNCTION_LVL2_SEL_L[1]=1	-	I2S1_SDO: I2S1 数据输出信号 选通条件: FUNCTION_LVL4_SEL_L[11]=1	选通条件: GPIO_SEL_LO[22]为 1 或者功能选择都为 0
E3	GPIO_23	A9_JTAG_TDO	RGMII_RX1: RGMII 输入数据 data[1] 选通条件: FUNCTION_LVL1_SEL_L[4]=1	A9_JTAG_TDO: A9 JTAG 双向数据信号 选通条件: FUNCTION_LVL2_SEL_L[1]=1	-	I2S1_SDI: I2S1 数据输入信号 选通条件: FUNCTION_LVL4_SEL_L[11]=1	选通条件: GPIO_SEL_LO[23]为 1 或者功能选择都为 0



位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
E2	GPIO_24	A9_JTAG_TMS	RGMII_RX2 : RGMII 输入数据 data[2] 选通条件: FUNCTION_LVL1_SEL_L[4]=1	A9_JTAG_TMS: A9 JTAG TMS 模式控制信号 选通条件: FUNCTION_LVL2_SEL_L[1]=1	-	I2S1_BCLK: I2S1 BCLK 输入时钟信号 选通条件: FUNCTION_LVL4_SEL_L[11]=1	选通条件: GPIO_SEL_LO[24]为 1 或者功能选择都为 0
E1	GPIO_25	A9_JTAG_TCK	RGMII_RX3 : RGMII 输入数据 data[3] 选通条件: FUNCTION_LVL1_SEL_L[4]=1	A9_JTAG_TCK: A9 JTAG 时钟输入信号 选通条件: FUNCTION_LVL2_SEL_L[1]=1	-	I2S1_LRCK: I2S1_LRCK 输入同步时钟信号 选通条件: FUNCTION_LVL4_SEL_L[11]=1	选通条件: GPIO_SEL_LO[25]为 1 或者功能选择都为 0
F2	GPIO_26	GPIO	EXT_GEPHY_MDC: 外置 ETH PHY MDC 输出控制信号 选通条件: FUNCTION_LVL1_SEL_L[3]=1	-	-	-	选通条件: GPIO_SEL_LO[26]为 1 或者功能选择都为 0
F3	GPIO_27	GPIO	EXT_GEPHY_MDIO: 外置 ETH PHY 双向数据信号 选通条件: FUNCTION_LVL1_SEL_L[3]=1	-	-	-	选通条件: GPIO_SEL_LO[27]为 1 或者功能选择都为 0
G1	GPIO_28	GPIO	EXT_GEPHY_CLK: 外置 ETH PHY 输出参考时钟信号 选通条件: FUNCTION_LVL1_SEL_L[3]=1	-	EXT_AUDIO_CLK25M: 向外置语音器件输出 25M 参考时钟 选通条件: FUNCTION_LVL3_SEL_L[3]=1	-	选通条件: GPIO_SEL_LO[28]为 1 或者功能选择都为 0



位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
G3	GPIO_29	GPIO	MII_RX_CR S: MII 接收测 CRS 输入信号 选通条件: FUNCTION_LVL1_SEL_L[0]=1	GEPHY_LINK_STAT: 内置 GEPHY LINK 状态点灯信号 选通条件: FUNCTION_LVL2_SEL_L[5]=1	EXT_AUDIO_CLK32K: 向外置语音器件输出 32K 参考时钟 选通条件: FUNCTION_LVL3_SEL_L[4]=1	-	选通条件: GPIO_SEL_LO[29]为 1 或者功能选择都为 0
H3	GPIO_30	GPIO	MII_RX_ER: MII 接收测错误帧检测输入信号 选通条件: FUNCTION_LVL1_SEL_L[0]=1	GEPHY_LINK_ACT: 内置 GEPHY LINK 激活点灯信号 选通条件: FUNCTION_LVL2_SEL_L[0]=1	TEST_CLK: 片内部分时钟降频后输出管脚观测 选通条件: FUNCTION_LVL3_SEL_L[6]=1	-	选通条件: GPIO_SEL_LO[30]为 1 或者功能选择都为 0
H2	GPIO_31	GPIO	MII_COL: MII COL 控制输入信号 选通条件: FUNCTION_LVL1_SEL_L[0]=1	-	-	-	选通条件: GPIO_SEL_LO[31]为 1 或者功能选择都为 0
R3	GPIO_32	A9_JTAG_TRST_N	-	A9_JTAG_T_RST_N: A9 JTAG 复位输入信号 选通条件: FUNCTION_LVL2_SEL_L[1]=1	-	-	选通条件: GPIO_SEL_HI[0]为 1 或者功能选择都为 0
D15	GPIO_33	GPIO	UART2_TXD: UART2 数据发送信号 选通条件: FUNCTION_LVL1_SEL_L[12]=1	-	SPIM_SCLK: SPI Master 输出参考时钟信号 选通条件: FUNCTION_LVL3_SEL_L[0]=1	-	选通条件: GPIO_SEL_HI[1]为 1 或者功能选择都为 0



位置	管脚名称	默认复用状态	接口功能 1	接口功能 2	接口功能 3	接口功能 4	GPIO 功能选通条件
E14	GPIO_34	GPIO	UART2_RXD: UART2 数据接收信号 选通条件: FUNCTION_LVL1_SEL_L[12]=1	-	SPIM_CS0_N: SPI Master 输出片选 0 信号 选通条件: FUNCTION_LVL3_SEL_L[0]=1	-	选通条件: GPIO_SEL_HI[2]为 1 或者功能选择都为 0
C16	GPIO_35	GPIO	I2C1_SCL: I2C1 串行控制信号 选通条件: FUNCTION_LVL1_SEL_L[2]=1	-	SPIM_CS1_N: SPI Master 输出片选 1 信号 选通条件: FUNCTION_LVL3_SEL_L[0]=1	-	选通条件: GPIO_SEL_HI[3]为 1 或者功能选择都为 0
C15	GPIO_36	GPIO	I2C1_SDA: I2C1 串行数据信号 选通条件: FUNCTION_LVL1_SEL_L[2]=1	-	SPIM_MISO: SPI Master 数据输入信号 选通条件: FUNCTION_LVL3_SEL_L[0]=1	-	选通条件: GPIO_SEL_HI[4]为 1 或者功能选择都为 0
D14	GPIO_37	GPIO	GEPHY_LINK_ACT: 内置 GEPHY LINK 激活点灯信号 选通条件: FUNCTION_LVL1_SEL_L[1]=1	-	SPIM_MOSI: SPI Master 数据输出信号 选通条件: FUNCTION_LVL3_SEL_L[0]=1	-	选通条件: GPIO_SEL_HI[5]为 1 或者功能选择都为 0

表5-10 复用管脚配置寄存器

寄存器名称	寄存器地址	Bit 位	选通描述
FUNCTION_LVL1_SEL_L	0x1150_0000	bit[12]	UART2 功能信号选通: UART2_TXD(GPIO_33)/UART2_RXD(GPIO_34)
		bit[11]	SFC_HOLD 功能信号选通: SFC_HOLD_N(GPIO_3)



寄存器名称	寄存器地址	Bit 位	选通描述
		bit[10]	SFC WP 功能信号选通： SFC_WP_N(GPIO_0)
		bit[9]	SFC 四线功能选通： SFC_MISO(GPIO_1)/SFC_CS_N1(GPIO_2)/SFC_SCLK(GPIO_4)/SFC_MOSI(GPIO_5)
		bit[7]	LineDriver 控制信号选通： LD_EN(GPIO_7)/LD_CTL0(GPIO_8)/LD_CTL0(GPIO_9)
		bit[6]	UART0 功能选通： UART0_TXD(GPIO_10)/UART0_RXD(GPIO_11)
		bit[5]	UART1 功能选通： UART1_TXD(GPIO_12)/UART1_RXD(GPIO_13)
		bit[4]	RGMII 功能选通： RGMII_TX3(GPIO_14)/RGMII_TX2(GPIO_15)/RGMII_TX1(GPIO_16)/RGMII_TX0(GPIO_17)/RGMII_TX_EN(GPIO_18)/RGMII_TX_CLK(GPIO_19)/RGMII_RX_DV(GPIO_20)/RGMII_RX_CLK(GPIO_21)/RGMII_RX0(GPIO_22)/RGMII_RX1(GPIO_23)/RGMII_RX2(GPIO_24)/RGMII_RX3(GPIO_25)/
		bit[3]	外置 GEPHY MDIO 信号选通： EXT_GEPHY_MDC(GPIO_26)/EXT_GEPHY_MDIO(GPIO_27)/EXT_GEPHY_CLK(GPIO_28)
		bit[2]	I2C1 功能信号选通 I2C1_SCL(GPIO_35)/I2C1_SDA(GPIO_36)
		bit[1]	GE 点灯信号选通： GEPHY_LINK_ACT(GPIO_37)
		bit[0]	MII 功能信号选通： MII_RX_CRD(GPIO_29)/MII_RX_ER(GPIO_30)/MII_COL(GPIO_31)
FUNCTION_LVL2_SEL_L[31:0]	0x1150_0004	bit[5]	GE LINK STAT 信号选通： GEPHY_LINK_STAT(GPIO_29)
		bit[4]	PCIE0 时钟 REQ 选通： PCIE0_CLKREQ_N(GPIO_12)
		bit[3]	PCIE1 时钟 REQ 选通： PCIE1_CLKREQ_N(GPIO_13)
		bit[2]	SDIO 功能信号选通： SDIO_DATA0(GPIO_14)/SDIO_DATA1(GPIO_15)/SDIO_DATA2(GPIO_16)/SDIO_DATA3(GPIO_17)/SDIO_CMD(GPIO_18)/SDIO_CLK(GPIO_19)



寄存器名称	寄存器地址	Bit 位	选通描述
		bit[1]	A9 jtag 功能选通： A9_JTAG_TDI(GPIO_22)/A9_JTAG_TDO(GPIO_23)/A9_JTAG_TMS(GPIO_24)/A9_JTAG_TCK(GPIO_25)/A9_JTAG_TRST_N(GPIO_32)
		bit[0]	GE LINK ACT 信号选通： GEPHY_LINK_ACT(GPIO_30)
FUNCTION_LVL3_SEL_L[31:0]	0x1150_0008	bit[6]	时钟输出测试功能选通： TEST_CLK(GPIO_30)
		bit[5]	io_i2c0_sel==1 选通前提下，该控制用来选通第 3 功能 I2C0 和第 4 功能 AUDIO I2C0： 0: 原始第 3 功能 I2C0(I2C0_SCL(GPIO_12)/I2C0_SDA(GPIO_13)) 1: 第 4 功能 Audio I2C0 (i2c0_scl_in(GPIO_16)/i2c0_sda_in(GPIO_17))
		bit[4]	对接语音芯片 32K 时钟输出： EXT_AUDIO_CLK32K(GPIO_29)
		bit[3]	对接语音芯片 25M 时钟输出： EXT_AUDIO_CLK25M(GPIO_28)
		bit[2]	I2C0 功能选通： I2C0_SCL(GPIO_12)/I2C0_SDA(GPIO_13)
FUNCTION_LVL4_SEL_L[31:0]	0x1150_000C	bit[11]	I2S1 功能选通： I2S1_SDO(GPIO_22)/I2S1_SDI(GPIO_23)/I2S1_BCLK(GPIO_24)/I2S1_LRCK(GPIO_25)
		bit[10]	I2S0 功能选通： I2S0_SDO(GPIO_18)/I2S0_SDI(GPIO_19)/I2S0_BCLK(GPIO_20)/I2S0_LRCK(GPIO_21)
		bit[9]	MII_COL 信号选通： MII_COL(GPIO_13)
		bit[1]	GE LINK ACT 选通： GEPHY_LINK_ACT(GPIO_12)
GPIO_SEL_LO[31:0]	0x1150_02C4	bit[31:0]	依次对应 GPIO_31~GPIO_0
GPIO_SEL_HI[31:0]	0x1150_02C8	bit[5:0]	依次对应 GPIO_37~GPIO_32



#### 说明

- 对于同一个 GPIO 的 4 级功能复用，选通优先级依次为 GPIO 功能 > 功能 1 > 功能 2 > 功能 3 > 功能 4，因此一个 GPIO 有多个功能的选择都为 1，选通优先级最高的功能。
- GPIO 中“功能选择都为 0”含义是该管脚的 4 个功能复用的选择条件配置为 0，功能复用为空的不在乎。
- GPIO\_SEL\_LO 和 GPIO\_SEL\_HI 配为 1 选通 GPIO 是最高优先级，此时对应的功能选择端配置无效。
- 如果功能选通条件和 GPIO\_SEL\_LO 和 GPIO\_SEL\_HI 都为 0，则为 GPIO 模式。

## 5.9 上电配置字

### 5.9.1 硬件配置字

硬件配置字用于配置单板硬件功能，通过 IOMUX 寄存器可查询。

表5-11 硬件配置字列表

位置	管脚名称	硬件配置字	描述
P5	GPIO_4	FLASH_ADDR_MODE	FLASH 地址模式选择： 0 = 3 字节模式； 1 = 4 字节模式。 在网口加载启动模式下，复用为 RGMII 或 GE-PHY 网口选择： 0 = GE-PHY 网口加载； 1 = RGMII 网口加载。
R6	GPIO_5	BOOT_SEL_0	上电启动模式选择： {BOOT_SEL_1, BOOT_SEL_0} = 00: 调试模式，CPU 不启动； 01: 从外置 NOR-FLASH 直接启动和加载 CPU； 10: 从 BOOTROM 启动，然后跳转至 NOR-FLASH 加载和启动 CPU； 11: 从 BOOTROM 启动，跳转至 RGMII 或者 ETH PHY 启动。
F15	GPIO_10	BOOT_SEL_1	
P6	GPIO_6	OSC_FREQ_SEL	系统参考时钟频率选择： 1 = 40MHz。 <b>注意：Hi5630HV110 只支持 40MHz 晶体，必需接为高电平 1。</b>





# 6 管脚排列

## 6.1 管脚排列图

Hi5630HV110 采用 TFBGA 封装，共有 212 个管脚，管脚分布如图 6-1 所示。

图6-1 管脚分布图

	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	
A	VSS	GPIO_1_7		GPIO_1_5		AVDD3_3_DDR_PLL2	DDR2_VREF		AVSS_BUCK_1	VDD33_BUCK_1	BUCK_LX_1	VSS_BUCK	BUCK_LX_0	VDD33_BUCK_0	AVSS_BUCK_0	AVSS_BUCK_0	A
B		GPIO_1_9	VSS	GPIO_1_6	DDR2_ZQ	AVSS_DDRPL_L2	AVDD3_3_DDR_PLL1	AVSS_DDRPL_L1	AVSS_BUCK_1	VDD33_BUCK_1	BUCK_LX_1	VSS_BUCK	BUCK_LX_0	VDD33_BUCK_0	AVDD3_3_BUCK_0	BUCK_FB_0	B
C	GPIO_2_0	GPIO_2_1	GPIO_1_8	GPIO_1_4	VSS	VDDIO_CK_DR2	VSS	BUCK_FB_1	AVDD3_3_BUCK_1	BUCK_LX_1	VSS_BUCK	VSS_BUCK	VSS	VSS	GPIO_3_6	GPIO_3_5	C
D		VSS	GPIO_2_2	VSS	VDDIO_DDR2	VDDIO_DDR2	VSS	VDDIO_DDR2	VDDIO_DDR2	VSS	VDDIO_DDR2	VDDIO_DDR2	VSS	GPIO_3_7	GPIO_3_3	JTAG_MODE	D
E	GPIO_2_5	GPIO_2_4	GPIO_2_3	DVDD1_O_RG_MIH									VSS	GPIO_3_4	GPIO_1_3	SYS_RESET_N	E
F		GPIO_2_6	GPIO_2_7	DVDD1_O_RG_MIH		DVDD1_1	DVDD1_1	DVDD1_1	DVDD1_1	DVDD1_1	DVDD1_1		DVDD3_3_2	GPIO_1_1	GPIO_1_0	GPIO_1_2	F
G	GPIO_2_8	VSS	GPIO_2_9	VSS		DVDD1_1	DVDD1_1	VSS	VSS	VSS	VSS		VSS	VSS	PCIE1_100M_CLKP	PCIE1_100M_CLKN	G
H		GPIO_3_1	GPIO_3_0	DVDD1_O_RG_MI2		DVDD1_1	DVDD1_1	VSS	VSS	VSS	VSS		AVDD1_1_PCIE_0	PCIE1_100M_CLKP	PCIE1_100M_CLKN		H
J	MDI_A_P0	AVSS_GE	AVSS_GE	AVSS_GE		DVDD1_1	VSS	VSS	VSS	VSS	VSS	AVDD3_3_PCIE_0	AVDD1_1_PCIE_1	VSS	PCIE1_TXN	PCIE1_TAP	J
K	MDI_A_N0	AVSS_GE	AVDD3_3_GE	AVDD3_3_GE		DVDD1_1	VSS	VSS	VSS	VSS	AVSS_AFE		AVDD3_3_PCIE_1	PCIE1_100M_CLKP	PCIE1_100M_CLKN		K
L	MDI_B_P0	MDI_B_P0	AVSS_GE	AVSS_GE		VSS	VSS	AVDD1_1_SCP_LL	AVDD1_1_RX	AVDD1_8_AFE	AVDD1_8_PLL		VSS	VSS	PCIE1_TXN	PCIE1_TAP	L
M		AVSS_GE	AVDD1_1_SH	AVDD1_1_GE									AVDD3_3_OSC	PCIE1_100M_CLKP	PCIE1_100M_CLKN		M
N	MDI_G_P0	MDI_G_N0	AVSS_GE	VSS	DVDD3_3_1	VSS	AVDD3_3_SCP_LL	AVDD3_3_DG	AVDD2_5_EFUSE	AVSS_AFE	AVDD3_3_AFE	AVDD1_1_TX	AVDD1_1_OSC	VSS	VSS	VSS	N
P		AVSS_GE	BGREF	GPIO_0	GPIO_4	GPIO_6	GPIO_7	VSS	PFLDYINGGA SP	AVSS_AFE	AFE_LDO11_CAP	AFE_IR_EF_RE S	AVSS_AFE	AVSS_AFE	AVSS_OSC	AFE_TEST	P
R	MDI_D_N0	MDI_D_P0	GPIO_3_2	GPIO_3	VSS	GPIO_5	GPIO_8	DQ_VL_N	AFE_R_XINP	AFE_R_XINP	AVSS_AFE	AFE_T_XOUTP	AFE_T_XOUTN	AVSS_AFE	ATL_N	ATL_OUT	R
T	AVSS_GE	AVSS_GE	GPIO_1	GPIO_2		GPIO_9		DQ_VL_P		AVSS_AFE		AFE_VBG_CAP		AFE_LDO27_CAP	AVSS_OSC	AVSS_OSC	T
	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	



## 6.2 管脚速查表

表6-1 管脚速查表

位置	名称	位置	名称	位置	名称	位置	名称
A1	VSS	D8	VDDIO_DDR2	H9	VSS	M4	AVDD11_GE
A2	GPIO_17	D9	VDDIO_DDR2	H10	VSS	M13	AVDD33_OSC
A4	GPIO_15	D10	VSS	H11	VSS	M14	PCIE1_100M_C LKN
A6	AVDD33_DDRP LL2	D11	VDDIO_DDR2	H13	AVDD11_PCIE0	M15	PCIE1_100M_C LKP
A7	DDR2_VREF	D12	VDDIO_DDR2	H14	PCIE0_RXN	N1	MDI_CP0
A9	AVSS_BUCK_1	D13	VSS	H15	PCIE0_RXP	N2	MDI_CN0
A10	VDD33_BUCK_1	D14	GPIO_37	J1	MDI_AP0	N3	AVSS_GE
A11	BUCK_LX_1	D15	GPIO_33	J2	AVSS_GE	N4	VSS
A12	VSS_BUCK	D16	JTAG_MODE	J3	AVSS_GE	N5	DVDD33_1
A13	BUCK_LX_0	E1	GPIO_25	J4	AVSS_GE	N6	VSS
A14	VDD33_BUCK_0	E2	GPIO_24	J6	DVDD11	N7	AVDD33_SCPL L
A15	AVSS_BUCK_0	E3	GPIO_23	J7	VSS	N8	AVDD33_DG
A16	AVSS_BUCK_0	E4	DVDDIO_RGMII1	J8	VSS	N9	AVDD25_EFUS E
B2	GPIO_19	E13	VSS	J9	VSS	N10	AVSS_AFE
B3	VSS	E14	GPIO_34	J10	VSS	N11	AVDD33_AFE
B4	GPIO_16	E15	GPIO_13	J11	VSS	N12	AVDD11_TX
B5	DDR2_ZQ	E16	SYS_RESET_N	J12	AVDD33_PCIE0	N13	AVDD11_OSC
B6	AVSS_DDRPLL2	F2	GPIO_26	J13	AVDD11_PCIE1	N14	VSS
B7	AVDD33_DDRP LL1	F3	GPIO_27	J14	VSS	N15	VSS
B8	AVSS_DDRPLL1	F4	DVDDIO_RGMII1	J15	PCIE0_TXN	N16	VSS
B9	AVSS_BUCK_1	F6	DVDD11	J16	PCIE0_TXP	P2	AVSS_GE
B10	VDD33_BUCK_1	F7	DVDD11	K1	MDI_AN0	P3	BGREF
B11	BUCK_LX_1	F8	DVDD11	K2	AVSS_GE	P4	GPIO_0
B12	VSS_BUCK	F9	DVDD11	K3	AVDD33_GE	P5	GPIO_4
B13	BUCK_LX_0	F10	DVDD11	K4	AVDD33_GE	P6	GPIO_6



位置	名称	位置	名称	位置	名称	位置	名称
B14	VDD33_BUCK_0	F11	DVDD11	K6	DVDD11	P7	GPIO_7
B15	AVDD33_BUCK_0	F13	DVDD33_2	K7	VSS	P8	VSS
B16	BUCK_FB_0	F14	GPIO_11	K8	VSS	P9	PFI_DYINGGASP
C1	GPIO_20	F15	GPIO_10	K9	VSS	P10	AVSS_AFE
C2	GPIO_21	F16	GPIO_12	K10	VSS	P11	AFE_LDO11_CAP
C3	GPIO_18	G1	GPIO_28	K11	AVSS_AFE	P12	AFE_IREF_RES
C4	GPIO_14	G2	VSS	K13	AVDD33_PCIE1	P13	AVSS_AFE
C5	VSS	G3	GPIO_29	K14	PCIE1_RXN	P14	AVSS_AFE
C6	VDDIO_CK_DDR2	G4	VSS	K15	PCIE1_RXP	P15	AVSS_OSC
C7	VSS	G6	DVDD11	L1	MDI_BN0	P16	AFE_TEST
C8	BUCK_FB_1	G7	DVDD11	L2	MDI_BP0	R1	MDI_DN0
C9	AVDD33_BUCK_1	G8	VSS	L3	AVSS_GE	R2	MDI_DP0
C10	BUCK_LX_1	G9	VSS	L4	AVSS_GE	R3	GPIO_32
C11	VSS_BUCK	G10	VSS	L6	VSS	R4	GPIO_3
C12	VSS_BUCK	G11	VSS	L7	VSS	R5	VSS
C13	VSS	G13	VSS	L8	AVDD11_SCPLL	R6	GPIO_5
C14	VSS	G14	VSS	L9	AVDD11_RX	R7	GPIO_8
C15	GPIO_36	G15	PCIE0_100M_CLKP	L10	AVDD18_AFE	R8	DG_VIN
C16	GPIO_35	G16	PCIE0_100M_CLKN	L11	AVDD18_PLL	R9	AFE_RXINP
D2	VSS	H2	GPIO_31	L13	VSS	R10	AFE_RXINN
D3	GPIO_22	H3	GPIO_30	L14	VSS	R11	AVSS_AFE
D4	VSS	H4	DVDDIO_RGMII2	L15	PCIE1_TXN	R12	AFE_TXOUTP
D5	VDDIO_DDR2	H6	DVDD11	L16	PCIE1_TXP	R13	AFE_TXOUTN
D6	VDDIO_DDR2	H7	DVDD11	M2	AVSS_GE	R14	AVSS_AFE
D7	VSS	H8	VSS	M3	AVDD11_SH	R15	XTL_IN
R16	XTL_OUT	-	-	-	-	-	-



位置	名称	位置	名称	位置	名称	位置	名称
T1	AVSS_GE	-	-	-	-	-	-
T2	AVSS_GE	-	-	-	-	-	-
T3	GPIO_1	-	-	-	-	-	-
T4	GPIO_2	-	-	-	-	-	-
T6	GPIO_9	-	-	-	-	-	-
T8	DG_VREF	-	-	-	-	-	-
T10	AVSS_AFE	-	-	-	-	-	-
T12	AFE_VBG_CAP	-	-	-	-	-	-
T14	AFE_LDO27_CAP	-	-	-	-	-	-
T15	AVSS_OSC	-	-	-	-	-	-
T16	AVSS_OSC	-	-	-	-	-	-



# 7 硬件设计指南

## 7.1 系统设计指导

### 7.1.1 Hi5630H Fanout 封装设计建议

PCB 设计建议采用 4 层板设计。

4 层板设计时分层建议如下：

- TOP 层：信号/电源层。
- 内一层：地平面层。
- 内二层：信号/电源层。
- Bottom 层：信号/电源层。

PCB 设计注意事项：

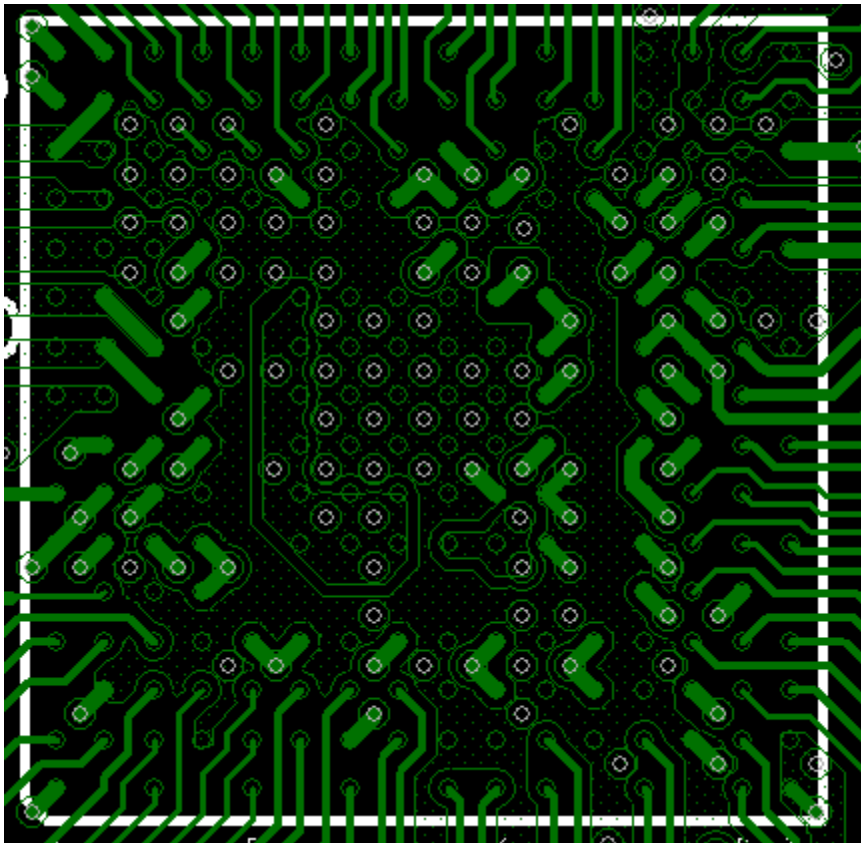
- 元器件布局在 TOP 和 Bottom 层。
- 电源管脚用走粗线，滤波小电容可放在 Bottom 层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 4mil。

PCB 材料 FR-4，PCB 板厚度为 1.6mm，表层铜箔厚度为 1 盎司。

Hi5630HV110 的 Fanout 布局图如图 7-1 所示。



图7-1 Hi5630HV110 布局 Fanout 图



7.1.2 电源设计指导

7.1.2.1 电源要求

表7-1 Hi5630HV110 的电源参数

参数	符号	电流（mA）	噪声
BUCK0/1	VDD33_BUCK	500	DC<+/-3% AC<165mVpp
	AVDD33_BUCK	275	DC<+/-3% AC<165mVpp
OSC	AVDD33_OSC	-	DC<+/-2% AC<55mVpp
	VDD11_OSC	10	DC<+/-2% AC<55mVpp
AFE	AVDD11_TX/RX	33	DC<+/-2% AC<55mVpp



参数	符号	电流 (mA)	噪声
	AVDD18_AFE	-	DC<+/-2% AC<50mVpp
	AVDD33_AFE	-	DC<+/-2% AC<55mVpp
	AVDD18_PLL	-	DC<+/-2% AC<55mVpp
GEPHY	AVDD11_GE	27	DC<+/-2% AC<50mVpp
	AVDD11_SH		
	AVDD33_GE	50	DC<+/-2% AC<60mVpp
SCPLL	VDD33_SCPLL	-	DC<+/-2% AC<30mVpp
	AVDD18_PLL	-	DC<+/-2% AC<50mVpp
PCIE_PHY0/1	AVDD11_PCIE	17	DC<+/-2% AC<60mVpp
	AVDD33_PCIE	3.7	DC<+/-2% AC<35mVpp
DDRPHY	AVDD33_DDRPLL1	-	DC<+/-2% AC<30mVpp
	AVDD33_DDRPLL2	-	DC<+/-2% AC<30mVpp
Dying-Gasp	AVDD33_DG	-	DC<+/-3% AC<30mVpp
数字 CORE 电源	DVDD11	850	DC<+/-3% AC<80mVpp
3.3V IO 电源	DVDD33_1	-	DC<+/-3% AC<165mVpp
	DVDD33_2	-	DC<+/-3% AC<165mVpp
DDR 时钟 IO 电源	VDDIO_CK_DDR2	-	DC<+/-2% AC<50mV
DDR IO 电源	VDDIO_DDR2	-	DC<+/-2% AC<50mVpp



## 7.1.2.2 电路设计

### 7.1.2.2.1 通用设计指导

下面是一些电源网络设计的通用设计指导：

- 计算电源平面的厚度，需要保证最恶劣应用下，直流压降满足电源规范要求。
- 为了减小电源走线的寄生电感，电源的走线建议尽量短和粗。
- 如可能，尽量不用走线，直接用过孔连接到相应的电源平面上。
- 有些 PCB 厂家工艺可以允许使用在焊盘里打孔来减小寄生电感。
- PCB 叠层设计时，尽量将电源平面与地平面直接临近放置以减小回路电感。电源平面与地平面靠的越近，回路电感越小。
- 高敏感电源供电建议尽量滤波电容靠近 ASIC 器件放置，以减小滤波电容的回路电感。
- 电容需要在 PCB 上尽量靠近 ASIC 器件。
- 尽量在 pin field 区域放置低 ESL 高频电容。
- 板级模拟电源平面不能和其他任何电源存在交叠（以另外一个电源为参考）。

### 7.1.2.2.2 特殊设计指导

#### CORE 电源设计指导

Hi5630HV110 芯片 CORE 电源 DVDD11 为芯片的 Core logic、Memory core、DDRCORE、DDR 等数字逻辑等供电。CORE 电源不需添加磁珠。

推荐按照下面规则设计滤波网络：

- 选择稳定的 VRM 模块，需要支持 AVS 调压，电源模块有较好的动态响应能力。
- 分析 DVDD11 电源 PCB 直流压降，建议使用 VRM 模块的远端反馈能力确保满足芯片核心电源供电要求。
- 进行 die-package-PCB 芯片 core 电源时域电源完整性分析，保证电源噪声可以满足要求。

表7-2 内核电源 PCB 设计要求

符号	目标阻抗（20MHz 以内）	环路电感
DVDD11	70mohm	0.21nH

表7-3 内核电源 PCB 推荐滤波网络

编码	容值	封装	数量
08070614	100nF	0402~27.6MHz	4
08071543	1uF	0402~6.31MHz	6





## SCPLL 供电电源设计指导

Hi5630HV110 芯片 SCPLL 电源供电管脚包括 VDDHV、VDDLX 和 VDDREF，推荐按照下面规则设计滤波网络：

- 使用磁珠给 SCPLL 模拟电源滤波，磁珠直流阻抗尽量低。
- 适当加滤波电容，滤波器件靠近管脚放置。
- VDDLX 建议进行磁珠隔离。
- VDDHV 建议进行磁珠隔离。

## TSENSOR 供电电源设计指导

Hi5630HV110 芯片 TSENSOR 电源供电管脚包括 AVDD33 和 DVDD，当 TVSENSOR 在 ATE 校准时，需保证芯片处于最小功耗模式。

推荐按照下面规则设计滤波网络：

- 使用磁珠给 TVSENSOR 模拟电源 AVDD 滤波，磁珠直流阻抗尽量低。
- 适当加滤波电容，滤波器件靠近管脚放置。
- DVDD 以在板级共用 DVDD11 供电平面，DVDD11 若使用 AVS 功能，需保证电压调节范围满足 $\pm 10\%$ 。

## EFUSE 供电电源设计指导

芯片 EFUSE 电源供电管脚包括 AVDD25\_EFUSE、DVDD11\_EFUSE，推荐按照下面规则设计供电网络：

- AVDD25\_EFUSE 只有在编程的时候需要，编程仅发生在 ATE 阶段，而在产品正常应用时，只需要 Read 操作，推荐进行接地处理。
- DVDD11\_EFUSE 需要板级提供 fix 的 1.1V 电源。

### 7.1.2.2.3 电源合并方案



#### 注意

Hi5630HV110 芯片不推荐使用内部 1.1V BUCK，1.1V 默认外供电源，在确认内置 BUCK 可满足电流需求时才能用。在当前典型应用场景下（GE + 2\*PCIE+PLC），1.1V BUCK 功率不足。

表7-4 板级电源合并参考

芯片电源名称 <sup>说明1</sup>	板级电源符号 <sup>说明2</sup>	电源模块类型（推荐） <sup>说明3</sup>
AVDD33_PCIE0	AVDD33_PCIE	3.3V 电源模型



芯片电源名称 <sup>说明 1</sup>	板级电源符号 <sup>说明 2</sup>	电源模块类型（推荐） <sup>说明 3</sup>
AVDD33_PCIE1		
DDRIO_RGMII1	DDRIO_RGMII	
DDRIO_RGMII2		
AVDD33_DDRPLL1	AVDD33_DDRPLL	
AVDD33_DDRPLL2		
DVDD33IO_1	DVDD33	
DVDD33IO_2		
VDDIO_CK_DDR2	VDDIO_DDR2	1.8V 电源模型
VDDIO_DDR2		
AVDD18	AVDD1V8	
AVDD18_PLL		
AVDD11_PCIE0	AVDD11_PCIE	1.1V 电源模型
AVDD11_PCIE1		
AVDD11_PCIE0_CLK		
AVDD11_PCIE1_CLK		
AVDD11_RX	AVDD11_TRX	
AVDD11_TX		
AVDD11_GE	AVDD11_GEPHY	
AVDD11_SH		

#### 说明

- 说明 1：表示芯片独立出 Bump 的电源名称。
- 说明 2：表示推荐板级的电源合并方案。该列中相同名称的板级电源符号如果包含多个芯片电源名称：就表示此多个芯片电源名称可在板级合并。该列中不同名称的板级电源符号是互相隔离（独立电源或者磁珠隔离）。
- 说明 3：表示电源模块的合并方案。相同电源模块类型下的不同板级电源符号之间通过磁珠隔离。

## 7.2 原理图设计建议

### 7.2.1 Flash 设计建议

外接单片 SPI Nor Flash（最大支持 16MB，时钟 50MHz）时，SPI Nor Flash 接口设计推荐如表 7-5 所示。



表7-5 SPI Nor Flash 接口设计推荐

信号	上下拉配置	连接匹配方式
SFC_CLK	上下拉兼容	源端串阻 33Ω
SFC_RXD	NA	对端串阻 33Ω
SFC_TXD	上下拉兼容	源端串阻 33Ω
SFC_HOLD	4.7K Ω 上拉	源端串阻 33Ω
SFC_WP	4.7K Ω 上拉	源端串阻 33Ω
SFC_CS1	NA	源端串阻 33Ω

## 7.2.2 PCIE 接口设计建议

PCIE 接口原理图设计建议如下：

- PCIE 接口共有 2 组 AVDD33\_PCIE 和 AVDD11\_PCIE 模拟电源信号，采用磁珠进行隔离分别连接至 3.3V 和 1.1V，每个电源管脚处至少放置一个 100nF 去耦电容。
- 差分数据信号 TXP/M 和 RXP/M 采用 AC 耦合方案，耦合电容为 100nF。
- 差分时钟信号 REFCLK\_P/N 需连接 49.9Ω，1%精度对地电阻。

## 7.2.3 RGMII 接口设计建议

RGMII 接口设计推荐如表 7-6 所示。

表7-6 RGMII 接口各信号匹配设计推荐

信号名称	PCB 匹配设计
RGMII_TxCLK	源端串阻 33Ω
RGMII_TXD[0:3]	源端串阻 33Ω
RGMII_RxCLK	对端串阻 33Ω
RGMII_RXD[0:3]	对端串阻 33Ω
MDC	源端串阻 33Ω，采用 4.7K 上拉
MDIO	直接连接，采用 1.5K 上拉

## 7.2.4 SDIO 接口设计建议

Hi5630HV110 提供一个 SDIO 接口，支持协议 SD3.0，且配合相关电路支持 SD 卡电压可调节，支持 3.3V 和 1.8V 电平的 SD 卡。



表7-7 SDIO 接口信号匹配设计推荐

信号	上下拉配置	连接匹配方式
SD_CLK	NA	源端串阻 33Ω
SD_DATA/SD_CMD	上拉 4.7KΩ	源端串阻 33Ω

## 7.2.5 GEPHY 接口设计建议

GEPHY 接口原理图设计建议如下：

- 电源  
GEPHY 电源共有 AVDD11、AVDD33 2 种电源，设计建议分别如下：  
AVDD11 连接至 1.1V，采用专用磁珠隔离滤波。AVDD11 管脚处至少放置一个 100nF 去耦电容。  
AVDD33 连接至 3.3V，采用专用磁珠隔离滤波，AVDD33 管脚处至少放置一个 100nF 去耦电容。  
纹波要求：数字电源纹波要求±5%，模拟电源纹波要求±2%。
- BGREF  
外接 1%精度的 10kΩ 电阻到地。走线尽量短。远离其它数字信号、时钟走线等强干扰源信号。
- 变压器选型要求  
插入损耗：0.1~1MHZ，-1.1dB；1~60MHZ，-0.5dB；60~100MHZ，-1.0dB；100~125MHZ，-1.2dB。  
回波损耗：1~30MHZ，-18dB；30~40MHZ，-14.4dB；40~50MHZ，-13.1dB；50~80MHZ，-12dB；80~100MHZ，-10dB。

## 7.2.6 BUCK 接口设计建议

- 功率电感采用 2.2nH，DCR<0.096ohm。
- 功率输入采用 10uF+10nF 的电容组合，功率输出采用 10uF+10nF 的电容组合。

## 7.2.7 AFE 接口设计建议

- TX 方向，LD 输出需要做防护设计，其共模保护器件的电源上要有 10uF 以上的电容，且要采用 100nF 电容进行隔直处理。
- RX 方向，在靠近芯片端做防护设计，其共模保护器件的电源上要有 10uF 以上的电容，在 RXP/N 之间并一个 200ohm 电阻。
- AFE\_LDO11\_CAP 需要外接 10uF 电容。
- AFE\_LDO27\_CAP 需要外接 10uF 电容。
- AFE\_VBG\_CAP 需要外接 100nF 电容。
- AFE\_IREF\_RES 外接 10kohm±1%精度电阻。



- 电源磁珠要求:需要在 AFE 的 1.1V、1.8V、3.3V 供电上加磁珠隔离,特别是 OSC3.3V 和 1.1V 需要加高 DCR 的磁珠,增强对 DCDC 工作频率处纹波的抑制。

## 7.2.8 时钟电路设计建议

XTL\_OUT/XTL\_IN 需要分别串联一个 0ohm 电阻,方便调试晶体驱动。

## 7.2.9 过零电路设计建议

DG\_VREF 需要加 100nF 电容。

## 7.2.10 不使用管脚的处理

普通数字管脚内部已有上下拉,如不使用可悬空,但对于那些对芯片功能稳定有重要影响的数字管脚(如上电配置字),即使内部有上下拉电阻,必须在板级加强上下拉,因为内部上下拉通常都很弱。

对于模拟管脚,如不使用可悬空。

对于不使用模拟 IP(如 PCIE、GEPHY)的电源管脚,其电源必须保持。

## 7.3 PCB 设计建议

### 7.3.1 Flash 设计建议

外接单片 SPI Nor Flash,最大支持 16MB,时钟 50MHz,信号线设计建议:为减小信号反射,建议所有的信号线不要穿越电源和地分割区域,保持完整的电源地参考平面,PCB 板传输线阻抗控制在  $50\Omega \pm 10\%$ 。

建议 PCB 设计采用以下原则:

- Clk 信号注意包地处理,并有完整的参考平面。
- 建议所有信号走线分布在邻近地平面的走线层,避免信号走线穿越电源或地分割区域,尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔,保持良好的信号回流路径。
- 所有信号线尽量短,并且在走线路径上尽量少打过孔,保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 各信号线尽量保持等长。

### 7.3.2 PCIE 接口设计建议

- 电源滤波电容靠近电源管脚放置。
- 差分数据走线长度建议控制在 5inch 以内,差分阻抗控制在  $100\Omega \pm 10\%$ 。
- 差分数据线走线尽可能短、直,差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定,差分数据线走线上不允许有分叉。
- 差分数据线走线间距恒定,走线尽可能在临近地平面的布线层走线且不要换层。



- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化，在有过孔的地方需要有伴随地孔。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

### 7.3.3 RGMII 接口设计建议



#### 注意

Hi5630HV110 MII 接口应用场景说明：

- MII 接口应用场景参考 RGMII 设计规则。
- Tx\_CLK/Rx\_CLK 时钟走线尽量短，并在 2 端预留对地 pF 级电容，PCB 走线远离其他信号，并保证良好包地处理。
- TXD/RXD 数据信号走线尽量短，串阻位置靠近源端摆放，数据信号间保证足够的间距，尽量满足 3W 原则，走线长度在 4000mil 以内。

### 7.3.4 SDIO 接口设计建议

- 电源滤波电容靠近电源管脚放置。
- 时钟信号走线尽量短，并在 2 端预留对地 pF 级电容，PCB 走线远离其他信号，并保证良好包地处理。
- 数据信号走线尽量短，串阻位置靠近源端摆放，数据信号间保证足够的间距，尽量满足 3W 原则。

### 7.3.5 GEPHY 接口设计建议

- MDI  
MDI\_AN/AP、MDI\_BN/BP、MDI\_CN/CP、MDI\_DN/DP 是差分对，PCB 布线时需要平行、等长 (<10mil)、对称走线，控制差分阻抗值 100Ω（包括变压器到 RJ45 间），并严格保证板级差分阻抗的连续性，板上走线尽量短 (<4000mil)。远离其它数字信号、时钟走线，最好能以模拟地做隔离。  
差分对之间最好能以 GND 做隔离，差分对之间也要做 skew 匹配，尽量保证差分对之间的走线延迟相同。
- BREF  
外接 1%精度的 10kΩ 电阻到地。走线尽量短。远离其它数字信号、时钟走线等强干扰源信号。
- PCB 布局布线  
器件布局：变压器和 RJ45 外壳间距<0.5cm。



### 7.3.6 BUCK 接口设计建议

- 保证每个 BUCK 的功率环路面积最小，BUCK 功率输入的滤波电容与 BUCK 的功率低路径尽量短，电感后面的滤波的电容与 BUCK 的功率地路径尽量短。
- LX 输出到功率电感的走线尽量短。
- BUCK 走线附件不能走敏感信号。

### 7.3.7 AFE 接口设计建议

- TX 方向，芯片到 LD 器件之间的走线阻抗按照差分  $100\Omega \pm 10\%$  控制，且走线尽量短，并远离其他噪声干扰源。
- RX 方向，走遵循差分对称方式，从布局上尽量远离其他噪声源，并预留屏蔽罩的位置。
- AFE\_LDO11\_CAP、AFE\_LDO27\_CAP、AFE\_VBG\_CAP、AFE\_IREF\_RES 外接阻抗需要尽量靠近芯片管脚。
- AFE 的模拟地在 TOP 层不要和数字部分的地连接到一起，直接下孔到地平面。

### 7.3.8 时钟电路设计建议

- 晶体以及走线需要尽量远离 AFE 部分。
- 晶体的负载电容地与芯片的 OSC\_GND 直连，并在 TOP 层不要和其他 GND 连接，直接下孔到地平面。

### 7.3.9 过零电路设计建议

- DG\_VIN 的电容需要靠近芯片方式。
- DG\_VREF 的滤波电容需要靠近芯片放置。

### 7.3.10 其它

#### 7.3.10.1 电源平面隔离度设计建议

为提高电源平面间隔离度，封装电源平面布局根据之前仿真建议如下：

- 相邻层电源平面尽量错开；
- 对于 Core 层，不同电源网络的过孔之间尽量加地过孔进行隔离。
- 对于 BGA，不同电源网络的 BGA 之间尽量加地 BGA 进行隔离。

#### 7.3.10.2 PCB 信号完整性仿真设计建议



#### 注意

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。



PCB 设计人员可以使用板级仿真工具,根据 Hi5630HV110 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析,不断调整拓扑结构,以达到所需的信号质量要求,包括过冲、下冲、振铃、单调性等。





# A 缩略语

## A

<b>AES</b>	Advanced Encryption Standard	高级加密标准
------------	------------------------------	--------

## C

<b>CCM</b>	Counter with Cipher block chaining Message authentication code	计数器模式密码块链消息完整码协议
------------	--	------------------

<b>CDM</b>	Charged-Device Model	充电器件模型
------------	----------------------	--------

## D

<b>DM</b>	Domain Master	域主
-----------	---------------	----

## E

<b>EP</b>	End Point	终端节点
-----------	-----------	------

<b>ESD</b>	Electrostatic Discharge	静电释放
------------	-------------------------	------

## F

<b>FDM</b>	Frequency-division Multiplexing	分频多任务
------------	---------------------------------	-------

<b>FEC</b>	Forward Error Correction	前向纠错
------------	--------------------------	------

## G

<b>G.hn</b>	Gigabit Home Networking	吉比特家庭网络
-------------	-------------------------	---------

<b>GE</b>	Gigabit Ethernet	吉比特以太网
-----------	------------------	--------



## H

<b>HBM</b>	Human Body Model	人体模型
------------	------------------	------

## I

<b>ITU-T</b>	Telecommunication Standardization Sector	国际电信联盟电信标准化部门
--------------	--	---------------

## M

<b>MAC</b>	Media Access Control	介质访问控制
------------	----------------------	--------

<b>MDI</b>	Medium Dependent Interface	专用媒体界面
------------	----------------------------	--------

## N

<b>NAPT</b>	Network Address and Port Translation	网络地址和接口转换
-------------	--------------------------------------	-----------

## O

<b>OFDM</b>	Orthogonal Frequency Division Multiplexing	正交频分复用
-------------	--	--------

## P

<b>PHY</b>	Physical Layer	物理层
------------	----------------	-----

<b>PLC</b>	Power Line Communication	电力线通信
------------	--------------------------	-------

<b>PPPoE</b>	Point-to-Point Protocol over Ethernet	以太网点对点协议
--------------	---------------------------------------	----------

## Q

<b>QoS</b>	Quality of Service	服务质量
------------	--------------------	------

## S

<b>SoC</b>	System on Chip	系统芯片
------------	----------------	------

## T



TCP	Transmission Control Protocol	传输控制协议
TDM	Time-division Multiplexing	时分多路复用
U		
UDP	User Datagram Protocol	用户数据包协议