

2019-2020 学年度第一学期
《计算机组成原理》期末考试试卷 A 卷 (闭卷)

专业: _____ 学号: _____ 姓名: _____

说明：答案请全部写在答题纸上，写在试卷上无效。否则视为违规。

说明：答案请全部写在答题纸上，写在试卷上无效。
考试试卷、答题纸、草稿纸均不得带离考场，否则视为违规。

题号	一	二	三	总分
分值	30	20	50	100

一、选择题(共10小题,每小题3分,共30分)

1、以下 MIPS 寄存器中，用来存放返回地址的寄存器是：()

- A. \$a0-\$a3
B. \$v0-\$v1
C. \$ra
D. \$sp

2、假定执行一条指令最多划分为 IF、ID、EX、MEM、WB 等 5 个阶段，各阶段时间分别为：IF 阶段 180ps，ID 阶段 150ps，EX 阶段 200ps，MEM 阶段 220ps，WB 阶段 150ps，对于指令 ADDI \$t1, \$t2, 20，分别按照单周期方式、多周期方式、流水线方式执行，则执行该单条指令花费总时间最少的方式是：（ ）

- A、单周期方式 B、多周期方式
C、流水线方式 D、不确定

3、采用组合逻辑实现多周期 CPU 的有限状态机时，其输出与输入关系为：（ ）

- A、输出控制信号仅与当前状态有关 B、输出控制信号与当前状态和输入 OP 有关
C、下一状态仅与当前输入 OP 有关 D、下一状态与当前状态和输入 OP 有关

4、以下指令，理论上跳转范围最大的为：（ ）

- A、J 指令 B、JAL 指令 C、JR 指令 D、BEQ 指令

5、以下属于不挥发型存储器的为：()

- A、SDRAM B、SRAM C、DRAM D、FLASH

6、在读某个虚拟地址单元时，发生 TLB 缺失、页表命中、Cache 命中，则访问该单元全过程共需访问主存次数为：（ ）

- A、1 B、2 C、3 D、4

7、关于流水线冒险检测的说法，正确的为：（ ）

- A、冒险检测机制可以避免阻塞

B、冒险检测机制主要通过旁路以减少流水线气泡

- C、冒险检测机制主要是检测分支冒险

D、冒险检测机制可以通过阻塞或清除手段避免指令序列出错

8. 磁盘上记录面 N 的磁道 M 存储数据已满时, 如需继续存放, 以下哪种方式比较合理: ()

- A、存放到记录面 N 的 M+1 磁道 B、存放到记录面 N 的随机磁道
C、存放到记录面 N+1 的 M 磁道 D、存放到随机记录面的随机磁道
- 9、计算机将外设端口与存储器进行统一编址时会导致：()
A、需设计单独指令访问外设端口空间 B、存储器编址空间减少
C、外设端口可以直接访问存储单元 D、访问外设端口速度更快
- 10、在某指令 N 执行时检测到外部中断事件后，以下正确的说法为：()
A、执行完该指令后进入中断处理 B、外部中断事件是不可屏蔽的
C、外部中断处理是不可嵌套的 D、外部中断处理完后返回指令 N 继续执行

二、计算题 (共 4 小题, 20 分)

1、(共 6 分) 某程序 P 在机器 A 上编译执行, 花费总时间为 15 秒。现对 A 进行改造如下: 时钟频率增加 25%, 同时更换编译器使得执行程序的指令总数减少 25%, 平均 CPI 增加 20%, 功耗增加 10%。请问:

- (1) 程序 P 在改造后的机器 A 上执行时间为多少秒?
(2) 改进后较之改进前机器性能加速比为多少?

2、(共 7 分) 若有如下 3 个 IEEE 单精度数, 分别为: $X=0x60400000$, $Y=0xE0400000$, $Z=0xBFC00000$, 请分别计算:

- (1) $(X+Y)+Z$
(2) $X+(Y+Z)$

3、(共 7 分) 假定 CPU 时钟频率为 2GHz, 配备了 2 级缓存, 其中 L1Cache 的命中访问时间为 1 时钟周期, 命中率 90%, L2Cache 的命中访问时间为 10 时钟周期, 命中率 80%, 主存访问时间 300 时钟周期。请问:

- (1) 该缓存系统的总体命中率是多少?
(2) 单次访问该缓存系统的平均时间是多少 (以纳秒为单位)?
(3) 采用二级缓存与仅采用一级缓存的加速比是多少?

三、分析解答题 (共 4 小题, 50 分)

1、(共 10 分) 在指令存储器如下地址处有以下指令, 假定 \$12 初值为 0xAABBCCDD, 请填空:

- (1) 20000H: BNE \$8, \$8, 2000H, 则该指令执行完后, 后续指令的地址为: ()
(2) 20004H: BEQ \$7, \$7, 1000H, 则该指令执行完后, 后续指令的地址为: ()
(3) 30008H: J 10000H, 则该指令的跳转目标地址为: ()
(4) 40008H: ADDI \$9, \$0, 5000H, 则该指令执行完后, 寄存器 \$9 值为: ()
(5) 50008H: SW \$12, 4(\$13)

5000CH: LB \$12, 4(\$13), 则该指令执行完后, 寄存器 \$12 值为: ()

50010H: ADDI \$12, \$12, 0x56, 则该指令执行完后, 寄存器 \$12 值为: ()

(6) 60008H: SLL \$9, \$8, 4, 该指令格式属于 () 型指令, 其机器码对应 rs、rt、rd 字段分别为: ()、()、()。

2、(共 10 分) 假设下列 MIPS 代码在一个 5 级流水的处理器上运行, 该流水线有冒险检测、有到 ID 与 EX 级的完全旁路。假设在 ID 级执行分支, 采用延迟槽而且在延迟槽中的指令是分支指令的后续相邻指令, 解答以下问题。

```

        LW R2, 4(R1)      # I1
LAB1:   BEQ R0, R2, LAB2   # I2, 第一次不发生跳转, 然后发生跳转
        ADD R2, R4, R1     # I3
        BEQ R3, R2, LAB1   # I4, 发生跳转
        LW R1, 8(R3)       # I5
LAB2:   SW R1, 12(R2)      # I6
        ADDI R1, R2, 4     # I7
    
```

- (1) 画出该指令序列的流水线执行图;
- (2) 指出执行过程中哪些位置用到何种旁路;
- (3) 总的执行时间是多少周期。

3、(共 18 分) 对于一个 4 路组相联映射的 Cache, 采用下面的 32 位主存地址格式来访问 Cache。

Block Tag	Set Index	Byte Offset inside Block
31-11	10-5	4-0

- (1) 该 Cache 共有多少数据块, 可划分为多少组, 所有数据块的总容量是多大? (单位: Byte)
- (2) 为方便 Cache 访问, 请为该 Cache 设计合理的标签 (tagf)、有效位 (vf)、理想替换位 (rf)、脏位 (df) 等附加信息域, 形成一个完整的 Cache 结构, 并计算该完整 Cache 的总体容量 (单位: bit)。
- (3) 从上电开始给出如下 10 个字节地址: 0、2049、30、200、300、6144、4095、4096、208、8193, 试分析该地址序列的访问过程, 并按照 LRU 算法, 说明有哪些 Cache 块被替换? 总的块命中率是多少?

4、(共 12 分) 考虑一个采用 5 位校验位来保护 8 位数据信息的汉明码 SEC/DED, 并假设编码的位编号是从 MSB (Most Significant Bit) 向 LSB (Least Significant Bit) 方向增大。如果接收方接收到的值为 0x1E54, 请判断该编码是否有错, 并说明判断依据? 如果有错, 请指出错误位置并纠正, 还原为正确的汉明码并提取 8 位原始数据信息。