# UFR SET de Thies Cours électronique numérique

# Chapitre5 : Les circuits logiques combinatoires

1. **Objectifs**

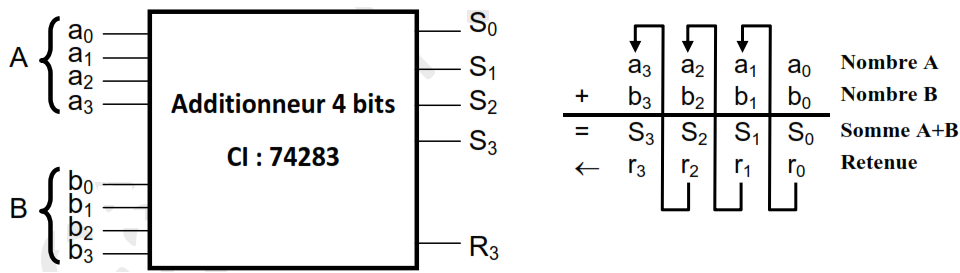
* Etudier les principaux circuits combinatoires utilisés dans les circuits numériques (tels que : les circuits arithmétiques, les codeurs, les transcodeurs, …) ;
* Réaliser des fonctions logiques en utilisant les circuits combinatoires.

1. **Les circuits arithmétiques**
   1. **Les additionneurs**

Un additionneur est un circuit capable de faire la somme de deux nombres binaires **A** et **B.** Une addition met en œuvre deux sorties :

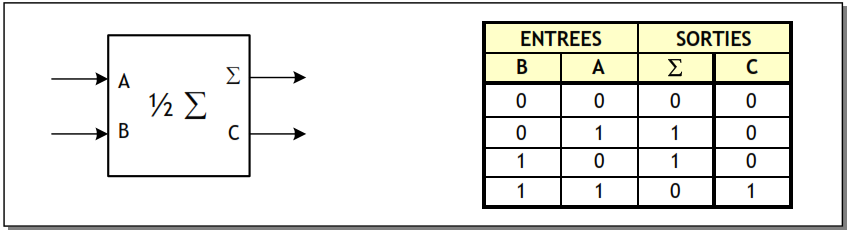
* La **somme** généralement notée **S ;**
* La **retenue** généralement notée **R** (ou **C** : Carry).

Comme en décimal, nous devons tenir compte de la retenue éventuelle, résultat d’un calcul précédent. La figure suivante montre la décomposition de l’addition de deux nombres binaires de 4 bits.

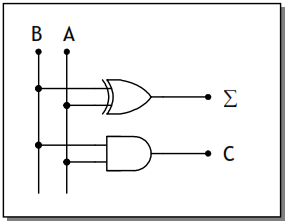


* + 1. **Le demi-additionneur (2bits)**

C’est un circuit permettant d’effectuer l’addition de deux bits A et B pour générer leur somme et leur retenue C (Carry) comme le montre le schéma et la table de vérité de la figure suivante :

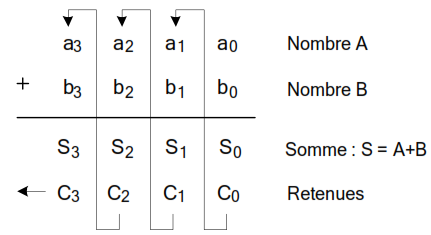


A partir de la table de vérité, on peut écrire les deux fonctions sous la forme suivante : Ce qui peut être réalisé par le circuit schématisé sur le logigramme de la figure suivante :

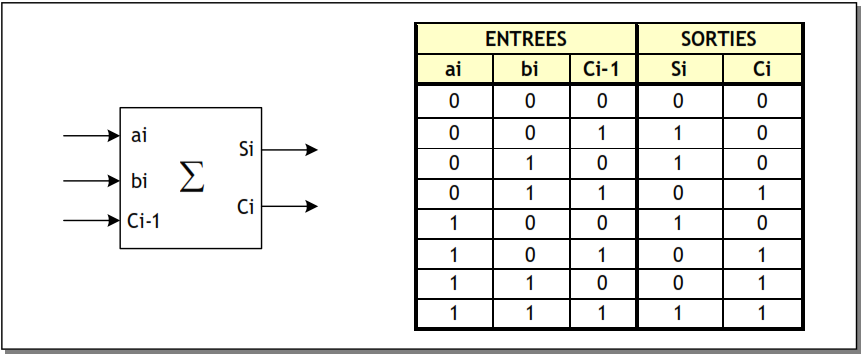


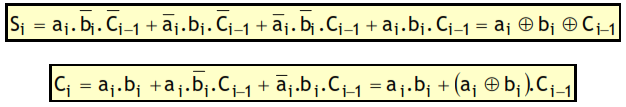
* + 1. **L’additionneur complet (2 bits)**

Pour effectuer une addition de deux nombres binaires de n bits, on additionne successivement les bits du même rang en tenant compte de la retenue de l’addition précédente comme le montre l’exemple suivante :

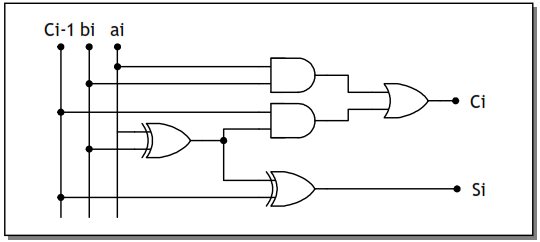


Il faut donc concevoir une cellule élémentaire appelée additionneur complet qui permet de réaliser des bits ai et bi en plus de la retenue Ci-1 de l’addition précédente. Un tel circuit est définit par le schéma et la table de vérité de la figure suivante :

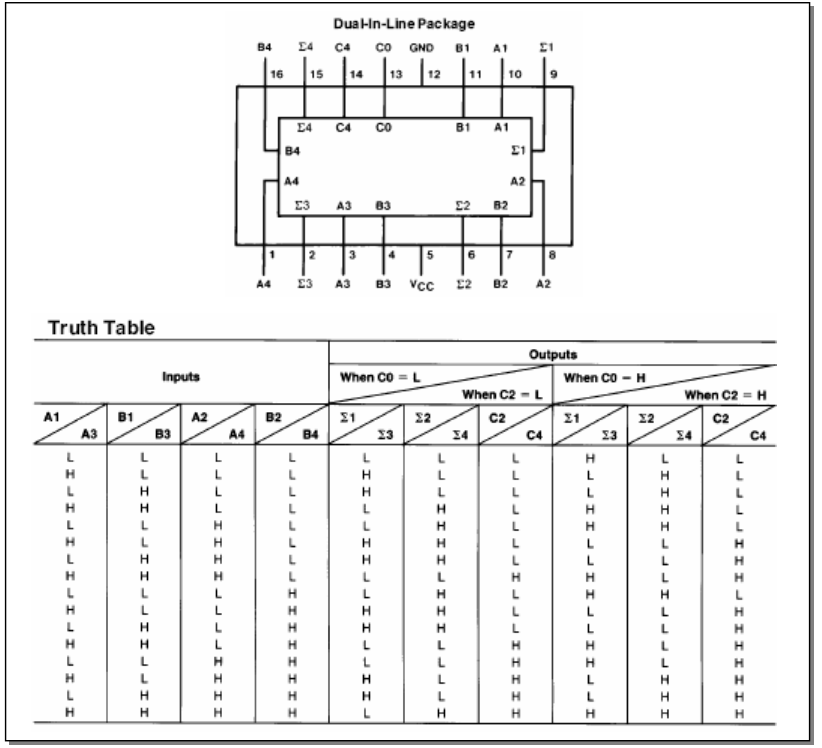


A l’aide de la table de Karnaugh, on détermine les équations de sorties suivantes :

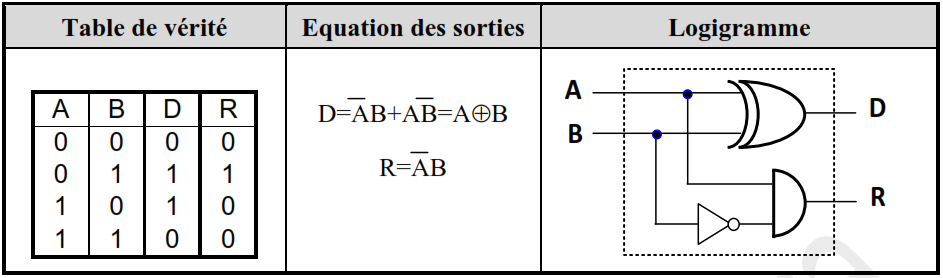
Le schéma d’implantation de l’additionneur complet sera celui de la figure suivante :



Comme exemple d’additionneur complet de mots de 4 bits, on peut citer le circuit intégré 74LS83 dont le schéma de brochage et la table de vérité sont donnés à la figure suivante :

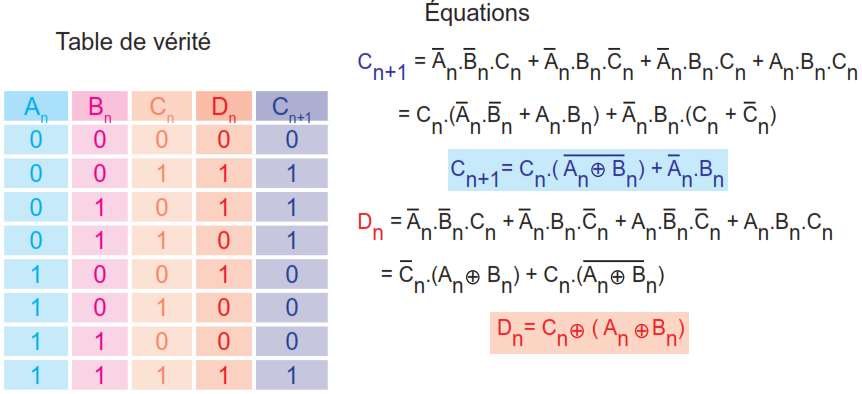
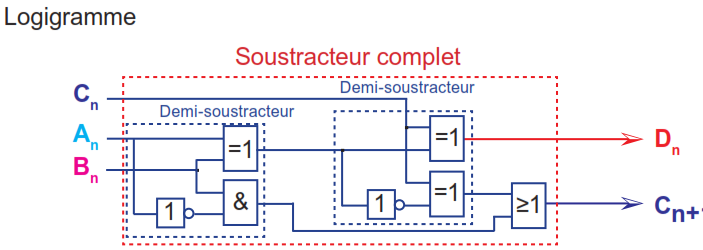


* 1. **Les soustracteurs**

Un demi-soustracteur ne tient pas compte d’une éventuelle retenue provenant des bits de poids inférieurs. **D** représente le résultat de la différence (A-B) et **R** la retenue.

**Remarque :** le demi-soustracteur ne diffère du demi-additionneur que par la complémentation du A sur la retenue.

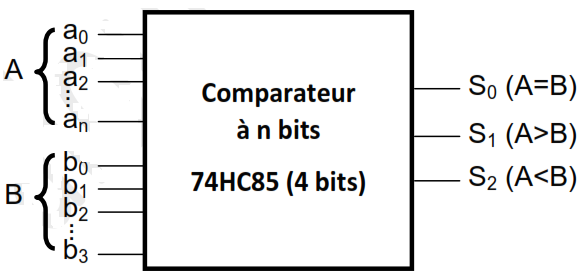
* + 1. **Le soustracteur complet**

Un soustracteur bit à bit permet, dans une colonne, de déterminer la différence locale et la retenue, à partir des bits de la colonne et de la retenue de soustraction précédente.

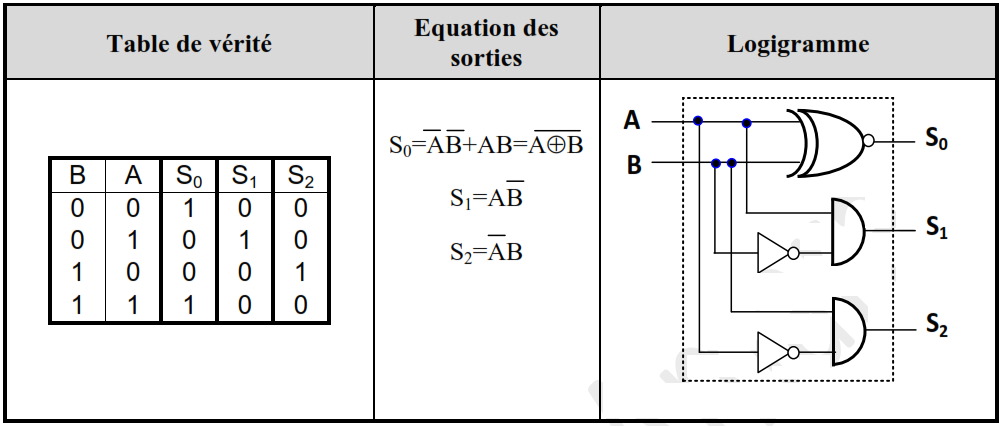
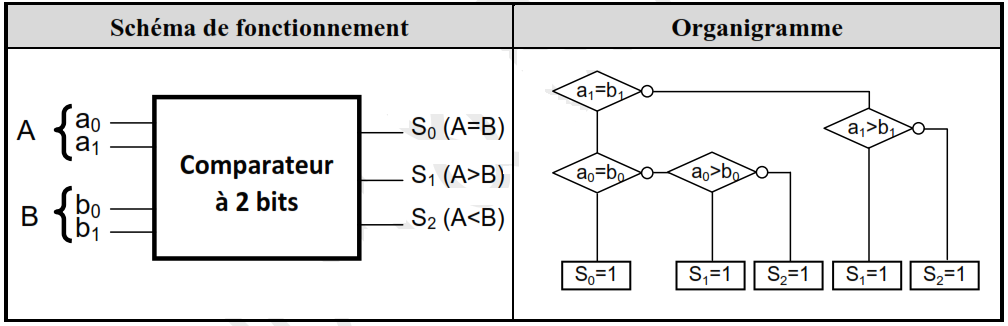
**Remarque :** un soustracteur complet est constitué de deux demi-soustracteurs et une porte logique OU.

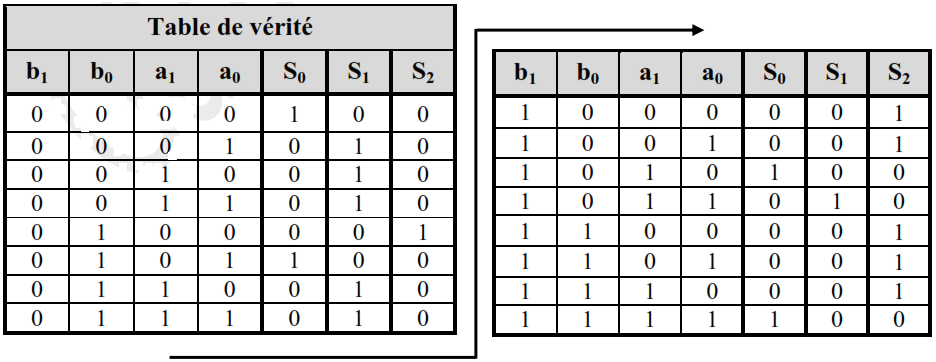
* 1. **Comparateur**

C’est un circuit qui permet de comparer 2 nombres binaires. Il indique si le premier nombre est inférieur (S2), égal (S0) ou supérieur (S1) au second nombre.



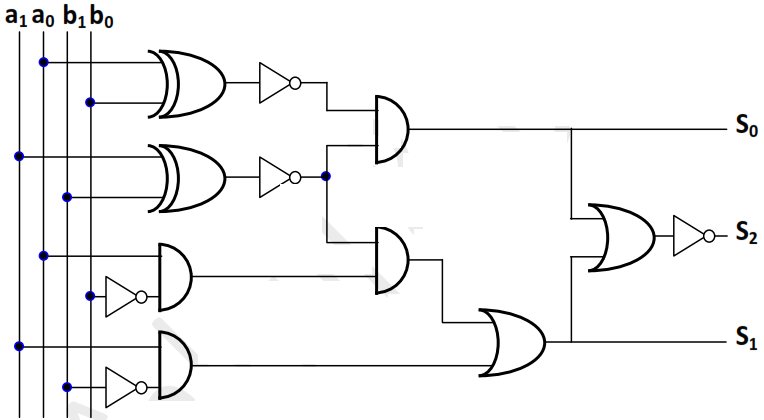
**Principe de base :** le principe de **Principe de base :** le principe de base consiste de comparer d’abord les bits les plus significatifs (MSB). S’ils sont différents, il est inutile de continuer la comparaison. Par contre s’ils sont égaux, il faut comparer les bits de poids immédiatement inférieur et ainsi de suite.

* + 1. **Le comparateur de 1 bit**
    2. **Le comparateur de 2 bits**

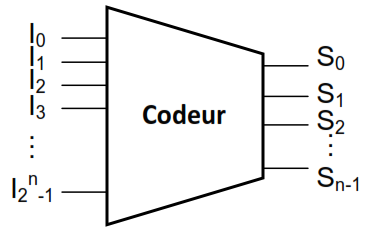


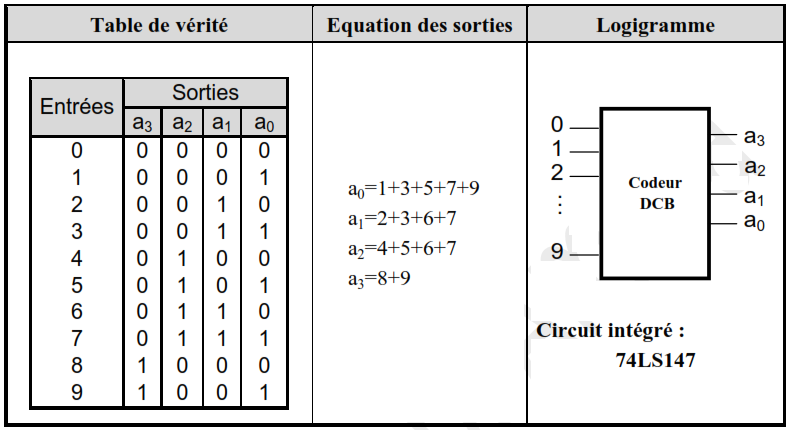
**Equations :**

**Logigramme à l’aide des portes logiques de base**

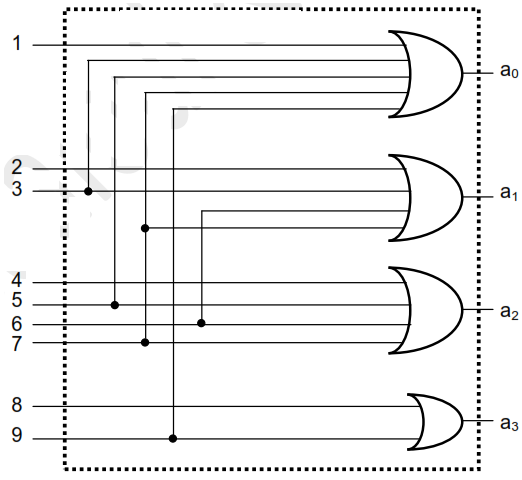


* 1. **Codeurs et décodeurs**
     1. **Les codeurs**

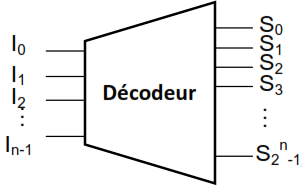
C’est un circuit qui traduit les valeurs d’une entrée dans un code choisi. Un codeur (ou encodeur) est un circuit logique qui possède 2N voies d’entrées dont une seule est activée et N voies de sorties.

***Exemple : codeur décimal/BCD***

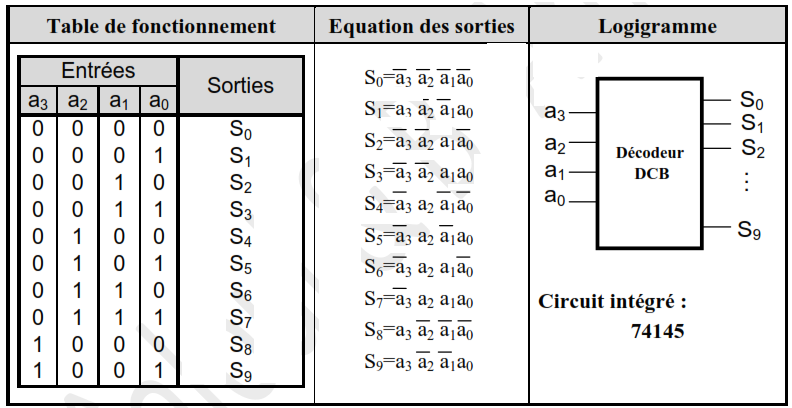
**LOGIGRAMME**



* + 1. **Les décodeurs**

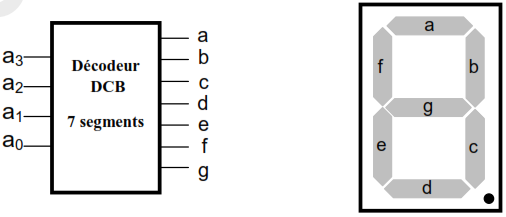
Un décodeur est un circuit à N entrées et 2N sorties dont une seule est active à la fois. Il détecte la présence d’une combinaison spécifique de bits (code) à ces entrées et l’indique par un niveau spécifique de sortie.

***Exemple : décodeur BCD***

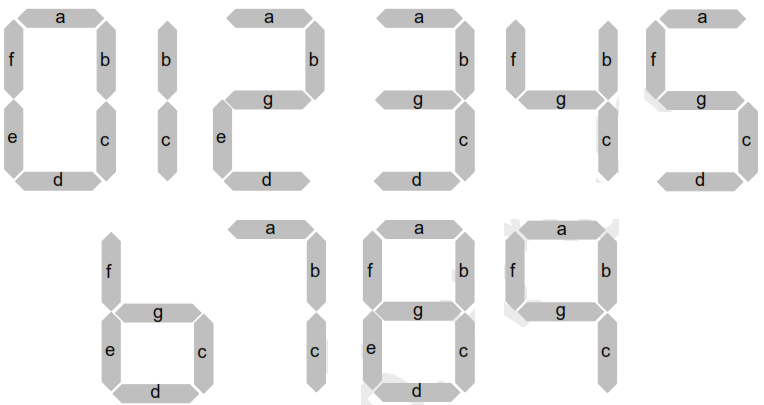


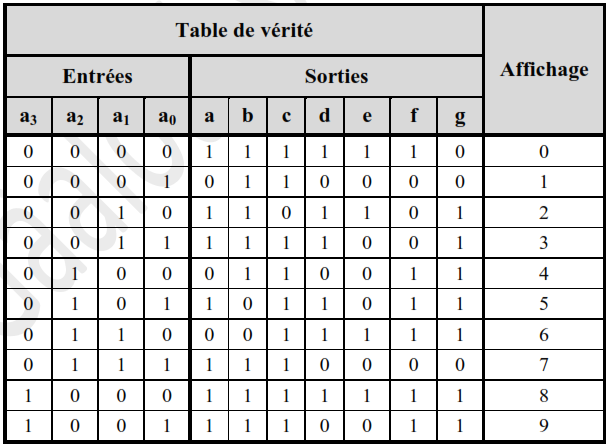
* + 1. **Le décodeur BCD 7 segments**

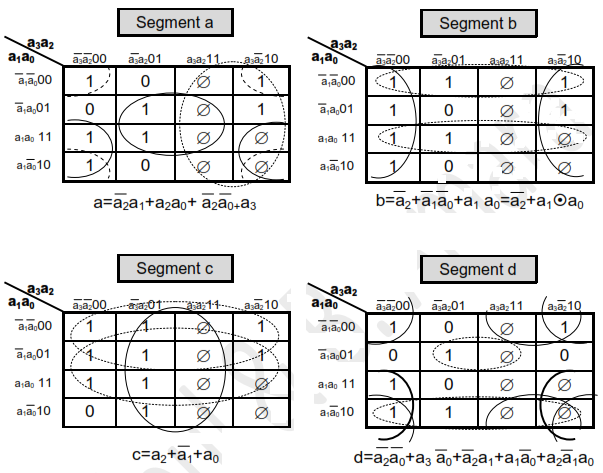
Le décodeur 7 segments accepte en entrée les 4 bits BCD (a0, a1, a2, a3) et rend active les sorties qui vont permettre de faire passer un courant dans les segments d’un afficheur numérique pour former les chiffres décimaux de (0 à 9).

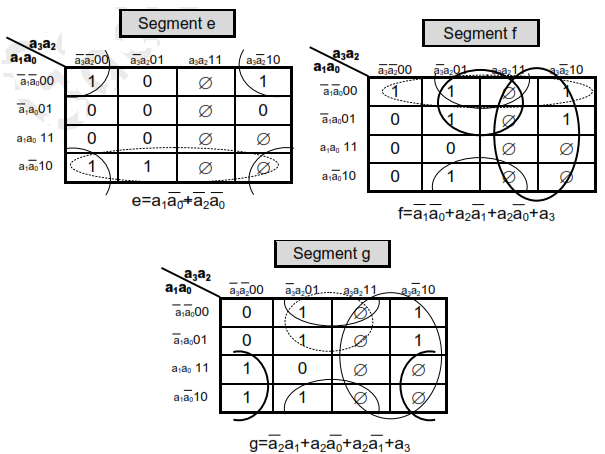


***Remarque :*** il y a 6 combinaisons intitulées **10, 11, 12, 13, 14, 15** que l’on notera ϕ. Les autres afficheurs sont affichés comme suit :



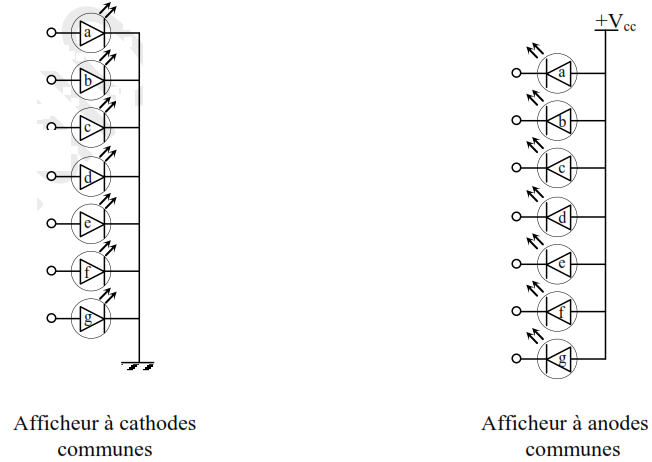


***Exemple décodeur BCD***



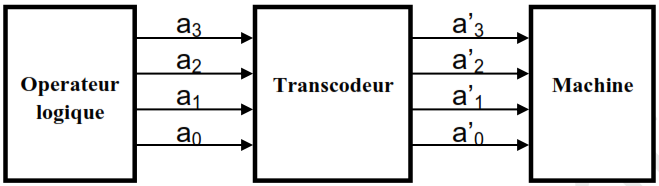
***Remarque :*** l’afficheur est composé de 7 LED (segments) a, b, c, d, e, f, g qui nécessitent en fonction du type d’afficheur (Anodes communes ou Cathodes communes) une polarisation spécifique.

* Pour un afficheur à anodes communes : les anodes sont reliées ensembles au niveau haut et les sorties du décodeur sont actives niveau bas (CI : 74LS74) et sont reliées aux cathodes de l’afficheur ;
* Pour un afficheur à cathodes communes : les cathodes sont reliées ensembles à la masse et les sorties du décodeur sont actives niveau haut (CI : 74LS48) et sont reliées aux anodes de l’afficheur ;

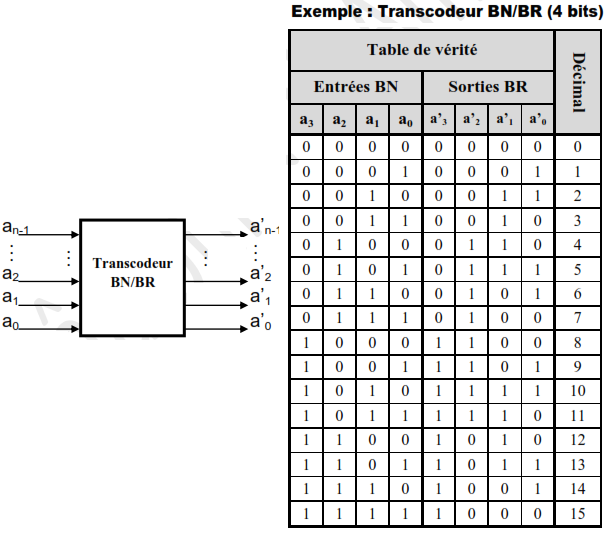


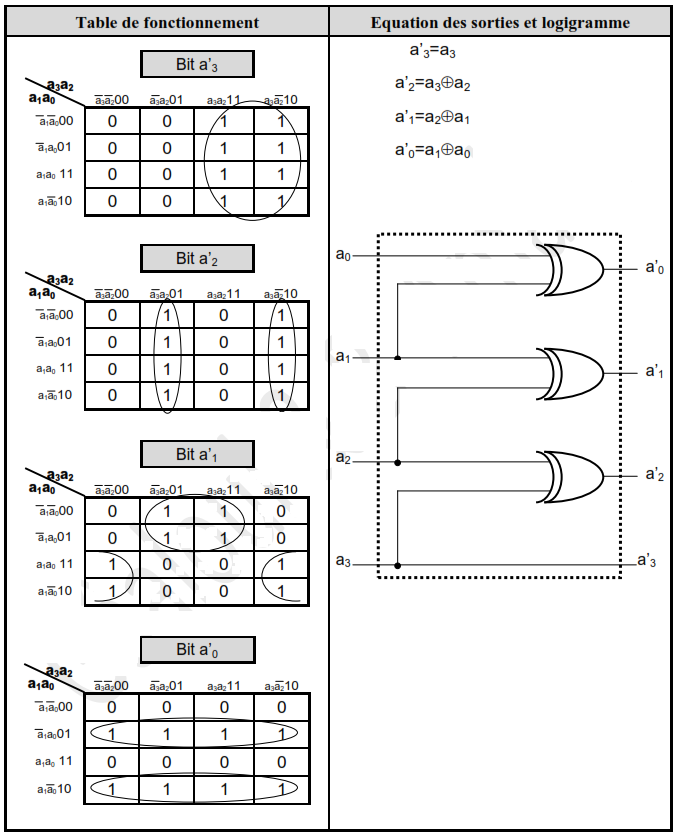
* 1. **Transcodeurs**

Un transcodeur est un circuit qui permet de faire passer une information écrite dans un code C1 vers un code C2. Il est généralement constitué d’un décodeur en cascade d’un codeur

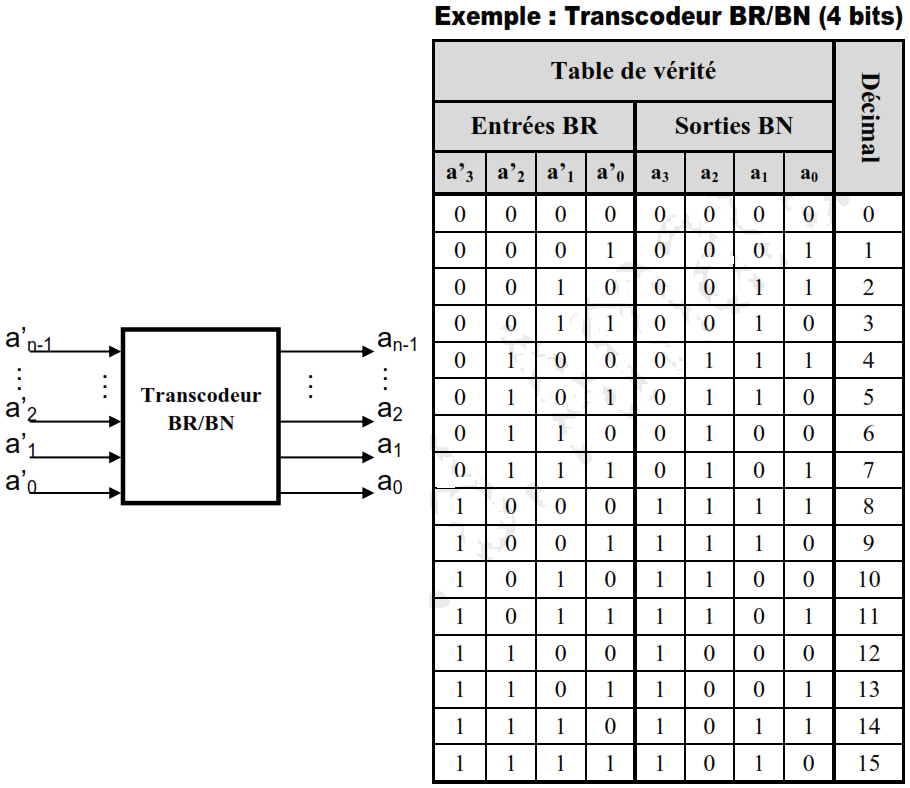


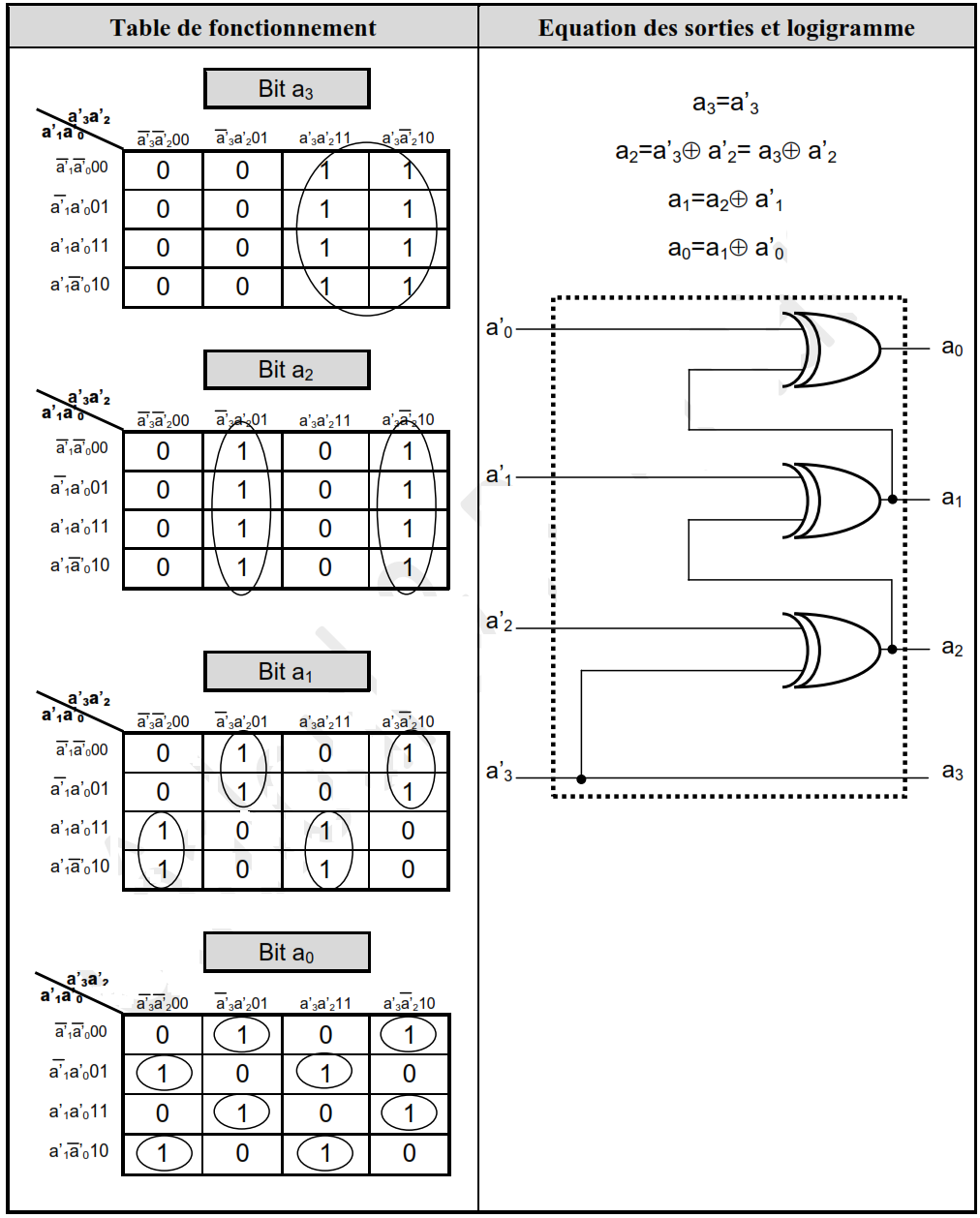
**2.5.1.** **Transcodeur binaire naturel – binaire réfléchi.**



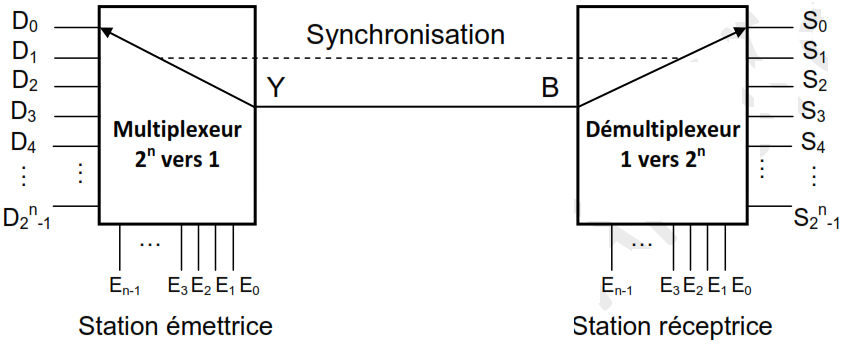


* + 1. **Transcodeur binaire réfléchi – binaire naturel**

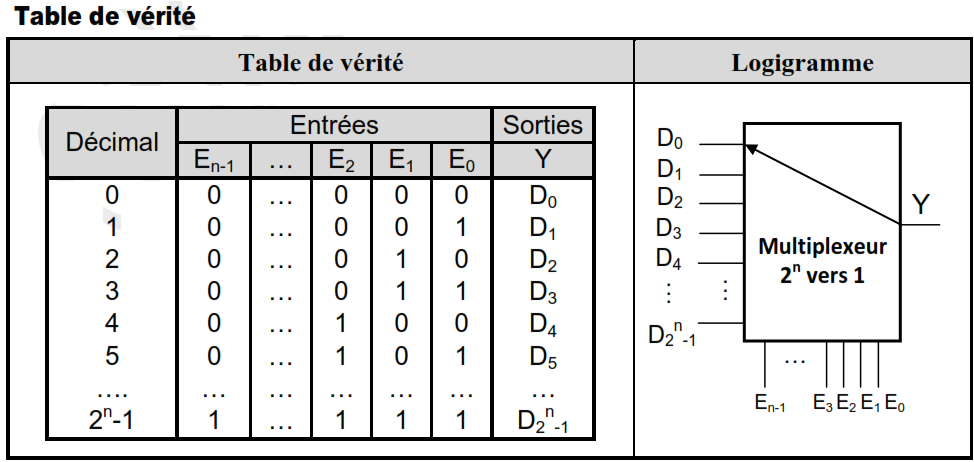


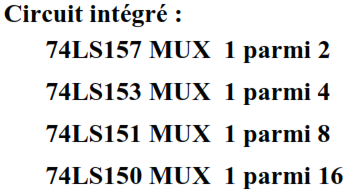


* 1. **Les multiplexeurs et les démultiplexeurs**

La transmission des informations d’une station à une autre nécessite plusieurs lignes en parallèles, ce qui est difficile à réaliser et très couteux lorsque les stations sont géométriquement éloignées l’une de l’autre. La solution est alors transmettre en série sur une seule ligne, en utilisant à la station émettrice un convertisseur parallèle/série (multiplexeur) et à la station réceptrice un convertisseur série/parallèle (démultiplexeur).

* + 1. **Les multiplexeurs**

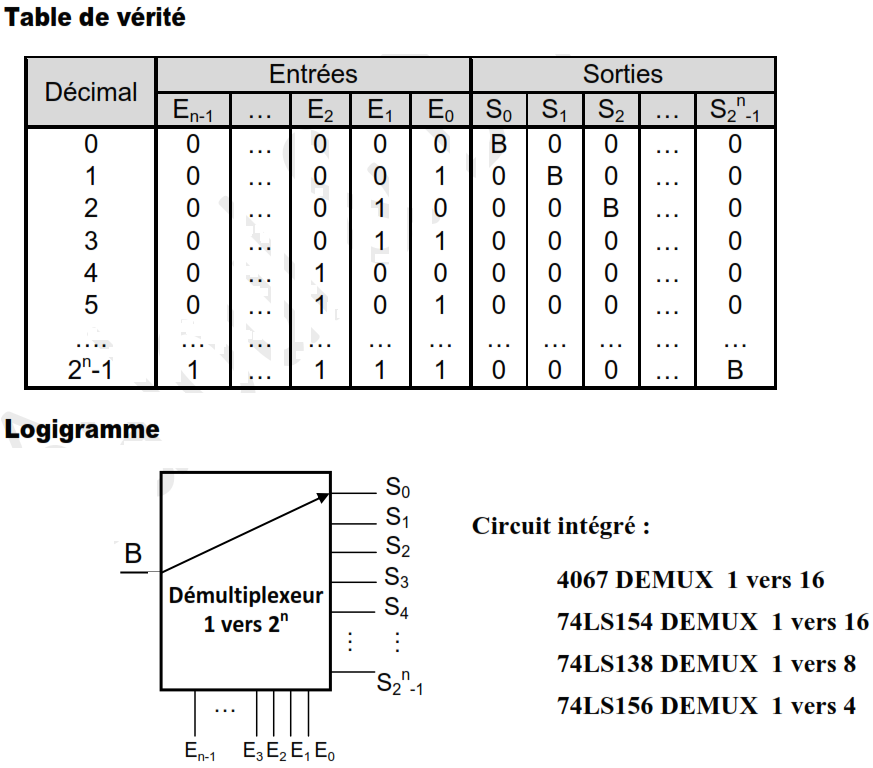
Un multiplexeur (MUX) est un circuit logique **2n** entrées (**D0, D1, D2, ………Dn-1**) **n** entrées de sélections (**E0, E1, E2, ……..En-1**) et une seule sortie **Y**. il est dit **MUX 2n vers 1** ou MUX **2n x 1.** Sa fonction consiste d’effectuer l’aiguillage de l’une des entrées vers la sortie en fonction du code d’adresse appliqué sur les entrées de sélection.



* + 1. **Les démultiplexeurs**

Un démultiplexeur (DEMUX) est un circuit logique qui possède une seule entrée **B**, **n** entrées de sélections (**E0, E1, E2, ……..En-1**) et **2n** sorties **(S0, S1, S2, ………Sn-1).** Il est dit : **DEMUX 1 vers 2n** ou **DEMUX 1 x 2n.** Il effectue la fonction inverse d’un multiplexeur, il transmet la donnée d’entrée vers une des sorties selon le mot écrit aux entrées de sélection, il fonctionne comme un commutateur

.



* + 1. **Réalisation d’un multiplexeur 1 parmi 16 en utilisant 4 multiplexeurs 1 parmi 4 et un décodeur 1 parmi 4**

