



智能量测终端核心板 VCM8130L-V02A.03A00 硬件手册

版本号	发布时间
V-1.0	2025.2



版本	更新内容
V1.0	初始版本。



一、产品简介

- ◆ 名称： 智能量测终端核心板
- ◆ 型号： VCM8130L-V02A.03A00
- ◆ 尺寸： 41mm×57mm×1.6mm（1.6mm 为 PCB 厚度）
- ◆ 供电： 5V 1A
- ◆ 主要功能： 用于智能量测终端

二、产品示意图

核心板封装尺寸为 59mm×41mm×1.6mm，管脚间距为 1.27mm，详细封装请参见图2-1～图2-2，封装尺寸参数请参见表 2-1。

图 2-1 核心板封装顶视图

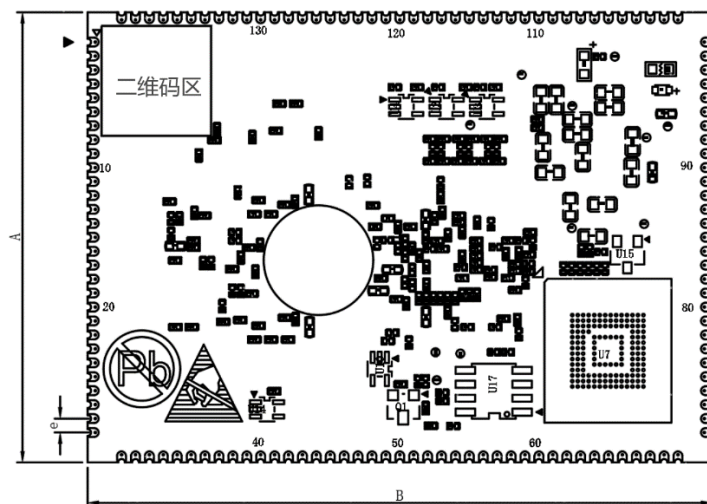


图 2-2 核心板封装底视图

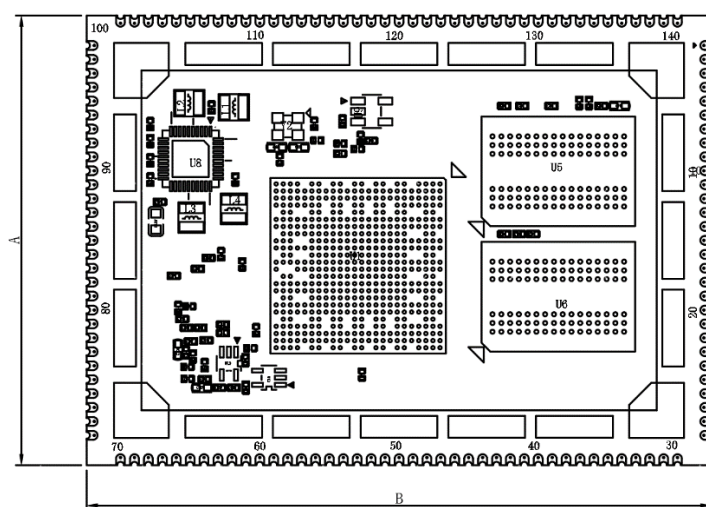


表 2-1 核心板封装参数说明表

参数	尺寸 (mm)		
	最小值	典型值	最大值
A	40.90	41.00	41.10
B	56.90	57.00	57.10
e	1.27 BSC		

注：BSC (Basic Spacing between Centers)



三、产品参数

硬件参数		
名称	标配参数	备注
CPU	V8130L-1GHz	
内存	2*512MB	
EMMC	8GB	
结构参数		
名称	标配参数	备注
尺寸	41mm×57mm×1.6mm	误差±0.1mm
引脚间距	1.27mm	
引脚数量	140	
开窗尺寸	31mm×47mm	误差±0.1mm
环境参数		
名称	标配参数	备注
工作电压	4V~5.5V	
极限电压	-0.3V~6V	
峰值电流	400mA	常温 50%负载率
工作温度	-40℃ ~ 85℃	
工作湿度	5% ~ 95%	



四、引脚定义

J1					
管脚	MPU	配置	管脚	MPU	配置
1	X_SPI_DCX2	GPIO0_30	16		GND
2	X_SPI5_DI	SPI	17	X_MII_TX_CK	MII
3	X_SPI5_CLK		18	X_RGMII_RX_CK	GPIO1_30 PHY1_RST
4	X_SPI5_CS		19	X_MII_TX_ER	GPIO1_15 MII
5	X_SPI5_DO		20	X_MII_MDC	GPIO0_31 MII
6	X_SPI_DCX1	GPIO0_29	21	X_MII_MDIO	GPIO1_0 MII
7	X_UART3_TX	UART	22	X_MII_COL	MII
8	X_UART3_RX		23	X_MII_CRS	
9		GND	24	X_MII_RX_ER	GPIO1_27 MII
10	X_MII_RX_DV	GPIO1_26 MII	25	X_MII_RXD0	GPIO1_28 MII
11	X_MII_TXD3	MII	26	X_MII_RXD1	GPIO1_29 MII
12	X_MII_TXD2	GPIO1_16 MII	27	X_MII_RXD2	MII
13	X_MII_TXD1	GPIO1_24 MII	28	X_MII_RXD3	
14	X_MII_TXD0	GPIO1_23 MII	29	X_MII_RX_CK	
15	X_MII_TX_EN	GPIO1_25 MII			
J2					
管脚	MPU	配置	管脚	MPU	配置
30	X_UART1_TX	UART	51	X_RMII_RX_CRSDV	RMII



31	X_UART1_RX		52	X_RMII_RX_ER	RMII
32	X_RGMII_RXD0	GPIO1_31	53	X_RMII_RXD0	
33	X_RGMII_TXD2	GPIO1_21	54	X_RMII_RXD1	
34	X_RGMII_TXD1	GPIO1_20	55		GND
35	X_RGMII_TXD3	GPIO1_22	56	USB0_DP	USB0
36	X_RGMII_TXD0	GPIO1_19	57	USB0_DM	
37	X_UART5_TX	CAN	58		GND
38	X_UART5_RX		59	X_UART4_TX	UART
39	X_RGMII_RXD1	GPIO1_17	60	X_UART4_RX	
40	X_I2S0_RXD	GPIO1_12	61	X_UART0_RX	UART
41	X_I2S0_SCLK	GPIO1_13	62	X_UART0_TX	
42	X_I2S0_TXD	GPIO1_14	63	X_UART2_TX	UART
43	X_RMII_TXD1	RMII	64	X_UART2_RX	
44	X_RMII_TXD0		65		GND
45	X_RMII_TX_EN		66	USB1_DP	USB1
46	X_I2S0_FS	GPIO1_11	67	USB1_DM	
47	X_RMII_REF_CLK	RMII	68		GND
48		GND	69	X_EMMC1_CLK	GPIO1_10
49	X_RMII_MDC	RMII	70	X_EMMC1_CMD	GPIO1_9
50	X_RMII_MDIO				
J3					



管脚	MPU	配置	管脚	MPU	配置
71	X_EMMC1_D3	GPIO1_4	86	X_LC_DATA17	GPIO0_21
72	X_EMMC1_D2	GPIO1_5	87	X_SPI2_DO	UBOOT0
73	X_EMMC1_D0	GPIO1_7	88		CORE_3V3_OK
74	X_EMMC1_D1	GPIO1_6	89	X_LC_DATA14	GPIO0_18
75	X_EMMC1_D5	GPIO1_2	90	X_LC_DATA15	GPIO0_19
76	X_EMMC1_RSTn	GPIO1_8	91	X_LC_DATA22	GPIO0_26
77	X_EMMC1_D6	GPIO1_1	92	X_LC_DATA13	GPIO0_17
78	X_EMMC1_D4	GPIO1_3	93	X_LC_DATA11	GPIO0_15
79	X_LC_HS	GPIO0_2	94	X_LC_DATA12	GPIO0_16
80	X_LC_VS	GPIO0_1	95	X_LC_DATA10	GPIO0_14
81	X_LC_DATA23	GPIO0_27	96		GND
82	X_LC_DATA16	GPIO0_20	97		DC5V_IN
83	X_LC_DE	GPIO0_3	98		DC5V_IN
84	X_LC_DATA21	GPIO0_25	99		DC5V_IN
85		GND			
J4					
管脚	MPU	配置	管脚	MPU	配置
100	X_LC_DATA9	GPIO0_13	121	X_I2C3_DATA	I2C
101	X_LC_DATA8	GPIO0_12	122	X_I2C3_CLK X_I2S_MCLK	I2C
102	ADC_XAIN3		123	X_LC_DATA5	GPIO0_9

103	ADC_XAIN2		124	X_UART9_TX	UART
104	ADC_XAIN1		125	X_UART9_RX	
105	ADC_XAIN0		126	X_LC_DATA1	GPIO0_5
106	X_UART8_TX	UART CAN	127	X_LC_DATA3	GPIO0_7
107	X_LC_DATA7	GPIO0_11	128	X_LC_DATA2	GPIO0_6
108	X_UART8_RX	UART CAN	129	X_SPI4_CLK	SPI
109	X_UART7_TX	UART	130	X_SPI4_CS	
110	X_LC_DATA6	GPIO0_10	131	X_SPI4_DI	
111	X_UART7_RX	UART	132	X_SPI4_DO	
112	X_LC_DATA20	GPIO0_24	133	X_LC_DATA0	GPIO0_4
113	X_LC_PCLK	GPIO0_0	134	X_SPI3_CLK	SPI
114	X_UART6_TX	UART	135	X_SPI3_DO	
115	X_UART6_RX		136	X_SPI3_CS	
116	UART5_RX_h	PWM	137	X_SPI3_DI	
117	X_I2C2_CLK X_RGMII_RXD2	I2C	138	X_LC_DATA18	SPI3_CS2 GPIO0_22
118	X_I2C2_DATA		139	X_LC_DATA19	SPI3_CS3 GPIO0_23
119	X_LC_DATA4	GPIO0_8	140		GND
120		GND			

注：核心板封装中 141~160 为 GND。

五、注意事项

1、核心板供电电源异常可能造成核心板上 eMMC 失效或其它器件永久损坏，电源异常如电压不稳，振荡，欠压，过压等！

2、SPI、I2C、UART0—UART4、USB 不能配置成 GPIO。

3、UBOOT0 需在主控板上跳线接地，拉低后上电进入 USB0 烧写模式。

4、红外 PWM 输出固定为 116 脚。

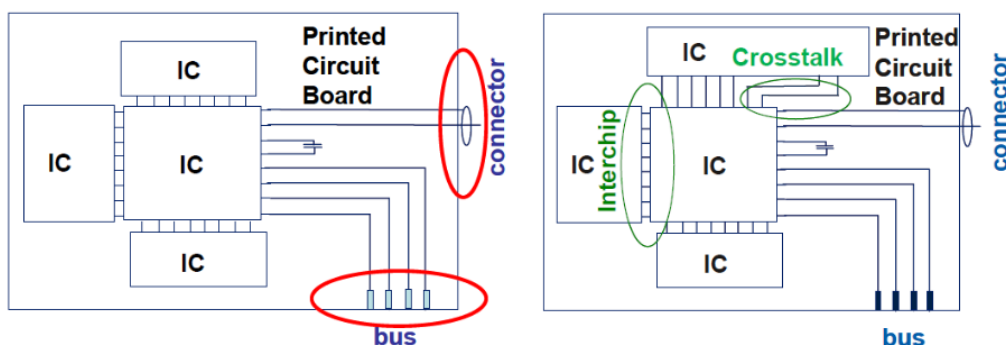
5、使用串行 LCD 时，推荐 SCL/SLK 为 72 脚，SDA/SDI 为 71 脚。

6、SPI_DI 为主机输入从机输出(SPI_MISO)，SPI_DO 为主机输出从机输入(SPI_MOSI)。

7、外部引脚的保护：

7.1、外部引脚

保护设计过程中首先确定芯片的哪些引脚可能受到影响并需要保护。对 PCB 的一部分的简单表示，如下图所示。一般而言，芯片的内部引脚（internal Pins）不需要做 ESD 保护，而对外部引脚（external pins）需要做 ESD 保护。外部引脚指芯片上和接口（连接器）的引脚。



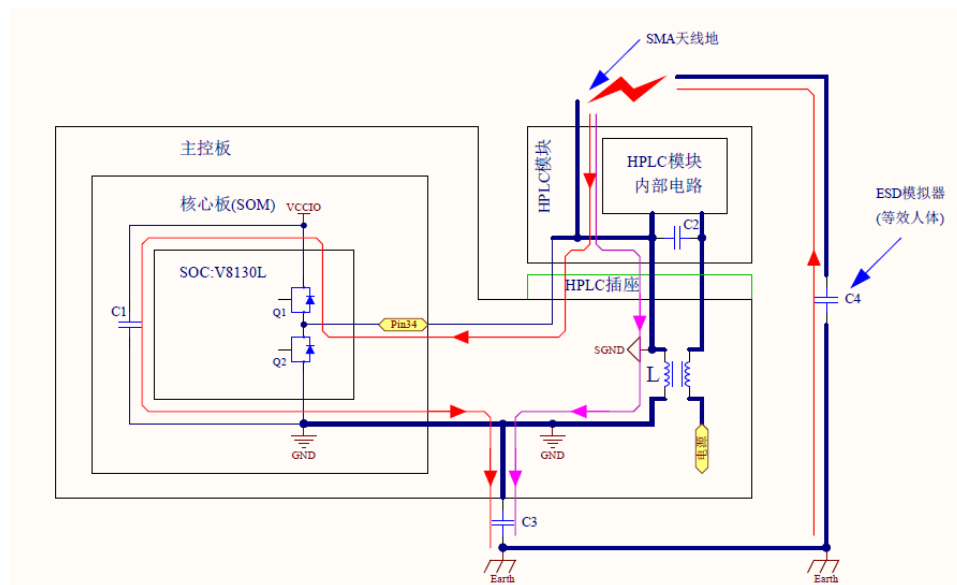
特别地，和隔离芯片连接的引脚也需要当做外部引脚，如 485 引脚。

在外部引脚并联 TVS 管同时串联电阻可以有效的对外部引脚提供保护，一般地，输入引脚

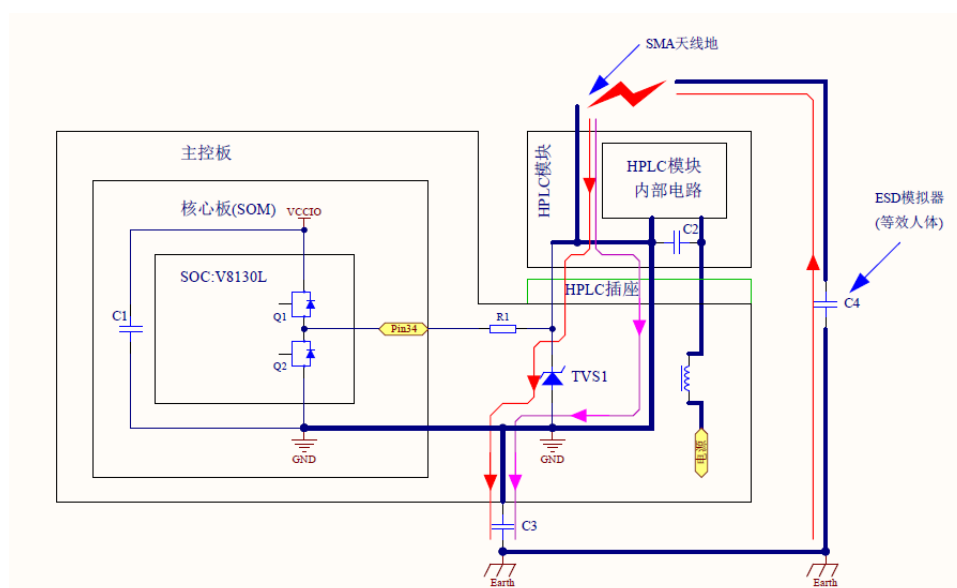
串联 $1\text{k}\Omega$ 电阻，输出引脚串联 100Ω 电阻。

7.2、ESD 保护

以 HPLC 模块上的 ID (该信号在 HPLC 模块内部一般直接短接到 GND) 引脚为例，ESD 事件造成芯片外部引脚损坏原理如下图 A 所示，加 TVS 管和串联电阻对外部引脚保护原理如下图 B 所示。显然，外部引脚串联电阻可以有效抑制流经芯片的放电电流。



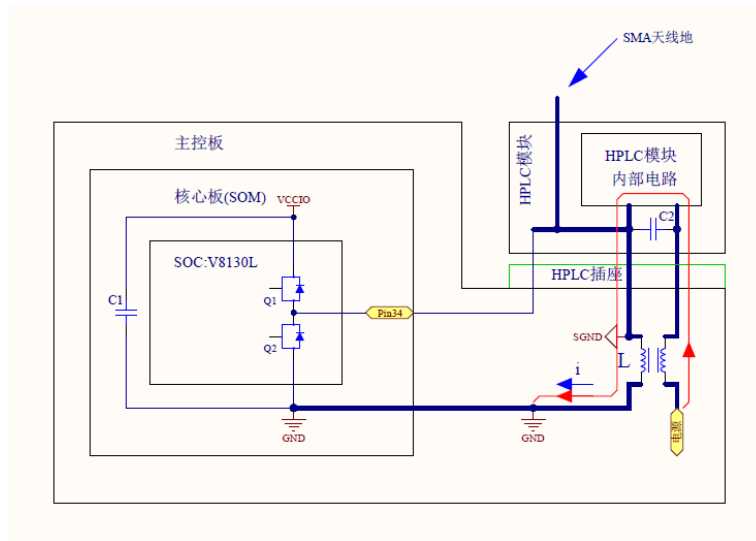
A、外部引脚在 ESD 事件中损坏的原理



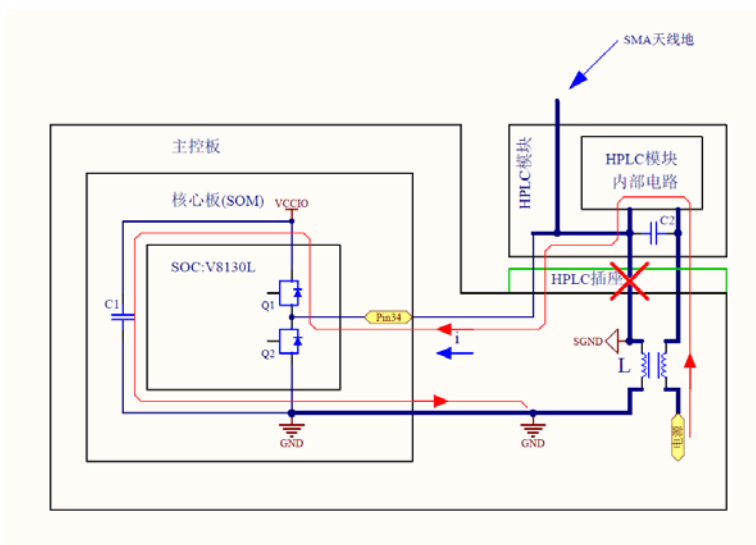
B、加 TVS、串联电阻后对外部引脚的保护原理

7.3、串电保护

以 HPLC 模块上的 ID (该信号在 HPLC 模块内部一般直接短接到 GND) 引脚为例，当 HPLC 模块的接地插针和主板上的插座良好连接时，模块工作电流路径如下图 A 中红色线条所示。当接地不良时，如用于生产测试用的 HPLC 模块插针磨损严重的情况下，此时发生的串电 (HPLC 工作电流被迫流经核心板上主控芯片内部) 引起芯片损坏的原理如下图 B 所示。不难看出，在外部引脚上串联电阻可以有效抑制串电电流，从而保护外部引脚。



A、接地良好时，HPLC 模块的工作电流



B、接地不良时，HPLC 模块工作电流引起的串电现象