

第5章 作业参考答案

一、单项选择题：

- 1、CPU中的程序计数器PC中存放的是__B__。
A. 指令 B. 指令地址 C. 操作数 D. 操作数地址
- 2、指令寄存器中寄存的是__C__。
A. 下一条要执行的指令 B. 已执行完了的指令
C. 正在执行的指令 D. 要转移的指令
- 3、在CPU中微操作信号发生器的作用是__D__。
A. 从主存中取出指令 B. 完成指令操作码的译码功能
C. 产生控制时序 D. 产生各种微操作控制信号
- 4、CPU中通用寄存器的长度取决于__B__。
A. 存储器容量 B. 机器字长 C. 指令长度 D. CPU功能
- 5、中央处理器是指__C__。
A. 运算器 B. 运算器、控制器和主存储器
C. 运算器和控制器 D. 控制器
- 6、计算机操作的最小时间单位是__A__。
A. 时钟周期 B. 指令周期 C. CPU周期 D. 微指令周期
- 7、在计算机系统中，表征系统运行状态的是__C__。
A. 指令寄存器 B. 指令译码器 C. 程序状态字寄存器 D. 地址译码器

8、在微程序控制中，把操作控制信号编成___A___。

- A. 微指令 B. 微地址 C. 操作码 D. 程序

9、微程序存放在___B___中。

- A. RAM B. 控制存储器
C. 指令寄存器 D. 内存储器

10、微程序控制器的速度比硬布线控制器慢，主要是因为___D___。

- A. 增加了从磁盘存储器读取微指令的时间
B. 增加了从主存储器读取微指令的时间
C. 增加了从指令寄存器读取微指令的时间
D. 增加了从控制存储器读取微指令的时间

11、指令译码器是对___B___进行译码。

- A. 整条指令 B. 指令中的操作码字段
C. 指令的地址 D. 指令的操作数地址码字段

12、在计算机中，存放微程序的控制存储器属于___D___。

- A. 外存 B. 高速缓存 C. 内存储器 D. CPU

13、机器指令代码中的地址字段作用是___C___，微指令代码中的地址字段的作用是___A___。

- A. 确定执行顺序 B. 存取地址 C. 存取数据 D. 存取指令

- 14、微程序控制器中，机器指令与微指令的关系是__B__。
- A. 每一条机器指令由一条微指令来完成
 - B. 每一条机器指令由一段用微指令编成的微程序来解释执行
 - C. 一段机器指令组成的程序可由一条微指令来执行
 - D. 一条微指令由若干条机器指令组成
- 15、在微程序控制器中，形成微程序入口地址的字段是__A__。
- A. 机器指令的操作码 B. 微指令的地址码
 - C. 机器指令的地址码 D. 微指令的微操作码
- 16、组合逻辑控制器中，微操作信号的形成主要与__B__信号有关。
- A. 指令操作码和地址码 B. 指令译码信号和时钟
 - C. 操作码和条件码 D. 状态信号和条件
- 17、下列寄存器中，汇编语言程序员可见的是__B__。
- A. 存储器地址寄存器（MAR） B. 程序计数器（PC）
 - C. 存储器数据寄存器（MDR） D. 指令寄存器（IR）
- 18、下列不会引起指令流水阻塞的是__A__。
- A. 数据旁路 B. 数据相关 C. 条件转移 D. 资源冲突

19、冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是C。

A. 指令操作码的译码结果

B. 指令和数据的寻址方式

C. 指令周期的不同阶段

D. 指令和数据所在的存储单元

答案：C

20、某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间缓存时间）分别为90ns、80ns、70ns和60ns，则该计算机的CPU周期至少是A。

A. 90ns

B. 80ns

C. 70ns

D. 60ns

21、相对于微程序控制器，硬布线控制器的特点是D。

A. 指令的执行速度慢，指令功能的修改和扩展容易

B. 指令的执行速度慢，指令功能的修改和扩展难

C. 指令的执行速度快，指令功能的修改和扩展容易

D. 指令的执行速度快，指令功能的修改和扩展难

教材：习题5（P139-141）

二、综合应用题

3, 4, 5, 6, 7, 13题

二、综合应用题

3、假设主机框图如5-14所示，各部分之间的连线表示数据通路，箭头表示信息传送方向。求(1)表明图中X、Y、Z、W四个寄存器的名称。(2)简述取指令的数据通路。(3)简述取数指令和存数指令执行阶段的数据通路。

解：

1) X:主存数据寄存器MDR。Y:主存地址寄存器MAR。

Z:指令寄存器IR。W:程序计数器PC

思路：X、Y连接主存储器，故为主存接口寄存器（MDR, MAR）之一；X和AC的数据传入ALU，故X为MDR。每次更新+1的为程序计数器，故W为PC。

(2)取指令：W → Y → M → X → Z（见教材p119）

(3)取数指令：X (Z) → Y → M → X → ALU → AC（见教材p120）

存数指令：

先取存储地址：X (Z) → Y → M

后数据存入主存：AC → X → M

4、设某机主频为8MHz，每个机器周期平均含2个时钟周期，每条指令平均有2.5个机器周期，试问：

(1) 该机的平均指令执行速度为多少MIPS？

(2) 若机器主频不变，但每个机器周期平均含4个时钟周期，每条指令平均有5个机器周期，则该机的平均指令执行速度又是多少 MIPS？(3) 由此可得出什么结论？

解：

(1) $CPI=2.5 \times 2=5$, 平均指令执行速度为：

$$\text{MIPS: } f_c / (CPI \times 10^6) = 8 \times 10^6 / (5 \times 10^6) = 1.6 \text{ MIPS}$$

(2) $CPI=5 \times 4=20$, 平均指令执行速度为：

$$\text{MIPS: } f_c / (CPI \times 10^6) = 8 \times 10^6 / (20 \times 10^6) = 0.4 \text{ MIPS}$$

(3) 机器的速度不仅与主频相关，与每条指令时钟周期也相关

5、某CPU的主频为8MHz，若已知每个机器周期平均包含4个时钟周期，该机的平均指令执行速度为0.8 MIPS，试求：

- (1) 该机的平均指令周期及每个指令周期含几个机器周期？
- (2) 若改用时钟周期为0.4 μ s的CPU芯片，则计算机的平均指令执行速度为多少MIPS？
- (3) 若要得到平均每秒40万次的指令执行速度，则应采用主频为多少的CPU芯片？

解：时钟周期为 $T_c=1/8=0.125\text{ us}$ ，机器周期为 $0.125 \times 4=0.5\mu\text{s}$ 。

- (1) 根据平均指令执行速度 $\text{MIPS}=f_c/(\text{CPI} \times 10^6)$ ，得 $\text{CPI}=f_c/(\text{MIPS} \times 10^6)=8 \times 10^6/(0.8 \times 10^6)=10$
 $T_c=1.25\text{ us}$

由每个机器周期平均包含4个时钟周期得：每个指令周期含有机周期数：
 $10T_c/4T_c=2.5$ 个。

- (2) 若改用时钟周期为0.4 μs 的CPU芯片，平均指令执行速度为：

$$\text{MIPS}=1/(\text{CPI} \times T_c \times 10^6)=1/(10 \times T_c \times 10^6)=1/(10 \times 0.4)=0.25$$

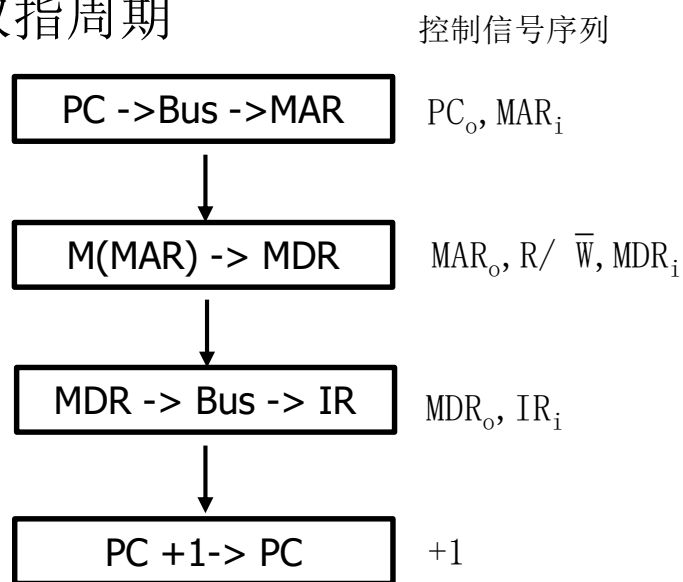
- (3) 若要得到平均每秒40万次的指令执行速度，即0.4 MIPS，由 $\text{MIPS}=f_c/(\text{CPI} \times 10^6)$ 得，则CPU芯片的主频：

$$f_c=\text{MIPS} \times (\text{CPI} \times 10^6)=0.4 \times (10 \times 10^6)=4\text{ MHz}。$$

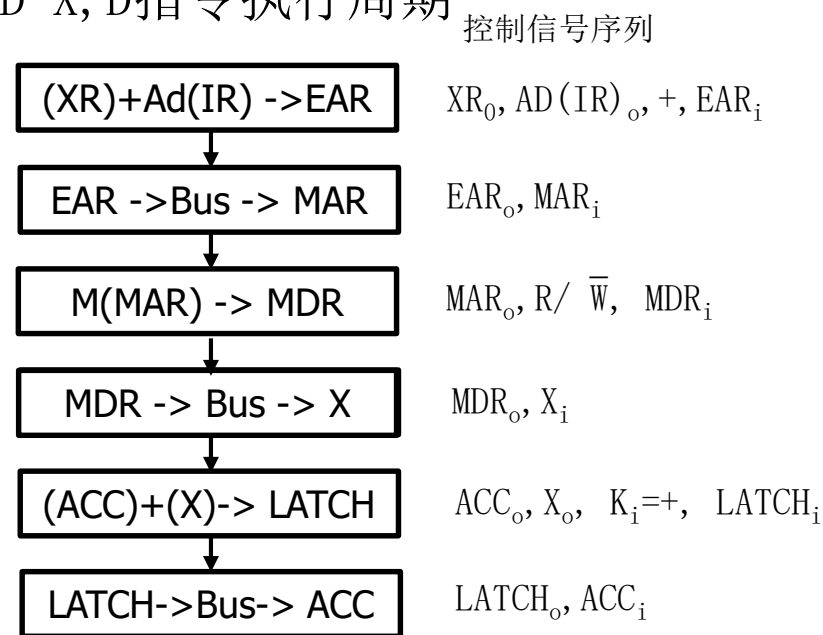
6、已知单总线计算机结构如图5-15所示，其中M为主存，XR为变址寄存器，EAR为有效地址寄存器，LATCH为暂存器。假设指令地址已存于PC中，画出ADD X, D指令周期信息流程图，并列出相应的控制信号序列。说明：

- (1) ADD X, D指令字中X为变址寄存器XR，D为形式地址
- (2) 寄存器的输入和输出均受控制信号控制，如 PC_i 表示PC的输入控制信号，又如 MDR_0 表示MDR的输出控制信号。
- (3) 凡是需要经过总线实现寄存器之间的传送，需在流程图中表明，如PC、Bus、MAR、 PC_0 、 MAR_i 。

答：取指周期



ADD X, D指令执行周期



其中Ad(IR)为形式地址

7、在图5-16所示的CPU逻辑框图中，有两条独立的总线和两个独立的存储器。已知指令存储其IM最大的容量为16384字，每个字字长18位。数据存储器DM最大容量是65536字，每字长16位。各寄存器均有“打入”（ R_{in} ）和“送出”（ R_{out} ）控制命令，但图中未标出。

(1) 指出下列寄存器的位数：程序计数器PC，指令寄存器IR，累加器 AC_0 、 AC_1 ，通用寄存器 $R_0 \sim R_3$ ，指令存储器地址寄存器IAR，指令存储器数据寄存器IDR，数据存储器地址寄存器DAR，数据存储器数据寄存器DDR。

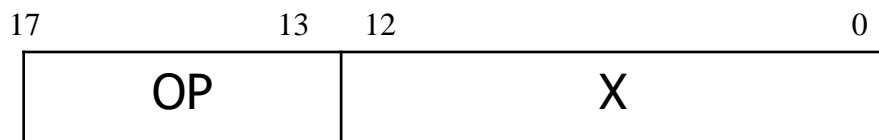
答：指令存储器IM最大容量为 $16384=2^{14}$ ，故PC=14位； IAR=14位。

指令字长18位，IR=18位； IDR=18位。

数据存储器DM最大容量 $65536=2^{16}$ ，DAR=16位。

数据字长16位，DDR=16位； $AC_0=AC_1=16$ 位； $R_0 \sim R_3=16$ 位。

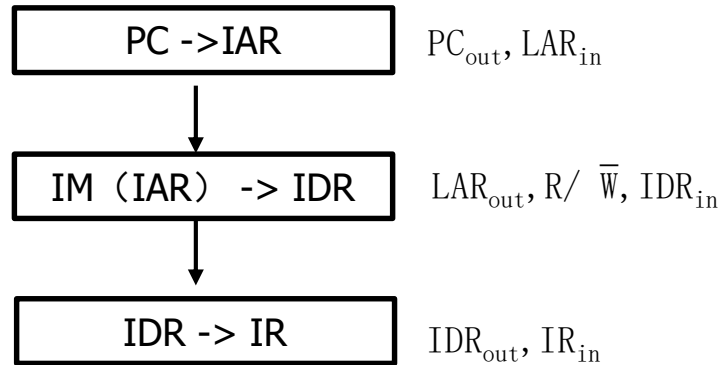
(2) 设机器指令格式为：



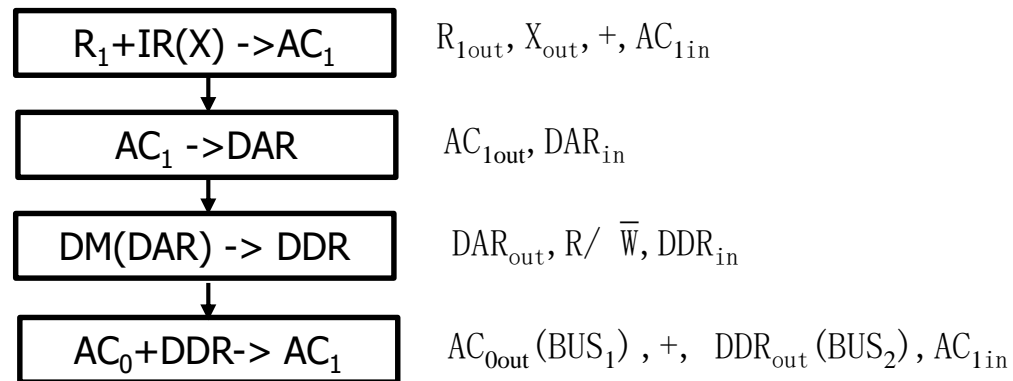
假发指令可写成“ADD $X(R_i)$ ”，其功能是 $(AC_0) + ((R_i) + X) \rightarrow AC_1$ ，其中 $((R_i) + X)$ 部分通过寻址方式指向数据存储器DM。现取 R_i 为 R_1 。画出ADD指令的指令周期流程图，写明“数据通路”和相应的微操作控制信号。

答：取指周期

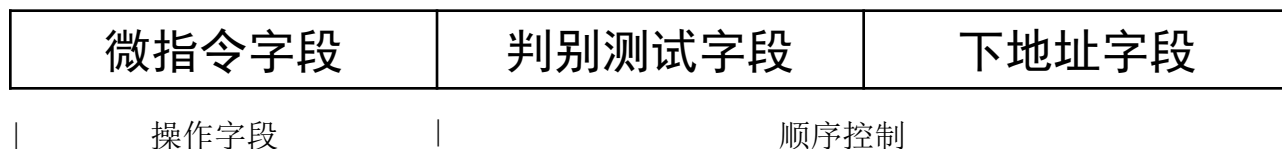
控制信号序列



指令执行周期



13、已知某机器采取微程序控制方式，其控制存储器容量为 512×48 位。微指令字长48位，微指令可在整个存储器中实现转移，可控制微程序转移的条件共有4个（直接控制），微指令采用水平型格式，如下所示。求：微指令中的三个字段分别应为多少位？



答：由控制存储器容量可知，微指令共有48位
寻址范围位512=2⁹，故下地址字段长9位；
程序转移条件有4个，并为直接控制法表示，故判别测试字段长4位；
微指令字段的长度为48-4-9=35位

