

第3章作业

一、选择题：

1. 存储周期是指_____。
 - A. 存储器的读出时间
 - B. 存储器进行连续写操作所允许的最短时间间隔
 - C. 存储器的写入时间
 - D. 存储器进行连续读或写操作所允许的最短时间间隔
2. 若SRAM中有 4K个存储单元，采用双译码方式时要求译码输出线为_____根。
 - A. 4096
 - B. 64
 - C. 128
 - D. 1024
3. 设某静态RAM 芯片容量为 $8K \times 8$ 位，若由它组成 $32K \times 8$ 的存储器，所用的芯片数及这种芯片的片内地址线的数目分别是_____。
 - A. 4片，13根
 - B. 4片，12根
 - C. 6片，11根
 - D. 4片，16根
4. 存储器随机访问方式是_____。
 - A . 可随意访问存储器
 - B . 按随机文件访问存储器
 - C . 可对存储器进行读出与写入
 - D . 可按地址访问存储器任一编址单元，其访问时间相同且与地址无关
5. 半导体静态存储器SRAM能够存储信息是 _____。
 - A. 依靠双稳态电路
 - B. 依靠定时刷新
 - C. 依靠读后再生
 - D. 信息不再变化

6. 在主存和CPU之间增加Cache的目的是_____。
- A. 增加内存容量
 - B. 提高内存的可靠性
 - C. 解决CPU与内存之间的速度匹配问题
 - D. 增加内存容量，同时加快存取速度
7. 有关高速缓冲存储器Cache的说法正确的是_____。
- A. 只能在CPU以外
 - B. CPU内外都可设置Cache
 - C. 只能在CPU以内
 - D. 若存在Cache，CPU就不能再访问内存
8. 下列因素下，与Cache的命中率无关的是_____。
- A. 主存的存取时间
 - B. 块的大小
 - C. Cache的组织方式
 - D. Cache的容量
9. 直接映像的优点不包括_____。
- A. 地址变换速度快
 - B. 操作简单
 - C. 不需替换策略
 - D. 命中率高
10. 当访问cache系统失效时，通常主存不仅向CPU传送信息，同时还需要将信息写入cache，在此过程中传送和写入信息的数据宽度各为_____。
- A. 块、页
 - B. 字、字
 - C. 字、块
 - D. 块、块

11. 在Cache中，常用的替换策略有：随机法RAND、先进先出法FIFO、近期最少使用法LRU，其中与局部性原理相关的是_____。

- A. 随机法RAND
- B. 先进先出法FIFO
- C. 近期最少使用法LRU
- D. 以上都不是

12. 采用虚拟存储器的主要目的是_____。

- A. 提高主存储器的存取速度
- B. 扩大主存储器的存储空间，并能进行自动管理和调度
- C. 提高外存储器的存取速度
- D. 扩大外存储器的存储空间

13. 下列有关存储器的描述中，不正确的是_____。

- A. 双端口存储器具有两套独立地址译码机构并可访问同一单元
- B. 访问存储器的请求是由CPU发出的
- C. Cache与主存统一编址，即主存空间的某一部分属于Cache
- D. Cache的功能全由硬件实现

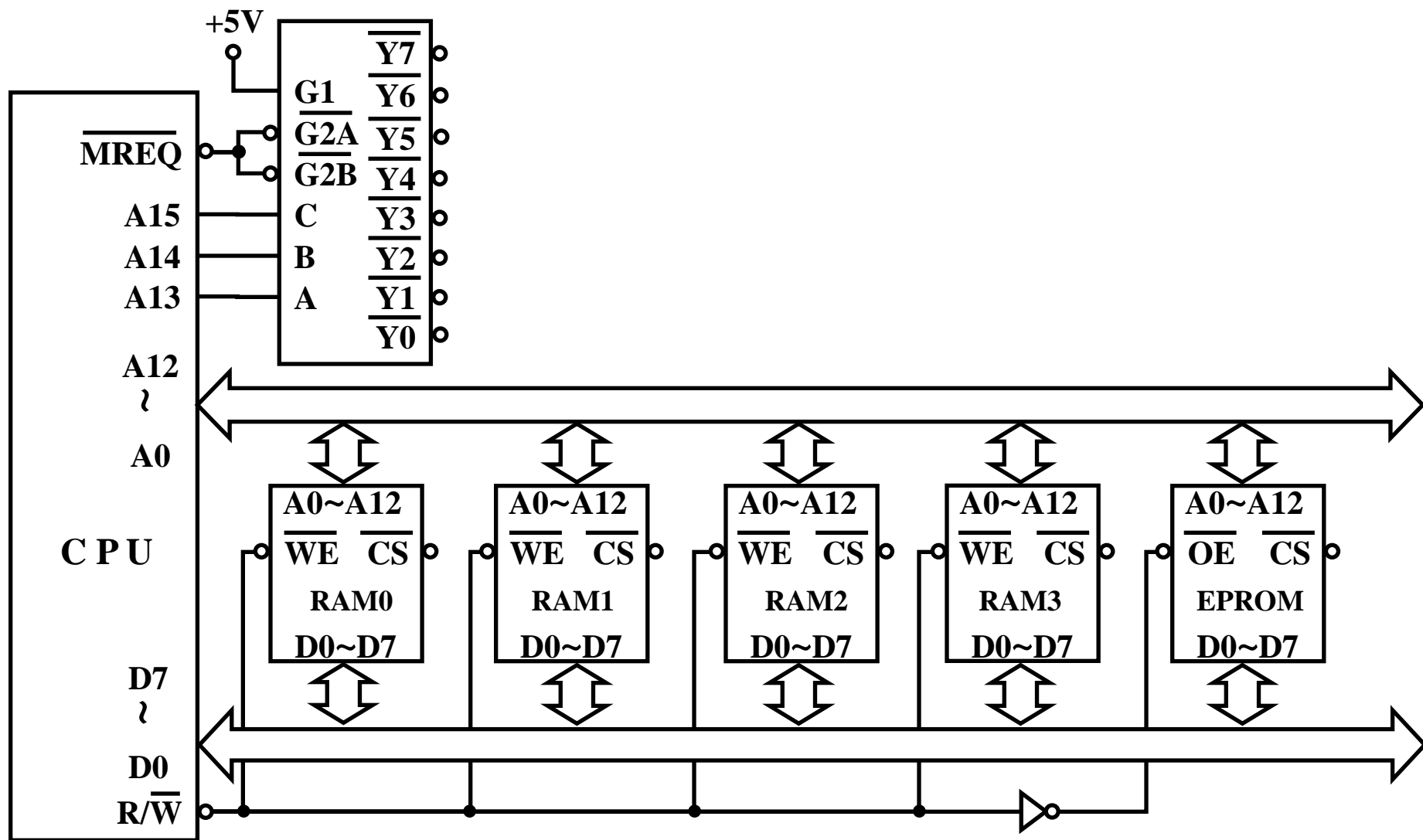
14. 某计算机的存储系统由主存和Cache组成。某程序执行过程中访存1000次，其中访问Cache缺失（未命中）20次，则 Cache的命中率是_____。

二、综合题

1. 有一主存—Cache层次的存储器，其主存容量1MB，Cache容量64KB，每块8KB，采用直接映像方式。
 - (1) 求主存地址格式？
 - (2) 求主存地址为27301H的单元位于主存的哪个区？可映像到Cache的哪一行？



2. 设某计算机CPU有16位地址线，8位数据线，并用 $\overline{\text{MREQ}}$ 作为访存控制信号，由 $\text{R}/\overline{\text{W}}$ 作为读写控制信号（高电平为读命令，低电平为写命令）。现有一片8KB的EPROM和若干片8KB的SRAM存储器芯片，如果要求将最高地址的8KB范围作为系统ROM区，并组成起始地址为2000H的RAM用户程序区。选用74138译码器译码，采用全译码方式。请在下图中将各存储芯片的片选端与译码器的输出端对应相连，完成CPU与存储芯片连接的逻辑图，并写出每片存储芯片在该存储系统中的地址范围（用十六进制表示）。



CPU与存储器连接图