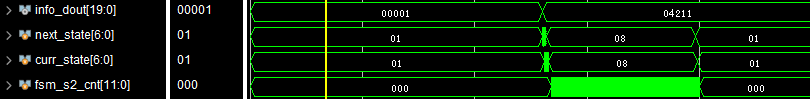
数据进入时，携带dest端口，目的是将数据发送至dest端口，但是由于多端口，很可能有多包数据同时要发送至一个端口，故此时需要判断数据内携带的优先级，优先级高先行发送，其他优先级低的存储在SDRM中按优先级顺序等待发送。

信号描述：

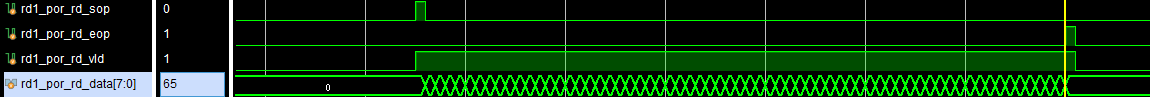
|  |  |  |  |
| --- | --- | --- | --- |
| 信号名 | 方向 | 位宽 | 描述 |
| wr\_sop | input |  | 数据输入，携带dest端口和优先级 |
| wr\_eop | input |  |
| wr\_vld | input |  |
| wr\_data | input | [7:0] |
|  |  |  |  |
| rd\_sop | output |  | 数据输出，加校验 |
| rd\_eop | output |  |
| rd\_vld | output |  |
| rd\_data | output | [7:0] |
|  |  |  |  |
| ready | output |  | 表示该端口状态，1为空闲，0为正在读写 |
| full | output |  | 1表示当前内存已满 |

仿真场景：长度66数据包，端口0进入，端口1出。

addr\_gen模块中，由于端口1空闲，直接进入读fifo状态

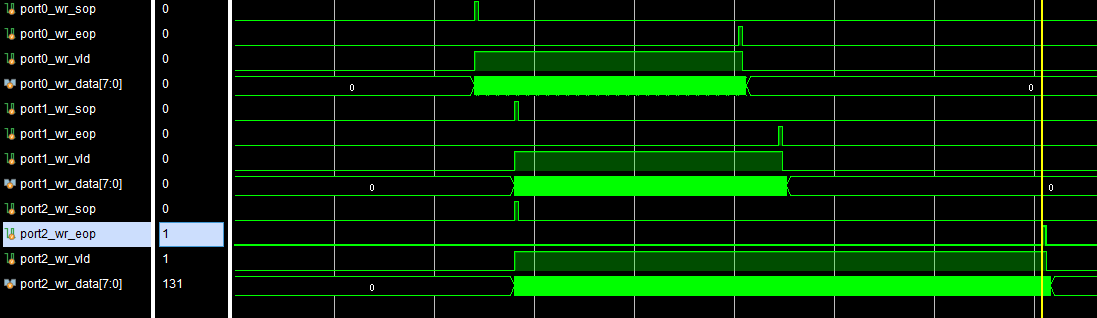


校验模块入口时序

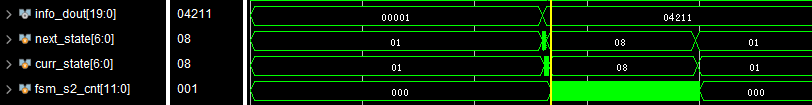


仿真场景：长度66数据包，端口0进入；长度66数据包，端口1进入；长度66数据包，端口2进入，端口1出。

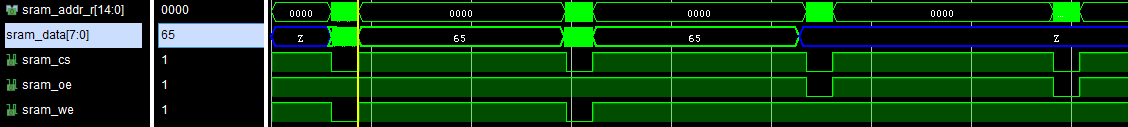
各端口输入



端口0数据到来时，端口1空闲，直接进入读fifo状态，输出



端口1 端口2 写sram 然后读sram 输出



校验模块：

