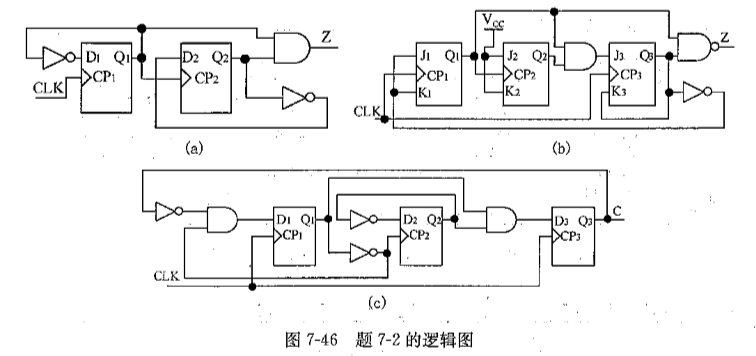
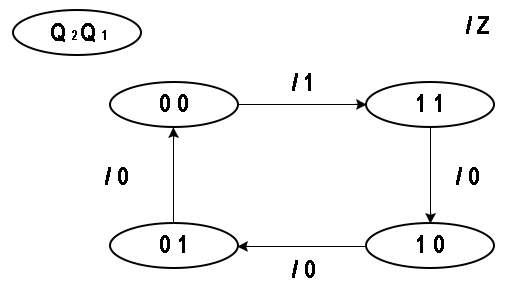
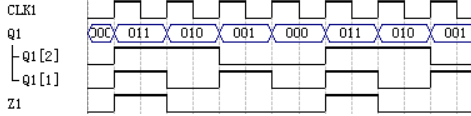
**第七章**





状态转换图：

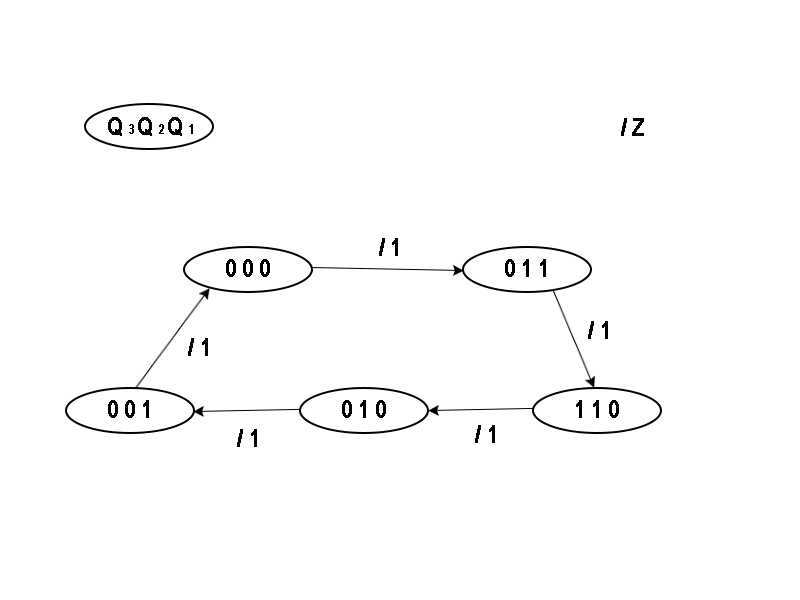


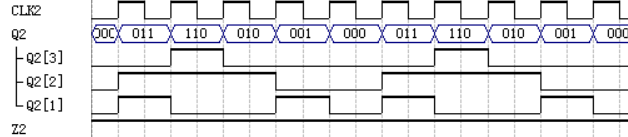
时序图：

逻辑功能：四进制减法计数器

(b)

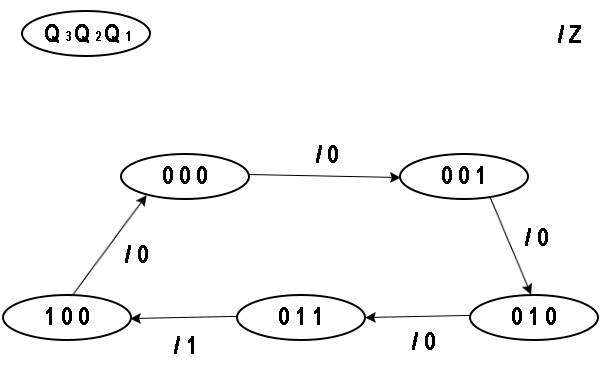
状态转换图：

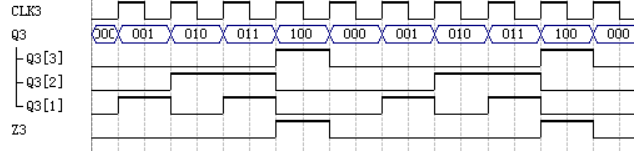


时序图：

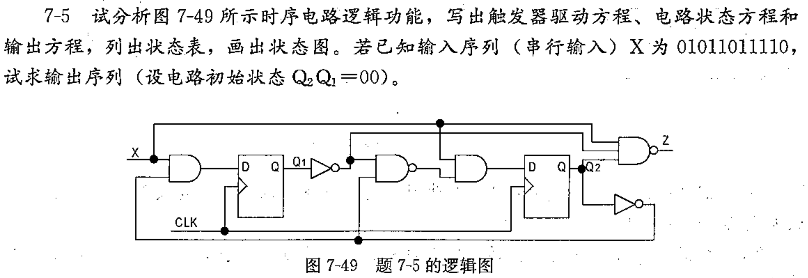
(c)

状态转换图：



时序图：

逻辑功能：五进制加法计数器



驱动方程： 

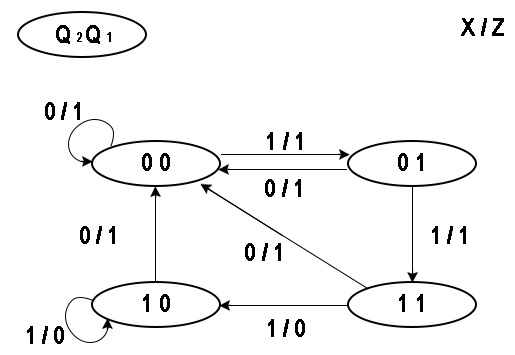
电路状态方程： 

输出方程：

状态表：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | 现态 | 次态 | 次态 | 输出 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 |

状态图：



输出序列：11111111001



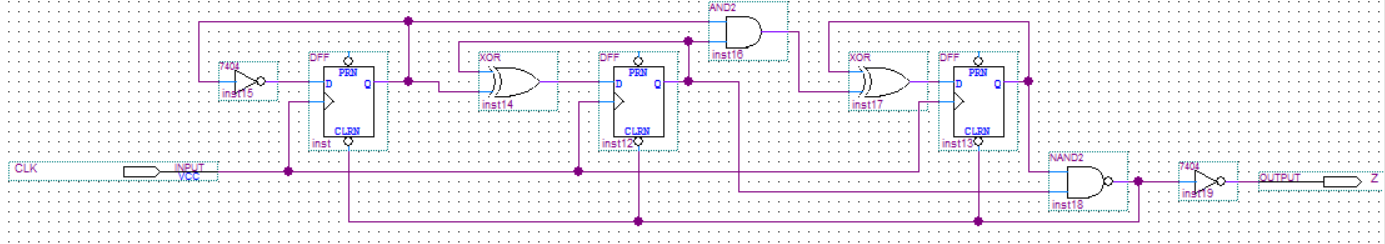
对于一个用D触发器构成的同步六进制计数器，D端驱动方程应当为

D触发器的状态方程为

输出方程为

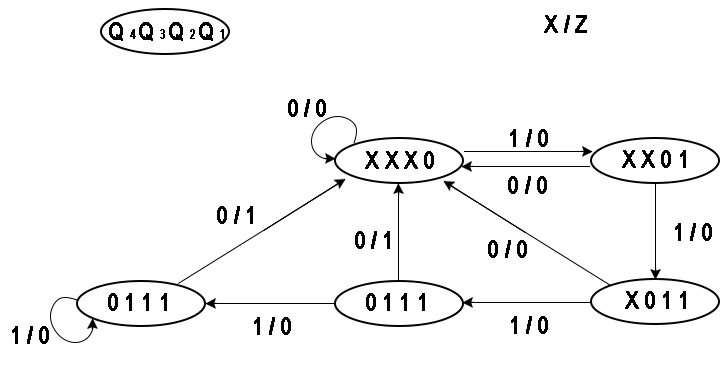
电路图：



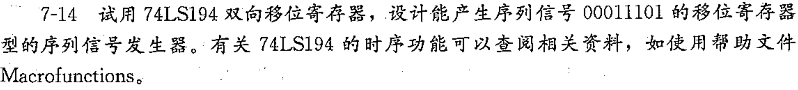
波形图：







|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | 现态 | 次态 | 输出 |
| 0 | XXX0 | XXX0 | 0 |
| 1 | XXX0 | XX01 | 1 |
| 0 | XX01 | X010 | 0 |
| 1 | XX01 | X011 | 0 |
| 0 | X011 | 0110 | 0 |
| 1 | X011 | 0111 | 0 |
| 0 | 0111 | 1110 | 1 |
| 1 | 0111 | 1111 | 0 |
| 0 | 1111 | 1110 | 1 |
| 1 | 1111 | 1111 | 0 |



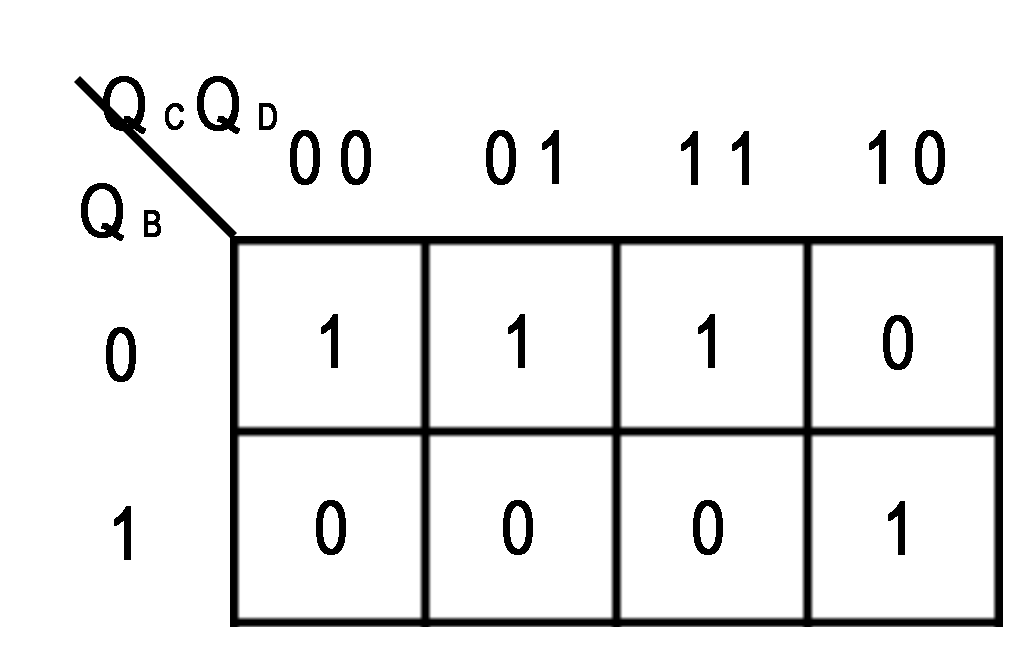
⑴ 确定所需的最少移存器位数K=3。

⑵ 确定K=3是否足够大。将给定序列信号00011101划分为5组3位码，每组移动一位，即有：000、001、011、111、110，由于没有重复状态，所以K=3已经足够大。

⑶ 列出状态转移表，求反馈函数的逻辑表达式。由各状态之间的转移变化规律可知，移位寄存器进行的是左移位操作。各状态的4位码分别对应移位寄存器74LS194的QB QC QD输出，其左移串行数据输入端SLSI接反馈函数，工作模式控制S1 S0=10。列出相应状态转移表，如下表所示。

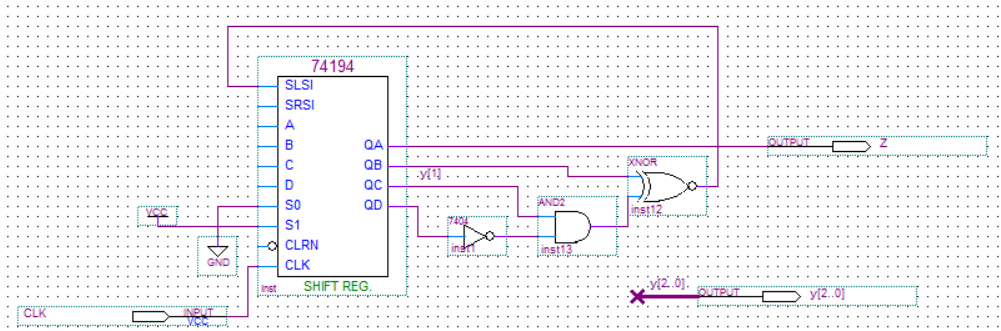
|  |  |  |  |
| --- | --- | --- | --- |
| QB | QC | QD | SRSL |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 |

反馈函数用门电路实现，根据状态转移表作反馈函数的卡诺图，如图所示。



⑷ 检查电路的自启动性能。由DSL的卡诺图可知，各无效状态的状态转移关系为：000→001→011→111→110→100→000电路可以自启动。

⑸ 画出电路逻辑图，如图。



在电路中，74LS194的QA端输出序列信号00011101。



实验

7-3设计一个能将信号延时800ns的延时电路

按照6.6节的设计原理和流程，设计一个8通道延时电路，要求能将信号延时800ns。给出设计电路，计算工作时钟的频率，根据仿真波形作说明，编程下载于FPGA中，在实验系统上实现硬件验证。最后完成实验报告。