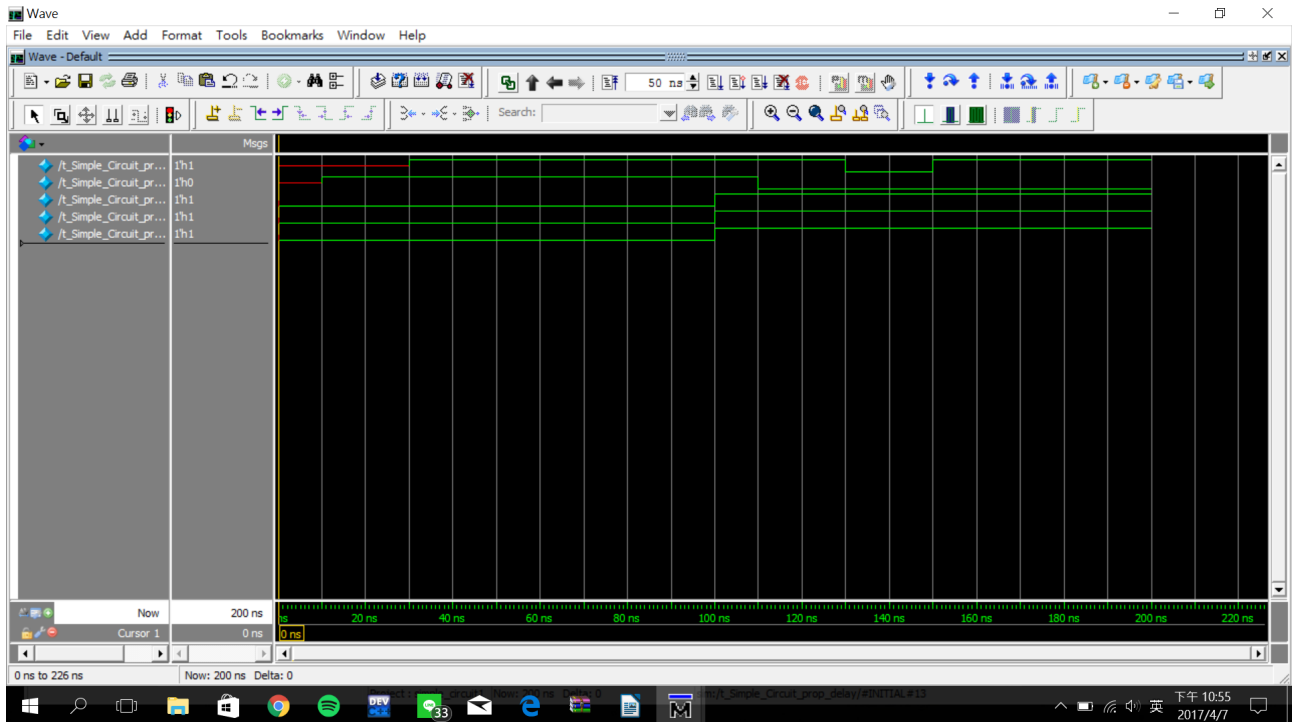


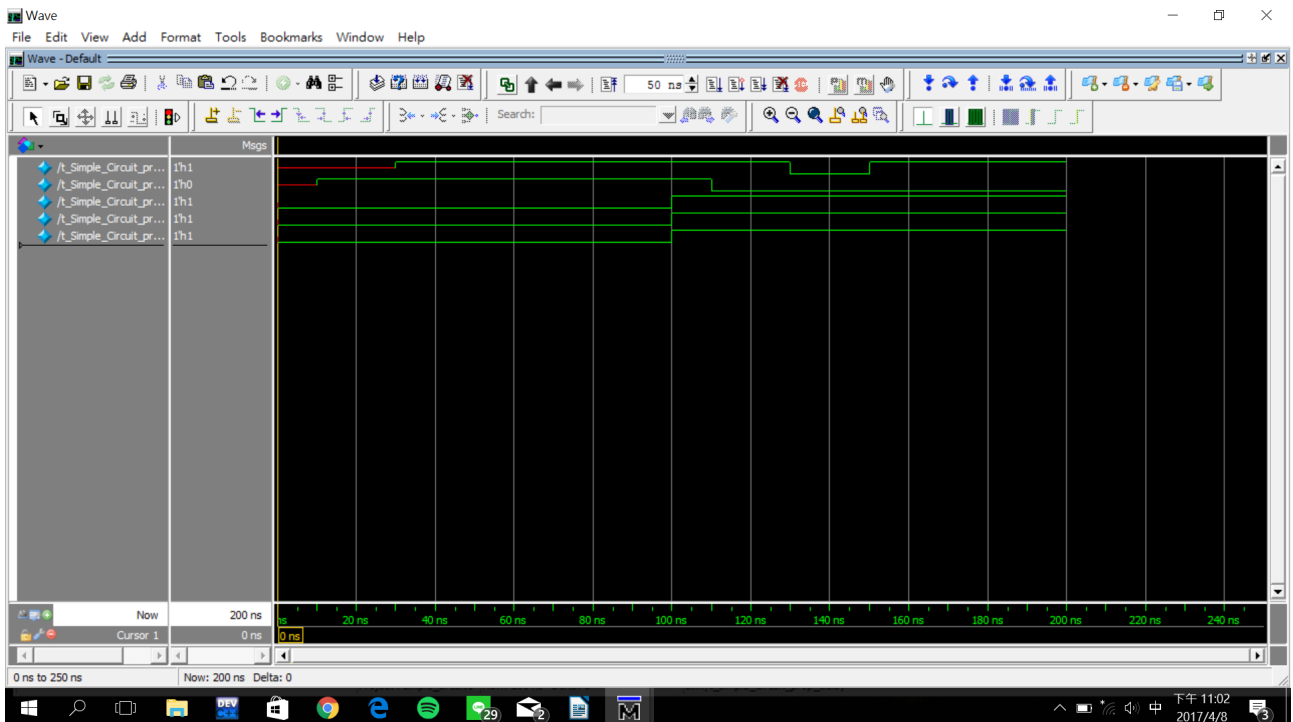
(1) 2A(a)之模擬結果波形圖，並說明與 Simple\_Circuit.v 之波形圖的差異。

前兩條波皆有 delay 現象。E 波因為 not delay 了 10 ns，後面波形下降晚了 10 ns。而 D 波因 not + or delay 30 ns，而導致後晚 30 ns 在 120 ns 時下降，130 ns 又因 and 比 not + or 多 delay 20 ns，所以才會下降後又上升。



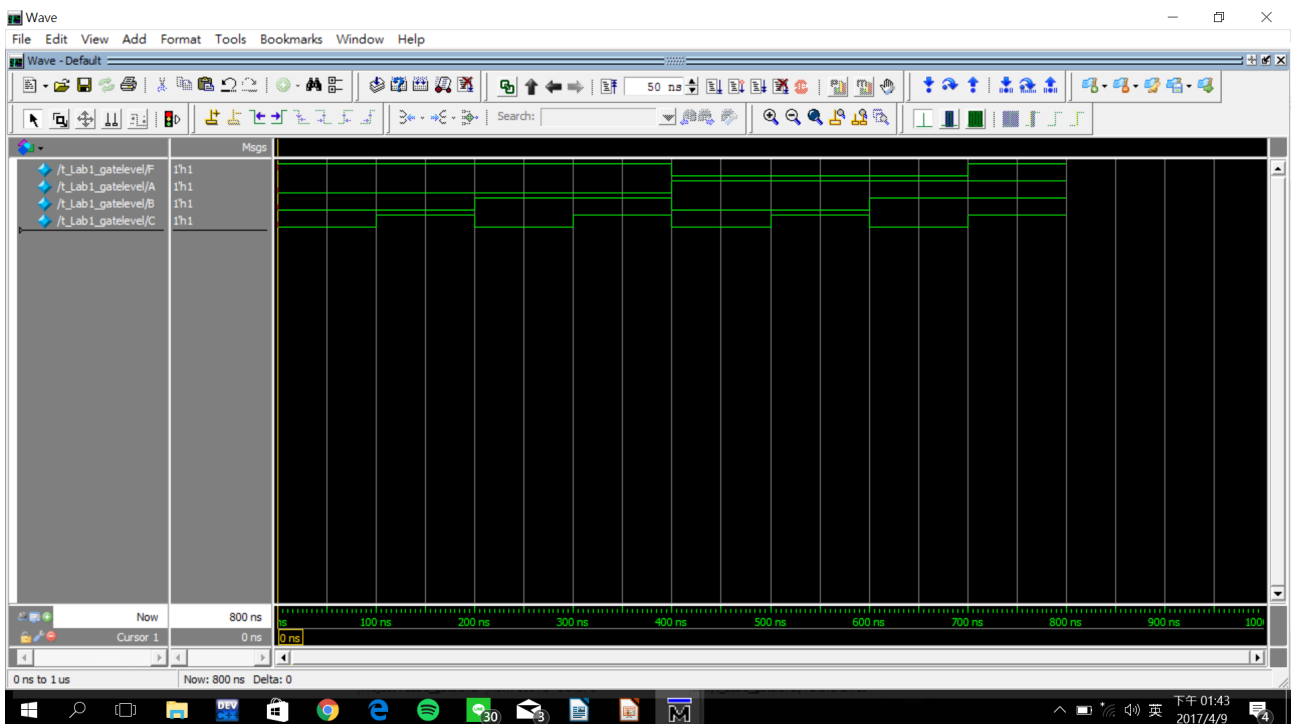
(2) 2A(b)之模擬結果波形圖，並說明與 2A(a)之波形圖是否有差異及原因。

無差異。因為 or, not 行順序改變不會影響結果。



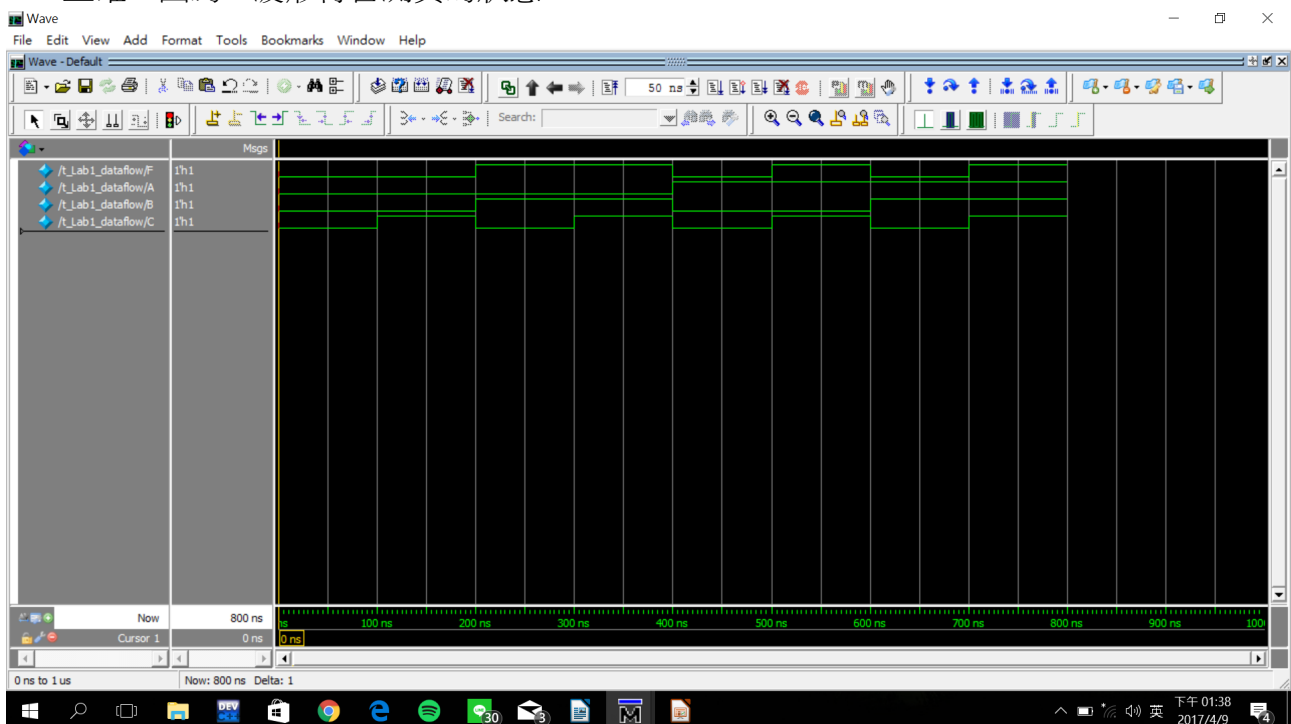
(3) 2B(a)之 gate-level modeling 模擬結果波形圖，並說明是否正確:

正確。每過 100 ns 皆會換一次測資，因不考慮 gate delay 因素，每次波形切換都會在時間點上。



(4) 2B(b)之 dataflow modeling 模擬結果波形圖，並說明是否正確。

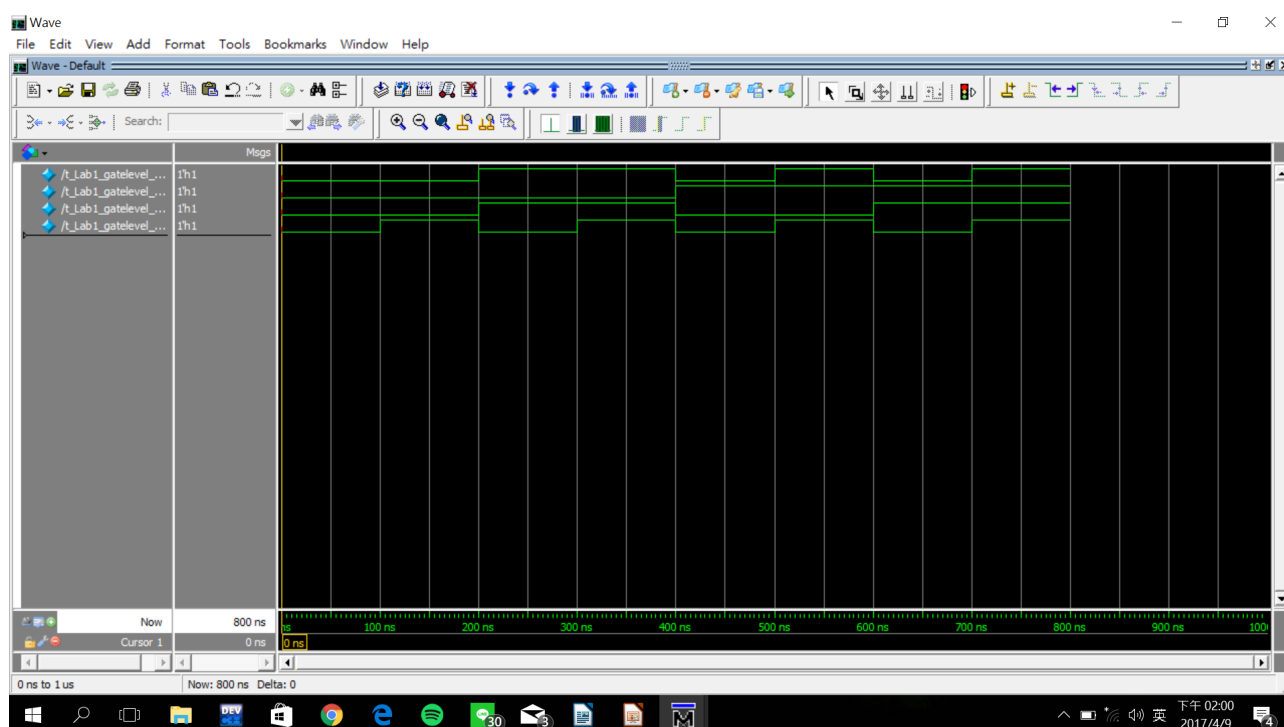
正確。因為 F 波形符合測資的狀態。



(5) 2B(c)之電路模擬結果波形圖，並說明是否正確。

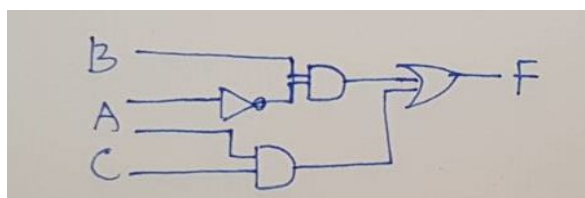
正確。由 true table 可得知虛線框內的結果和 B.C and 的結果 or 後與 F 波形相合。

A	B	C	w1
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



(6) 請判斷圖 1 之電路是否為該函式 gate input counts 最少之實作? 若是，請說明之；若否，則請推導出此函式 gate input count 最少的布林代數式，寫出 gate input count 數值，並以 AND、OR、NOT 邏輯閘畫出其電路圖。

否。  $F = A'B + AC$ 。 gate input count = 7。



(7) 心得與感想、及遭遇到的問題或困難。

因為對 HDL 實作的不熟悉與缺乏經驗值，在做的時候困難重重，需要一直是、查資料，對耐心的磨練有莫大的功效。一開始有很多的不清楚與模糊不確定性，即便上課教過的內容也會突然想不到或是無法通順的理解，很容易在小細節或打字時的錯誤造成無法 simulate，後面有漸漸進入狀況。