

密级状态: 绝密() 秘密() 内部() 公开(√)

RK322x

硬件设计指南

福州瑞芯微电子股份有限公司硬件开发中心

文档版本:	V1.0
编 写:	刘楚鸿
审 核:	周 勋
批 准:	胡秋平
发布日期:	2016-12-22



瑞芯微电子

WWW. ROCK-CHIPS. COM

Fuzhou Rockchips Semiconductor Limited Co. , Ltd

免责声明

您购买的产品、服务或特性等应受瑞芯微公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微公司对本文档内容不做任何明示或默示的声明或保证。由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子股份有限公司的商标，并归瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 福州市瑞芯微电子股份有限公司

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

福州市瑞芯微电子股份有限公司
Fuzhou Rockchips Semiconductor Limited Co., Ltd
地址：福建省福州市铜盘路软件园A区18号
网址：www.rock-chips.com
客户服务电话：+86-591-83991906
客户服务传真：+86-591-83951833
客户服务邮箱：fae@rock-chips.com

前言

概述

本文档主要介绍RK322x处理器硬件设计的要点及注意点，旨在帮助RK客户缩短产品的设计周期、保证产品的设计稳定性及降低故障率。请客户严格按照本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因模具原因确实需要修改核心模板的，设计规划阶段需得到RK工程师的确认。

芯片型号

本文档对应的芯片型号为：RK3228A、RK3228B、RK3229系列芯片，后续文档中所描述的**RK322x**均指前述三个芯片型号，不包含后续可能发布的其它以RK322开头的芯片。

适用对象

本文档主要适用于以下工程师：

- 硬件开发工程师
- 技术支持工程师
- 测试工程师

更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本号	修订者	修订说明
2016.12.19	V1.0	刘楚鸿	初稿，第一次正式版本发布；

Rockchip Confidential

缩略语

缩略语包括文档中常用词组的简称：

DDR	Double Data Rate	双倍速率同步动态随机存储器
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I ² C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MAC	Media Access Control	以太网数据链路层控制器
PHY	Physical Layer	以太网物理层控制器
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
RK	Rockchip Electronics Co., Ltd.	瑞芯微电子股份有限公司
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线
CVBS	Composite Video Broadcast Signal	复合视频信号

目录

前言	3
概述	3
芯片型号	3
适用对象	3
更新记录	4
缩略语	5
目录	6
插图目录	9
插表目录	11
1 系统概述	12
1.1 概述	12
1.2 功能概括	12
1.2.1 CPU	12
1.2.2 GPU	12
1.2.3 存储	12
1.2.4 多媒体	12
1.2.5 显示	12
1.2.6 外部接口	12
1.3 芯片框图	13
1.4 应用框图	13
1.4.1 应用框图	13
2 封装与管脚	14
2.1 封装	14
2.1.1 信息	14
2.1.2 丝印标识定义	14
2.1.3 封装尺寸	14
2.1.4 管脚分布	16
2.2 管脚排列表	20
2.2.1 信号管脚描述	20
2.2.2 电源与地管脚描述	35
2.3 GPIO类型介绍	36
2.3.1 GPIO类型	36
2.3.2 GPIO驱动能力	36
2.3.3 GPIO电源	36
3 原理图设计建议	37
3.1 最小系统设计	37
3.1.1 时钟电路	37
3.1.2 复位电路	37
3.1.3 JTAG Debug电路	37
3.1.4 DDR电路	37
3.1.5 eMMC电路	38
3.1.6 NAND FLASH电路	38
3.2 电源设计	39
3.2.1 电源介绍	39

3.2.2	电源设计建议	39
3.2.3	RK805-1方案介绍	43
3.2.4	电源峰值电流表	46
3.3	功能接口电路设计指南	46
3.3.1	存储卡电路	46
	SDIO/SDMMC PCB设计	47
	WIFI/BT设计	49
3.3.2	以太网口电路	50
3.3.3	USB电路	55
3.3.4	音视频电路	58
3.3.5	RECOVERY按键电路	63
3.3.6	Debug电路	64
4	最小系统设计建议	65
4.1	PCB叠层	65
4.1.1	4层板叠层	65
4.2	最小系统设计建议	65
4.2.1	Crystal设计	65
4.2.2	DDR设计	66
4.2.3	存储设计	68
4.3	RF信号PCB设计建议	71
4.3.1	天线电路	72
4.4	电源信号PCB设计建议	72
4.4.1	RK322x Power	72
4.4.2	PMIC	75
4.4.3	远端反馈补偿	78
5	热设计建议	80
5.1	热仿真结果	80
5.1.1	结果概要	80
5.1.2	术语解释	80
5.2	常用的散热方法	81
5.2.1	热量传导的三种常见方式	81
5.2.2	系统常见的散热方式	82
5.2.3	散热设计参考	82
5.2.4	散热片尺寸计算	82
5.3	芯片内部热控制方式	84
5.3.1	温度控制策略	84
5.3.2	温度控制配置	84
6	ESD/EMI防护设计	85
6.1	概述	85
6.2	术语解释	85
6.3	ESD防护	85
6.4	EMI防护	85
7	焊接工艺	86
7.1	概述	86
7.2	术语解释	86

7.3	回流焊要求	86
7.3.1	焊膏成分要求	86
7.3.2	SMT曲线	86
7.3.3	SMT建议曲线	87
8	包装和存放条件	88
8.1	概述	88
8.2	术语解释	88
8.3	防潮包装	88
8.4	产品存放	89
8.4.1	存放环境	89
8.4.2	存储期限	89
8.4.3	暴露时间	89
8.5	潮敏产品使用	89

Rockchip Confidential

插图目录

图 1 - 1 RK322x 框图.....	13
图 1 - 2 RK322x 应用框图	13
图 2 - 1 RK322x 丝印标识定义.....	14
图 2 - 2 RK322x 封装尺寸1.....	14
图 2 - 3 RK322x 封装尺寸2.....	15
图 2 - 4 RK322x 封装尺寸3.....	16
图 3 - 1 RK322x 晶体连接方式及器件参数.....	37
图 3 - 2 RK322x RESET电路.....	37
图 3 - 3 RK322x PLL电源	40
图 3 - 4 芯片VDD_CPU电源.....	40
图 3 - 5 RK322x 芯片VDD_ARM电源反馈	40
图 3 - 6 RK322x 芯片VDD_LOG电源	41
图 3 - 7 RK322x 芯片VDD_LOG电源的去耦	41
图 3 - 8 RK322x 芯片VDD_LOG电源反馈	41
图 3 - 9 RK322x 芯片DDR控制器电源.....	42
图 3 - 10 RK322x芯片DDR电源设计	42
图 3 - 11 RK322x DDR VREF电源设计	42
图 3 - 12 RK322x RK805-1 典型应用框图	43
图 3 - 13 RK322x RK805-1 电源架构	45
图 3 - 14 RK322x RK322X SDMMC模块电路	47
图 3 - 15 RK322x SDIO/SDMMC 走线要求	48
图 3 - 16 RK322x CLK用GND包地处理	48
图 3 - 17 SDMMC负载电容要求	49
图 3 - 18 SD卡负载电容	49
图 3 - 19 BT UART走线	49
图 3 - 20 BT PCM走线	50
图 3 - 21 千兆PHY MAC_CLK选择	51
图 3 - 22 RK322X RGMII复位	51
图 3 - 23 RK322x RGMII MDIO信号	52
图 3 - 24 RK322x 百兆网络信号	52
图 3 - 25 RK322X 数据差分对	53
图 3 - 26 RK322X 网口安全设计	53
图 3 - 27 差模防护管规格参数	54
图 3 - 28 RK322X 网口安全PCB设计	54
图 3 - 29 MAC CLK分支电阻	54
图 3 - 30 MAC 模块电源去耦电容	55
图 3 - 31 RK322X USB 2.0模块.....	56
图 3 - 32 USB DM/DP LAYOUT拐角方式	57
图 3 - 33 ESD器件布局方式	57
图 3 - 34 USB电源布局方式	58
图 3 - 35 参考平面必须完整	58
图 3 - 36 模拟音视频电路	59
图 3 - 37 同轴隔直参考电路	59
图 3 - 38 RK322x HDMI模块	60
图 3 - 39 HDMI CEC放倒灌电路	60
图 3 - 40 HDMI DDC电平转换电路	61
图 3 - 41 HDMI ESD电路	61
图 3 - 42 HDMI差分对LAYOUT方式	62
图 3 - 43 差分信号换层过孔放置示	62
图 3 - 44 RECOVERY按键电路	63
图 3 - 45 RECOVERY按键 LAYOUT布局	64
图 3 - 46 Debug电路	64

图 4 - 1 RK322x 4层板设计建议叠层结构	65
图 4 - 2 RK322x 晶体地环设计	66
图 4 - 3 DDR3 DATA信号拓扑等效电路	66
图 4 - 4 DDR3 CLK信号拓扑等效电路	67
图 4 - 5 DDR3 Control (CTL) 信号拓扑等效电路	67
图 4 - 6 DDR3 Command (CMD) 信号拓扑等效电路	68
图 4 - 7 EMMC IO电源选择	68
图 4 - 8 存储器主控端 IO电平适配选择	69
图 4 - 9 NAND FLASH典型应用电路	69
图 4 - 10 EMMC典型应用电路	70
图 4 - 11 开发阶段快速进烧写测试点	70
图 4 - 12 烧写相关测试点布局	71
图 4 - 13 RF天线布局	71
图 4 - 14 芯片下方完整的地平面	73
图 4 - 15 芯片下方GND过孔	73
图 4 - 16 芯片电源层	74
图 4 - 17 DDR下方参考面完整	75
图 4 - 18 电源去耦电容放置	75
图 4 - 19 PMIC下方过孔	76
图 4 - 20 DC-DC输入输出过孔	76
图 4 - 21 RTC时钟走线	77
图 4 - 22 DC-DC电感间距	77
图 4 - 23 LDO走线	78
图 4 - 24 PMIC反馈设计	78
图 4 - 25 PMIC反馈线走线	79
图 5 - 1 0 JA的定义	80
图 5 - 2 0 JC的定义	81
图 5 - 3 0 JB的定义	81
图 5 - 4 散热片散热结构	83
图 7 - 1 回流焊曲线分类	86
图 7 - 2 无铅工艺器件封装体耐热标准	86
图 7 - 3 无铅回流焊接工艺曲线	87
图 7 - 4 无铅回流焊接工艺建议曲线参数	87
图 8 - 1 RK322x 芯片干燥真空包装	88
图 8 - 2 六点湿度卡	89

插表目录

表 2 - 1 RK322x 封装信息	14
表 2 - 2 RK322x 信号管脚描述.....	20
表 2 - 3 RK22x 电源与地管脚描述	35
表 2 - 4 RK322x GPIO电源脚描述	36
表 3 - 1 RK322X 24MHz时钟要求	37
表 3 - 2 RK322x JTAG Debug接口信号	37
表 3 - 3 RK322x eMMC接口设计.....	38
表 3 - 4 RK322x NAND FLASH接口设计	38
表 3 - 5 RK322x 峰值电流表	46
表 3 - 6 RK322x SDMMC接口设计	47
表 3 - 7 RK322X SDIO/SDMMC走线要求	49
表 3 - 8 RK322x RGMII接口设计	51
表 3 - 9 RK322x RMII接口设计.....	52
表 3 - 10 RK322X USB2.0接口设计	56
表 3 - 11 RK322x HDMI走线要求	62
表 4 - 1 RK322X DDR3 Data (DQ/DM/DQS) 走线要求.....	66
表 4 - 2 RK322X DDR3 CLK走线要求.....	67
表 4 - 3 RK322x DDR3 Control (CTL) 走线要求	67
表 4 - 4 RK322x DDR3 Command (CMD) 走线要求	68
表 4 - 5 BT/WIFI天线指标	72
表 5 - 1 RK322X 热阻仿真报告结果	80
表 8 - 1 暴露时间参照表 (MSL)	89
表 8 - 2 Rebake参考表	89

1 系统概述

1.1 概述

RK322x是基于Cortex-A7架构，28nm工艺制程的低功耗高性能处理器，它包含4核Cortex-A7 ARM核及独立的NEON协处理器，内置百兆以太网，主要应用于OTT BOX及IPTV数字多媒体设备。

RK322x内置多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能。支持多格式视频编解码，高品质的JPEG编解码，以及特殊图像的预处理和后处理。包括h.264、h.265、vp9等格式的4Kx2K解码，尤其是支持H.264、H.265、VP9格式的10bits解码，以及h.264、mvc、vp8等格式的1080p@30fps编码。

RK322x内置Mali400 MP2 GPU，能够完全兼容OpenGL ES1.1/2.0、OpenCL 1.1等。高性能的MMU 2D硬解码器能最大限度地提高显示性能，提供流畅的体验操作。

RK322x具有高性能的32位DDR存储器接口，支持DDR3/DDR3L/LPDDR2/LPDDR3，能够提供高内存带宽，最大容量可支持2GB。

1.2 功能概括

1.2.1 CPU

- 4核Cortex-A7 ARM核
- 32KB+32KB 一级缓存；256KB二级缓存
- Trustzone安全技术支持

1.2.2 GPU

- 双核Mali400 高性能GPU
- OpenGL ES1.1/2.0、OpenCL 1.1等

1.2.3 存储

- 双通道DDR3-1600/DDR3L-1600/LPDDR2-800/LPDDR3-1333
- 支持eMMC 4.5.1、SDIO 3.0

1.2.4 多媒体

- 支持4K 10bit VP9/H265/H264 视频解码，VP9支持30fps, H264/H265高达60fps
- 1080P 多格式视频解码 (MPEG-1/2/4、VC-1、MVC、VP8)
- 1080P 视频编码，支持H.264、MVC、VP8格式
- 视频后期处理器：反交错、去噪、边缘/细节/色彩优化

1.2.5 显示

- 单路VOP显示：分辨率最高达4096x2160
- HDMI 2.0支持4K 60fps显示，支持HDCP 2.2
- 支持cvbs输出

1.2.6 外部接口

- 支持4路USB 2.0接口，其中USB0为OTG/HOST兼容接口，固件烧写使用此接口，其它三组均为HOST接口
- 支持内置百兆以太网
- 支持8路数字麦克风阵列输入
- 支持SPDIF及同轴输出
- 支持IR输入
- 支持SD2.0 扩展卡
- 支持HDMI 2.0输出*1;CVBS输出*1

1.3 芯片框图

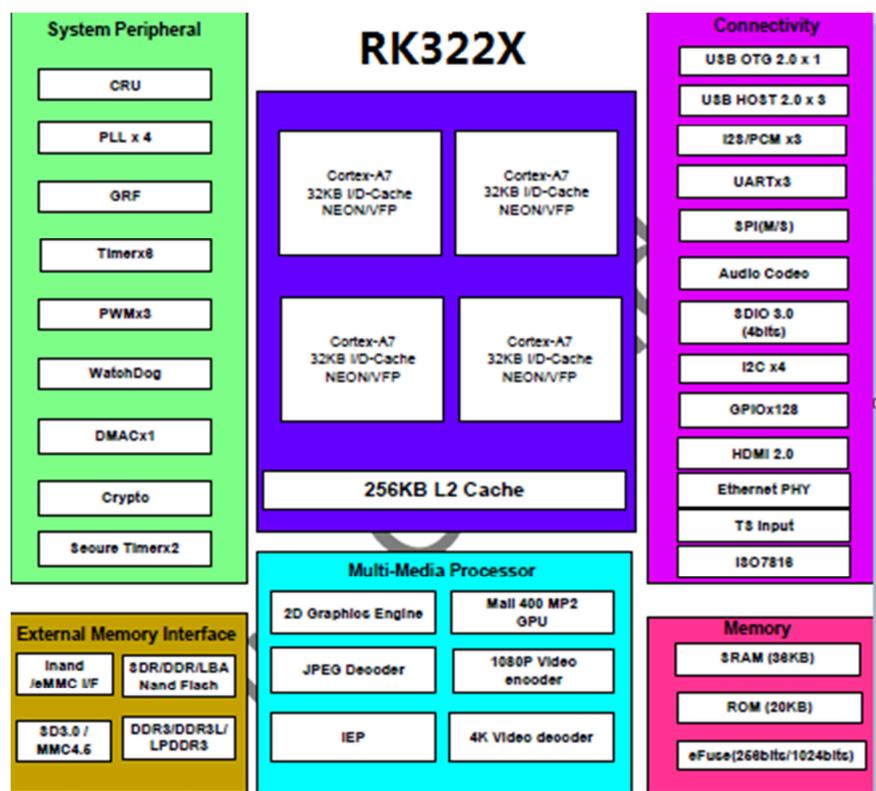


图 1 - 1 RK322x 框图

1.4 应用框图

1.4.1 应用框图

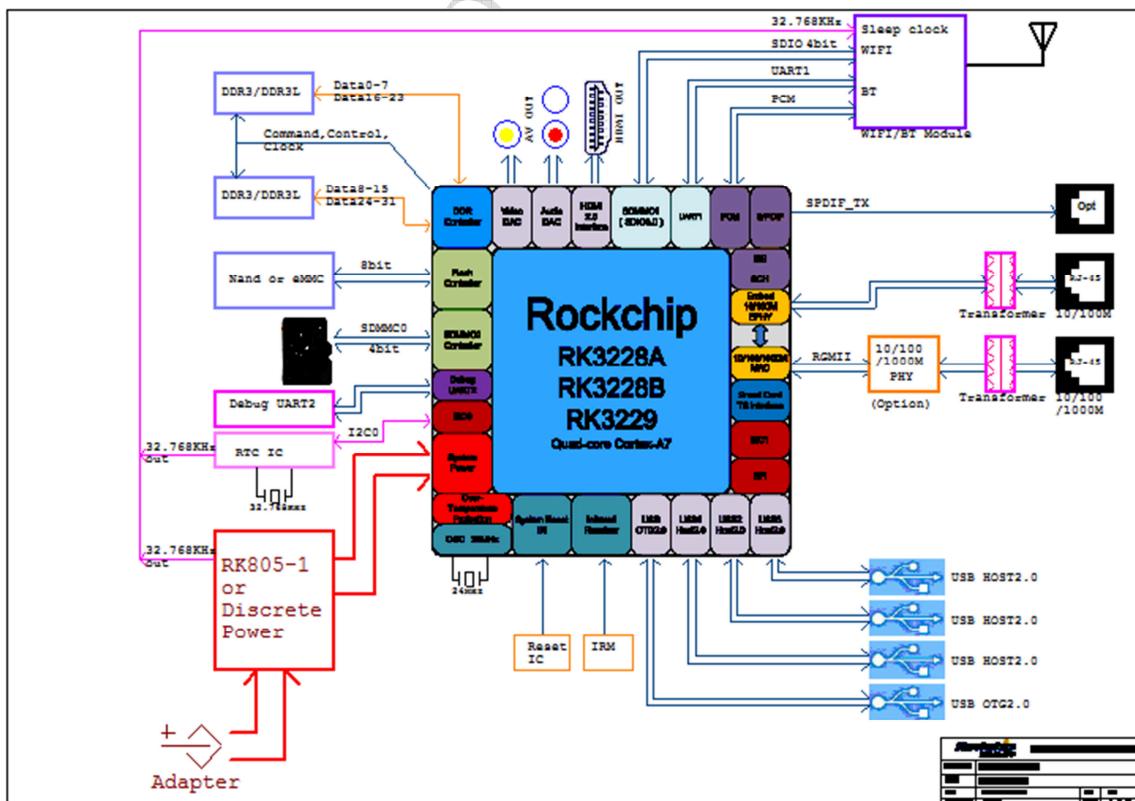


图 1 - 2 RK322x 应用框图

2 封装与管脚

2.1 封装

2.1.1 信息

RK322x芯片的封装信息如表2-1所示：

表 2 - 1 RK322x封装信息

Orderable Device	RoHS Status	Package	Package Qty	Device special feature
RK322x	Pb-Free	BGA316	1190	Cortex A7

2.1.2 丝印标识定义

RK322x芯片的表面丝印标识图2-1所示：

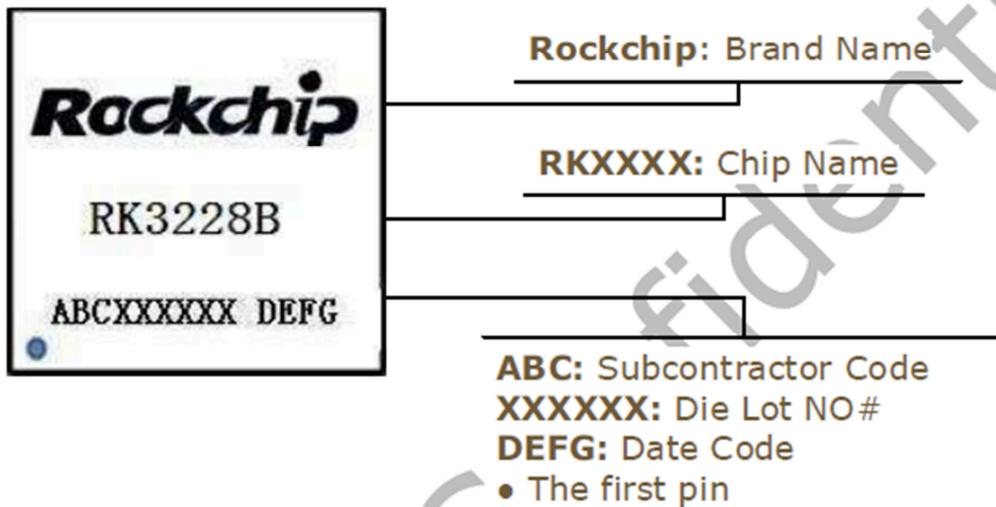


图 2 - 1 RK322x 丝印标识定义

2.1.3 封装尺寸

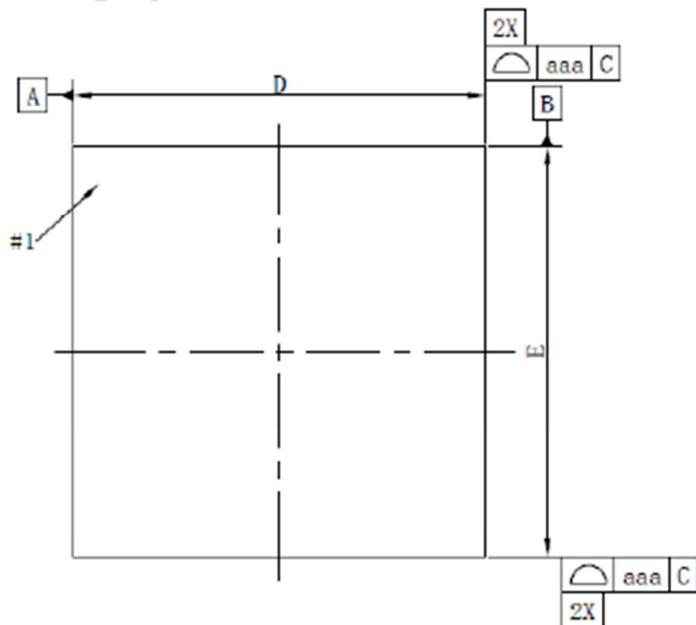


图 2 - 2 RK322x 封装尺寸1

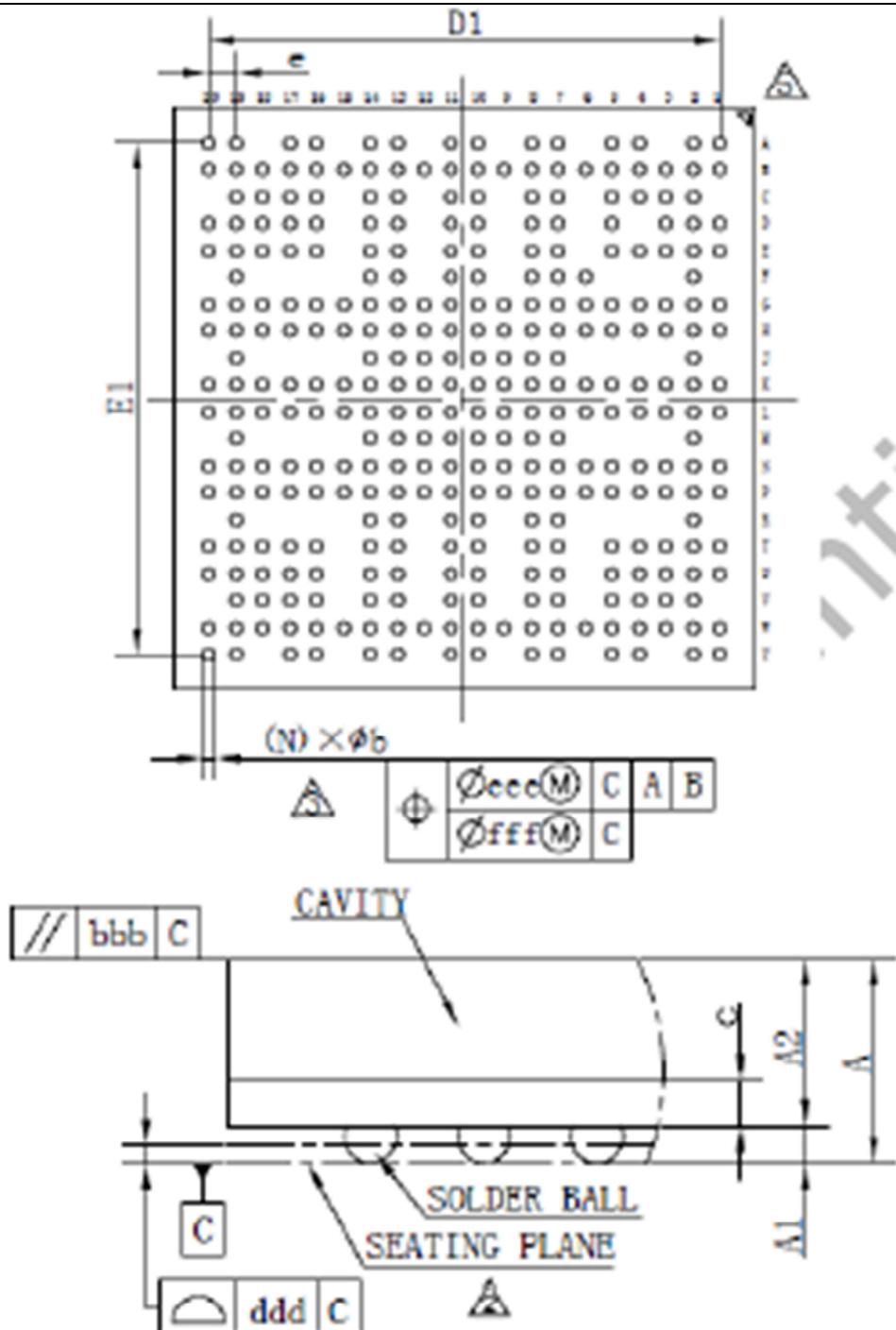


Fig.2-1RK3228BBGA316 Package Top View and bottom view



Fig.2-2RK3228B BGA316 Package Side View

图 2 - 3 RK322x 封装尺寸2

symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	—	—	1.270	—	—	0.050
A1	0.160	0.210	0.260	0.006	0.008	0.010
A2	0.910	0.960	1.010	0.036	0.038	0.040
c	0.220	0.260	0.300	0.009	0.010	0.012
D	13.900	14.000	14.100	0.547	0.551	0.555
E	13.900	14.000	14.100	0.547	0.551	0.555
D1	—	12.350	—	—	0.486	—
E1	—	12.350	—	—	0.486	—
e	—	0.650	—	—	0.026	—
b	0.250	0.300	0.350	0.010	0.012	0.014
aaa	0.150			0.006		
bbb	0.200			0.008		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.080			0.003		
N	316			316		
MD/ME	20/20			20/20		

图 2-4 RK322x 封装尺寸3



注意

基准C是由锡球的球形冠所定义的。

尺寸b的测量基于锡球的最大直径，平行于基准C。

2.1.4 管脚分布

	1	2	3	4	5	6	7	8	9	10
A	DDR_CSND	DDR_A4	NP	DDR_A1	DDR_A15	NP	DDR_DQ3	DDR_DQS0	NP	DDR_DQ10
B	DDR_CLK	DDR_ODT0	DDR_CKE	DDR_A12	DDR_A14	DDR_CSN1	DDR_DM0	DDR_DQS0_N	DDR_DQ18	DDR_DQ4
C	NP	DDR_CLK_N	VSS47	DDR_A10	DDR_A11	NP	VSS1	DDR_DQ7	NP	VSS2
D	DDR_A0	DDR_A3	DDR_BA2	NP	DDR_WEN	NP	DDR_BA0	DDR_A8	NP	DDR_DQ6
E	DDR_A9	DDR_A2	DDR_RASN	DDR_A7	DDR_A5	NP	DDR_CSN	DDR_BA1	NP	DDR_DQ20
F	NP	DDR_DQ10	NP	NP	NP	DDR_RESET_N	DDR_A6	DDR_DQ1	NP	DDR_DQ22
G	DDR_A13	DDR_ODT1	VSS3	DDR_DQ26	DDR_DQ9	DDR_DQ8	CVDD1	DDR_VDD5	DDR_VDD6	CVDD6

11	12	13	14	15	16	17	18	19	20	
DDR_DQS2	NP	DDR_DQ23	DDR_DQ0	NP	NC6	CODEC_VCM	NP	GPIO0_D1/U ART2_CTSN	GPIO0_D6/S DMMC1_FW RPWM1	A
DDR_DQ32_N	DDR_DQ21	DDR_DQ6	VSS15	CODEC_AOR	NC7	CODEC AOL	NC3	GPIO1_B4/S PI_CSNI/PW M2	GPIO0_A6/H DMI_SCLI2C 3_SCL	B
DDR_DQ17	NP	VSS7	NC8	NP	NC2	GPIO0_D0/U ART2_RTSN/ OTP	GPIO3_C6/D RIVE_VBUS	GPIO0_C4/H DMI_CEC	NP	C
DDR_DM2	NP	CODEC_AVD D_1V0	CODEC_AVS 9	NP	NC4	GPIO0_A3/I2 C1_SDA/SDM MC1_CMD	GPIO1_B7/S DMM C0_CM D	GPIO3_C4	GPIO0_A0/I2 C0_SCL	D
DDR_DQ19	NP	GPIO0_B7/H DMI_HPD	NC1	NP	NC5	GPIO0_A1/I2 C0_SDA	GPIO1_A1/S DMMC1_D0	GPIO1_A2/S DMMC1_D1/I 2SDI01	GPIO1_A0/S DMMC1_CLK 0	E
DDR_DQ2	NP	GPIO3_C5/P WM0	GPIO0_A7/H DMI_SDA/I2C 3_SDA	NP	NP	NP	NP	GPIO0_A2/I2 C1_SCL	NP	F
DDR_VDD7	DDR_VDD8	VSS6	VCCIO4	GPIO1_A3	GPIO1_A4/S DMMC1_D2/I 2SDI02	GPIO1_A5/S DMMC1_D3/I 2SDI03	GPIO1_B3/U ART1_RTSN/I R	GPIO1_B0/U ART1_CTSN/ 32K_OUT	GPIO3_C7	G

H	DDR_DQS1	DDR_DQ31_N	DDR_DQ12	DDR_DM1	DDR_DQ28	DDR_DQ11	DDR_VDD4	VSS8	VSS9	VSS10
J	NP	DDR_DQ13	NP	NP	NP	NP	DDR_VDD3	VSS16	VSS17	VSS18
K	DDR_DQ15	DDR_DQ14	VSS4	DDR_DQ24	DDR_DQ27	DDR_DQ29	CVDD2	VSS14	VSS22	VSS23
L	DDR_DQS3	DDR_DQ33_N	DDR_DM3	DDR_DQ25	DDR_DQ30	DDR_DQ31	DDR_VDD2	VSS26	VSS27	VSS28
M	NP	VSS5	NP	NP	NP	NP	DDR_VDD1	VSS33	VSS34	VSS35
N	XIN24M	XOUT24M	A/GPLL_DVD D_1V0	C/GPLL_DVD D_1V0	PLL_AVDD_1 V8	VCC01	VSS40	VSS41	VSS42	VSS43
P	GPIO2_C2/G MAC_TXD1/T S_D1	GPIO2_C3/G MAC_TXD0/T S_D0	GPIO2_C5/I2 C2_SCL/GMA C_RXD2/CAR D_RST	GPIO2_C7/G MAC_TXD3/C ARD_IO	GPIO2_C6/G MAC_TXD2/C ARD_DET	GPIO2_D0/G MAC_COL/TS _D5	AVSS1	AVSS2	NC9	CVDD3
R	NP	GPIO2_C1/G MAC_RXD0/T S_D2	NP	NP	NP	NP	NC10	FEPHY_AVD D_1V0	NP	EFUSE

VSS11	VSS12	VSS13	C/DD5	TEST	GPIO0_B4/I2 S0_LRCK_TX	GPIO0_B0/I2 S0_MCLK	GPIO1_B1/U ART1_TX/U/A RT2_TX	GPIO1_B2/U ART1_RX/U/A RT2_RX	GPIO1_C0/S DMMCO_CLK0	H
VSS19	VSS20	VSS21	C/DD4	NP	NP	NP	NP	GPIO0_B3/I2 S0_LRCK_RX /SPI_TXD	NP	J
VSS39	VSS24	VSS25	VCCIO3	GPIO1_C3/S DMMCO_D1/ UART2_RX	GPIO1_C4/S DMMCO_D2/J TAG_TCK	GPIO2_A4/FL ASH_ROV/E MMC_CMD	GPIO3_D7/T EST_CLK0/S PDIF	GPIO0_B6/I2 S0_SDI/SPI_ CSN0	GPIO0_B1/I2 S0_SCLK/SPI_ CLK	K
VSS29	VSS30	VSS31	VSS32	GPIO2_A3/FL ASH_RDN/SPI I_CSN1	GPIO2_A5/FL ASH_CS0	GPIO0_C7/FL ASH_CS1/SPI I_CLK	GPIO1_C2/S DMMCO_D0/ UART2_TX	GPIO1_A7/S DMMCO_WP	GPIO0_B5/I2 S0_SDO/SPI_ RXD	L
VSS36	VSS37	VSS38	AVDD5	NP	NP	NP	NP	GPIO1_C5/S DMMCO_D3/J TAG_TMS	NP	M
VSS44	VSS45	VSS46	AVDD4	GPIO1_D6/FL ASH_D6/EM MC_D6	GPIO2_A0/FL ASH_ALE/SPI _RXD	GPIO2_A1/FL ASH_CLE/SPI _TXD	GPIO1_B0/S DMMCO_PW R	GPIO2_A7/FL ASH_DQS/E MMC_CLK0	NPOR	N
GPIO3_D4	AVDD1	AVDD2	AVDD3	GPIO0_C1/U ART0_RTSN/ CLK_OUT1	GPIO1_D0/FL ASH_D0/EM MC_D0	GPIO1_D7/FL ASH_D7/EM MC_D7	GPIO1_D4/FL ASH_D4/EM MC_D4	GPIO1_C7/FL ASH_CS3/EM MC_RST	GPIO2_A2/FL ASH_WRN/S FI_CSN0	P
USB0_ID	NP	GPIO3_A5/S DMMCO1_D3	GPIO3_A6/U ART1_RTSN	NP	NP	NP	NP	GPIO1_D5/FL ASH_D5/EM MC_D5	NP	R

T	GPIO2_B7/G MAC_RXER/ TS_D6	GPIO2_D1/G MAC_MDC/T S_D4	GPIO2_C0/G MAC_RXD1/T S_D3	GPIO2_C4/I2 C2_SDA/GM AC_RXD3/CA RD_CLK	GPIO2_B1/G MAC_TXCLK/ TS_VALID	NP	VDAC_AVDD _1V8	AVSS7	NP	USB_AVDD_ 3/V3
U	GPIO2_B3/G MAC_RXCLK/ TS_CLK	GPIO2_B5/G MAC_TXEN/T S_D7	GPIO2_B4/G MAC_MDO/T S_SYNC	GPIO2_B6/G MAC_CLK/M AC_LINK	GPIO2_B0/G MAC_RXDV/ MAC_SPEED	NP	NC11	VDAC_REF	NP	GPIO3_D1
V	NP	HDMI_AVDD _1V8	AVSS8	HDMI_AVDD _1V0	GPIO2_B2/G MAC_CRS/T S_FAIL	NP	VDAC_IOUT	FEPHY_EXT RES	NP	USB_EXTR1
W	HDMI_TXCN	HDMI_TX0N	HDMI_EXTR	HDMI_TX1N	HDMI_TX2N	AVSS3	FEPHY_TXP	FEPHY_RXP	AVSS4	FEPHY_TES T_ATP
Y	HDMI_TXOP	HDMI_TX0P	NP	HDMI_TX1P	HDMI_TX2P	NP	FEPHY_TXN	FEPHY_RXN	NP	FEPHY_AVD D_1V6
	1	2	3	4	5	6	7	8	9	10

USB_DVDD_1/0	NP	GPIO3_A4/S DMMC1_D2	VCCIO2	NP	GPIO3_A7/U ART1_CTSN	GPIO0_D3/P WM1/PCM_TX	GPIO2_D2/U ART0_RX	GPIO1_D2/FL ASH_D2/EM MC_D2	GPIO1_D3/FL ASH_D3/EM MC_D3	T
USB0_VBUS	NP	GPIO3_B4/P CM_SYNC	GPIO3_C1/D RIVE_VBUS	NP	GPIO3_B6/U ART1_TX	GPIO3_A0/S DMMC1_CLK0	GPIO0_D2/P WM0/PCM_RX	GPIO1_C6/FL ASH_CS2/EM MC_CMD	GPIO1_D1/FL ASH_D1/EM MC_D1	U
USB_EXTR0	NP	GPIO3_B7/CLK_OUT0	GPIO0_D4/P WM2	NP	GPIO3_A3/S DMMC1_D1	GPIO3_A1/S DMMC1_CM0	GPIO3_B5/U ART1_RX	GPIO2_A5/FL ASH_WP/EM MC_PWR	NP	V
USB3_DP	AVSS6	USB2_DP	USB1_DP	AVSS5	USB0_DP	GPIO3_A2/S DMMC1_D0	GPIO3_D2/IR	GPIO1_C1/S DMMC0_DET	GPIO2_D5/U ART0_CTSN	W
USB3_DM	NP	USB2_DM	USB1_DM	NP	USB0_DM	GPIO2_D3/U ART0_RX	NP	GPIO3_D3/S PDIF	GPIO3_B3/P CM_CLK	Y
11	12	13	14	15	16	17	18	19	20	

2.2 管脚排列表

2.2.1 信号管脚描述

表 2-2 RK322x 信号管脚描述

IO Domain	RK322x pin number	Pin Name	Pad type	Default IO Pull	Default Current	Default function Sch Net Name	Defual function description	function 1	function 1 description	function 2	function 2 description
Part A											
PLL Power	N4	C/DPLL_DVDD_1V0	AP	N/A		VDD_10	CPLL,DPLL Power supply				
	N3	A/GPLL_DVDD_1V0	AP	N/A		VDD_10	APLL,GPLL Power supply				
	N5	PLL_AVDD_1V8	AP	N/A		VCC_18	PLL IO Power supply				
OSC PLL_1V0	N2	XOUT24M	O	N/A		XOUT24M	Oscillator 24MHz clock output				
	N1	XIN24M	I	N/A		XIN24M	Oscillator 24MHz clock input				
Efuse	R10	EFUSE	AP	N/A		Efuse	EFUSE Power supply				
Part B											
VCCIO1	P5	GPIO2_C6/GMAC_TX_D2/CARD_DET_d	I/O	down	8mA			MAC_TXD2	Transmit Data 2	CARD_DET	Smart card Detection input
	P4	GPIO2_C7/GMAC_TX_D3/CARD_IO_d	I/O	down	8mA			MAC_TXD3	Transmit Data 3	CARD_IO	Smart card IO
	P3	GPIO2_C5/I2C2_SCL/GMAC_RXD2/CARD_RST_d	I/O	down	8mA			MAC_RXD2	Receive Data 2	CARD_RST	Smart card reset output
	T4	GPIO2_C4/I2C2_SDA/GMAC_RXD3/CARD_CLK_d	I/O	down	8mA			MAC_RXD3	Receive Data 3	CARD_CLK	Smart card Clock
	P2	GPIO2_C3/GMAC_TX_D0/TS_D0_d	I/O	down	8mA			MAC_TXD0	Transmit Data 0	TS_D0	TS Data0
	P1	GPIO2_C2/GMAC_TX_D1/TS_D1_d	I/O	down	8mA			MAC_TXD1	Transmit Data 1	TS_D1	TS Data1
	R2	GPIO2_C1/GMAC_RX_D0/TS_D2_d	I/O	down	8mA			MAC_RXD0	Receive Data 0	TS_D2	TS Data2
	T3	GPIO2_C0/GMAC_RX_D1/TS_D3_d	I/O	down	8mA			MAC_RXD1	Receive Data 1	TS_D3	TS Data3
	T2	GPIO2_D1/GMAC_MD_C/TS_D4_d	I/O	down	8mA			MAC_MDC	Management Data Clock.	TS_D4	TS Data4
	P6	GPIO2_D0/GMAC_CO_L/TS_D5_d	I/O	down	8mA			EPHY_RST	Reset output for Ethernet PHY	TS_D5	TS Data5
	T1	GPIO2_B7/GMAC_RX_ER/TS_D6_d	I/O	down	8mA			MAC_RXER	Receive Error	TS_D6	TS Data6
	U2	GPIO2_B5/GMAC_TXE	I/O	down	8mA			MAC_TXEN	Transmit enable	TS_D7	TS Data7

	N/TS_D7_d									
U3	GPIO2_B4/GMAC_MD IO/TS_SYNC_d	I/O	down	8mA			MAC_MDIO	Management Data Input Output	TS_SYNC	TS packet synchronization signal
U1	GPIO2_B3/GMAC_RX CLK/TS_CLK_d	I/O	down	8mA			MAC_RXCLK	Receive Clock	TS_CLK	TS clock Input
V5	GPIO2_B2/GMAC_CR S/TS_FAIL_d	I/O	down	8mA					TS_FAIL	TS packet error indication
T5	GPIO2_B1/GMAC_TX CLK/TS_VALID_d	I/O	down	8mA			MAC_TXCLK	Transmit Clock	TS_VALID	TS Data valid indication
U4	GPIO2_B6/GMAC_CLK /MAC_LINK_d	I/O	down	8mA	MAC_LINK	Link LED enable	MAC_CLK	Reference clock Input/Output		
U5	GPIO2_B0/GMAC_RX DV/MAC_SPEED_d	I/O	down	8mA	MAC_SPEED	Speed LED enable	MAC_RXDV	Receive data valid		
N6	VCCIO1	P	N/A		VCCIO1	3.3V	VCCIO1	3.3V	VCCIO1	3.3V
Part C										
U17	GPIO3_A0/SDMMC1_ CLK0_d	I/O	down	8mA	SDMMC1_CLK0	for WIFI module				
V17	GPIO3_A1/SDMMC1_ CMD_u	I/O	up	8mA	SDMMC1_CMD	for WIFI module				
W17	GPIO3_A2/SDMMC1_ D0_u	I/O	up	8mA	SDMMC1_D0	for WIFI module				
V16	GPIO3_A3/SDMMC1_D 1_u	I/O	up	8mA	SDMMC1_D1	for WIFI module				
T13	GPIO3_A4/SDMMC1_D 2_u	I/O	up	8mA	SDMMC1_D2	for WIFI module				
R13	GPIO3_A5/SDMMC1_D 3_u	I/O	up	8mA	SDMMC1_D3	for WIFI module				
R14	GPIO3_A6/UART1_RT SN_d	I/O	down	4mA	UART1_RTSN	for BT module				
T16	GPIO3_A7/UART1_CT SN_d	I/O	down	4mA	UART1_CTSN	for BT module				
U13	GPIO3_B4/PCM_SYNC _d	I/O	down	4mA	PCM_SYNC	for BT module				
V18	GPIO3_B5/UART1_RX_ d	I/O	down	4mA	UART1_RX	for BT module				
U16	GPIO3_B6/UART1_TX_ d	I/O	down	4mA	UART1_TX	for BT module				
V13	GPIO3_B7/CLK_OUT0 _d	I/O	down	8mA	CLK_OUT0	Reference clock Output for WIFI				
Y20	GPIO3_B3/PCM_CLK_ d	I/O	down	4mA	PCM_CLK	for BT module				
U14	GPIO3_C1/DRIVE_VB US_d	I/O	down	8mA	STANDBY MCU	STANDBY to MCU				
U18	GPIO0_D2/PWM0/PC M_RX_d	I/O	down	4mA	PCM_RX	for BT module				

T17	GPIO0_D3/PWM1/PCM_TX_d	I/O	down	4mA	PCM_TX	for BT module					
V14	GPIO0_D4/PWM2_u	I/O	up	8mA	WIFI_HOST_WAKE	WIFI wake up CPU					
W19	GPIO1_C1/SDMMC0_DET_u	I/O	up	4mA	SDMMC0_DET	SDMMC0 detect input for SD/TF Card					
W20	GPIO2_D5/UART0_CT_SN_d	I/O	down	4mA	BT_RST	BT module reset output					
Y17	GPIO2_D3/UART0_RX_d	I/O	down	4mA	GPIO2_D3						
T18	GPIO2_D2/UART0_TX_d	I/O	down	4mA	WIFI_REG_ON	WIFI module power enable output					
Y19	GPIO3_D3/SPDIF_u	I/O	up	4mA	BT_WAKE	CPU wake up BT module					
W18	GPIO3_D2/IR_u	I/O	up	4mA	BT_HOST_WAKE	BT module wake up CPU					
T14	VCCIO2	P	N/A		VCCIO2	3.3V or 1.8V					
Part D											
V19	GPIO2_A5/FLASH_WP /EMMC_PWR_d	I/O	down	8mA	FLASH_WP	EMMC_PWR					
U19	GPIO1_C6/FLASH_CS2/EMMC_CMD_u	I/O	up	8mA	FLASH_CS2	EMMC_CMD					
P19	GPIO1_C7/FLASH_CS3/EMMC_RST_u	I/O	up	8mA	FLASH_CS3						
P16	GPIO1_D0/FLASH_D0 /EMMC_D0_u	I/O	up	8mA	FLASH_D0	EMMC_D0					
U20	GPIO1_D1/FLASH_D1 /EMMC_D1_u	I/O	up	8mA	FLASH_D1	EMMC_D1					
T19	GPIO1_D2/FLASH_D2 /EMMC_D2_u	I/O	up	8mA	FLASH_D2	EMMC_D2					
T20	GPIO1_D3/FLASH_D3 /EMMC_D3_u	I/O	up	8mA	FLASH_D3	EMMC_D3					
P18	GPIO1_D4/FLASH_D4 /EMMC_D4_u	I/O	up	8mA	FLASH_D4	EMMC_D4					
R19	GPIO1_D5/FLASH_D5 /EMMC_D5_u	I/O	up	8mA	FLASH_D5	EMMC_D5					
N15	GPIO1_D6/FLASH_D6 /EMMC_D6_u	I/O	up	8mA	FLASH_D6	EMMC_D6					
P17	GPIO1_D7/FLASH_D7 /EMMC_D7_u	I/O	up	8mA	FLASH_D7	EMMC_D7					
N16	GPIO2_A0/FLASH_AL_E/SPI_RXD_d	I/O	down	8mA	FLASH_ALE						
N17	GPIO2_A1/FLASH_CL_E/SPI_TXD_d	I/O	down	8mA	FLASH_CLE						
P20	GPIO2_A2/FLASH_WR	I/O	up	8mA	FLASH_WRN						

	N/SPI_CSNO_u										
L15	GPIO2_A3/FLASH_RD N/SPI_CS1_u	I/O	up	8mA	FLASH_RDN						
K17	GPIO2_A4/FLASH_RD Y/EMMC_CMD_u	I/O	up	8mA	FLASH_RDY						
L16	GPIO2_A6/FLASH_CS 0_u	I/O	up	8mA	FLASH_CS0						
N19	GPIO2_A7/FLASH_DQ S/EMMC_CLKO_u	I/O	up	8mA	FLASH_DQS	EMMC_CLKO					
L17	GPIO0_C7/FLASH_CS 1/SPI_CLK_u	I/O	up	8mA	FLASH_CS1						
K14	VCCIO3	P	N/A		VCCIO3	3.3V or 1.8V					
Part E											
H15	TEST_d	I/O	down		TEST						
N20	NPOR_u	I/O	up		NPOR						
P9	NC9	N/A	N/A		NC						
P11	GPIO3_D4_d	I/O	down	4mA	FLASH_VOL_SE L	Flash default power supply voltage select for boot					
U10	GPIO3_D1_u	I/O	up	4mA	RECOVER	RECOVER detection					
N18	GPIO1_B6/SDMMC0_ PWR_d	I/O	down	4mA	SDMMC0_PWR	SDMMC0 power control for SD/TF Card					
M19	GPIO1_C5/SDMMC0_ D3/JTAG_TMS_u	I/O	up	8mA	SDMMC0_D3	SDMMC0 data3 port for SD/TF Card	JTAG_TMS				
K16	GPIO1_C4/SDMMC0_ D2/JTAG_TCK_u	I/O	up	8mA	SDMMC0_D2	SDMMC0 data2 port for SD/TF Card	JTAG_TCK				
K15	GPIO1_C3/SDMMC0_ D1/UART2_RX_u	I/O	up	8mA	SDMMC0_D1	SDMMC0 data1 port for SD/TF Card					
L18	GPIO1_C2/SDMMC0_ D0/UART2_TX_u	I/O	up	8mA	SDMMC0_D0	SDMMC0 data0 port for SD/TF Card					
K19	GPIO0_B6/I2S0_SDI/ SPI_CSNO_u	I/O	up	4mA	I2S0_SDI	I2S port, for audio part	SPI_CSNO				
L20	GPIO0_B5/I2S0_SDO /SPI_RXD_u	I/O	up	4mA	I2S0_SDO	I2S port, for audio part	SPI_RXD				
H16	GPIO0_B4/I2S0_LRC K_TX_u	I/O	up	4mA	I2S0_LRCK_TX	I2S port, for audio part					
J19	GPIO0_B3/I2S0_LRC K_RX/SPI_TXD_u	I/O	up	4mA	I2S0_LRCK_RX	I2S port, for audio part	SPI_TXD				
K20	GPIO0_B1/I2S0_SCL K/SPI_CLK_u	I/O	up	4mA	I2S0_SCLK	I2S port, for audio part	SPI_CLK_				
H17	GPIO0_B0/I2S0_MCL K_u	I/O	up	4mA	I2S0_MCLK	I2S port, for audio part					
L19	GPIO1_A7/SDMMC0_ WP_d	I/O	down	4mA	STBY_PWREN	standby output					
A20	GPIO0_D6/SDMMC1_	I/O	down	4mA	ARM_DVS	ARM core power					

	PWR/PWM1_d					voltage contral				
H20	GPIO1_C0/SDMMC0_CLKO_d	I/O	down	8mA	SDMMC0_CLKO	SDMMC0 clock output for SD/TF Card				
D18	GPIO1_B7/SDMMC0_CMD_u	I/O	up	8mA	SDMMC0_CMD	SDMMC0 command output for SD/TF Card				
G18	GPIO1_B3/UART1_RT_SN/IR_u	I/O	up	4mA	IR_RX	Infrared receiver data input				
H19	GPIO1_B2/UART1_RX /UART2_RX_u	I/O	up	4mA	UART2_RX	Uart2 for Debug				
H18	GPIO1_B1/UART1_TX /UART2_TX_u	I/O	up	4mA	UART2_TX	Uart2 for Debug				
G19	GPIO1_B0/UART1_CT SN/32K_OUT_u	I/O	up	4mA	32K_OUT	32.768KHz clock Output				
G17	GPIO1_A5/SDMMC1_D3/I2S0_SDIO3_u	I/O	up	4mA	I2S0_SDIO3	I2S port, for audio part				
G16	GPIO1_A4/SDMMC1_D2/I2S0_SDIO2_u	I/O	up	4mA	I2S0_SDIO2	I2S port, for audio part				
G15	GPIO1_A3_d	I/O	down	4mA	MUTE_CTL	Mute enable				
E19	GPIO1_A2/SDMMC1_D1/I2S0_SDIO1_u	I/O	up	4mA	I2S0_SDIO1	I2S port, for audio part				
E18	GPIO1_A1/SDMMC1_D0_u	I/O	up	4mA	PMIC_SLEEP	PMIC sleep control output				
E20	GPIO1_A0/SDMMC1_CLKO_d	I/O	down	4mA	PMIC_INT	PMIC interrupt input				
P15	GPIO0_C1/UART0_RT_SN/CLK_OUT1_u	I/O	up	4mA	CLK_OUT1	Reference clock Output for EPHY				
D17	GPIO0_A3/I2C1_SDA/SDMMC1_CMD_u	I/O	up	4mA	I2C1_SDA	I2C serial port 1,need external pull-up	GPIO0_A3			
F19	GPIO0_A2/I2C1_SCL_u	I/O	up	4mA	I2C1_SCL	I2C serial port 1,need external pull-up	GPIO0_A2			
E17	GPIO0_A1/I2C0_SDA_u	I/O	up	4mA	I2C0_SDA	I2C serial port 0,need external pull-up				
D20	GPIO0_A0/I2C0_SCL_u	I/O	up	4mA	I2C0_SCL	I2C serial port 0,need external pull-up				
B19	GPIO1_B4/SPI_CS1/PWM2_u	I/O	up	4mA	LOG_DVS	GPU logic power voltage contral				
A19	GPIO0_D1/UART2_CT_SN/EFUSE_PWREN_u	I/O	up	4mA	EFUSE_PWREN	eFUSE Power enable output				
C17	GPIO0_D0/UART2_RT_SN/OTP_u	I/O	up	4mA	OTP	Over-temperature protection output				

	C19	GPIO0_C4/HDMI_CEC_u	I/O	up	4mA	HDMI_CEC	HDMI CEC				
	F14	GPIO0_A7/HDMI_SDA/I2C3_SDA_u	I/O	up	4mA	HDMI_SDA	HDMI I2C serial port,need external pull-up				
	B20	GPIO0_A6/HDMI_SCL/I2C3_SCL_u	I/O	up	4mA	HDMI_SCL	HDMI I2C serial port,need external pull-up				
	E13	GPIO0_B7/HDMI_HPD_d	I/O	down	4mA	HDMI_HPD	HDMI Hot Plug Detection input				
	K18	GPIO3_D7/TEST_CLK_O/SPDIF_d	I/O	down	4mA	SPDIF_TX	Digital audio optical output				
	G20	GPIO3_C7_u	I/O	up	4mA	PWR_KEY	Power key detect input				
	C18	GPIO3_C6/DRIVE_VBUS_d	I/O	down	4mA	OTG_DRV	OTG host power contral ouput				
	F13	GPIO3_C5/PWM0_d	I/O	down	4mA	LED_CTL	Power led control				
	D19	GPIO3_C4_d	I/O	down	4mA	HOST_DRV	USB host power contral ouput				
	G14	VCCIO4	P	N/A		VCCIO4	3.3V				
	Part F										
AV OUT	A17	CODEC_VCM	A	N/A		CODEC_VCM	Connect a 4.7uF capacitance to VSS.				
	B17	CODEC_AOL	A	N/A		CODEC_AOL	Left channel output				
	B15	CODEC_AOR	A	N/A		CODEC_AOR	Right channel output				
	E14	NC1	A	N/A							
	C16	NC2	A	N/A							
	B18	NC3	A	N/A							
	D16	NC4	A	N/A							
	E16	NC5	A	N/A							
	A16	NC6	A	N/A							
	B16	NC7	A	N/A							
	C14	NC8	A	N/A							
	D13	CODEC_AVDD_1V8	AP	N/A		CODEC_AVDD_1.8V	CODEC power supply 1.8V				
	D14	CODEC_AVSS	AG	N/A		CODEC_AVSS	CODEC GND				
	V7	VDAC_IOUT	A	N/A		VDAC_IOUT	VDAC Output CVBS				
	U7	NC11	A	N/A							
	U8	VDAC_IREF	A	N/A		VDAC_IREF	VDAC reference current generate				
	T7	VDAC_AVDD_1V8	AP	N/A		VDAC_AVDD_1.8V	VDAC power supply 1.8V				
	T8	AVSS7	AG	N/A		VDAC_AGND	VDAC GND				
	Part G										

HDMI	W1	HDMI_TXCN	A	N/A		HDMI_TXCN	HDMI differential pixel clock negative				
	Y1	HDMI_TXCP	A	N/A		HDMI_TXCP	HDMI differential pixel clock positive				
	W2	HDMI_TX0N	A	N/A		HDMI_TX0N	HDMI channel 0 differential serial data negative				
	Y2	HDMI_TX0P	A	N/A		HDMI_TX0P	HDMI channel 0 differential serial data positive				
	W4	HDMI_TX1N	A	N/A		HDMI_TX1N	HDMI channel 1 differential serial data negative				
	Y4	HDMI_TX1P	A	N/A		HDMI_TX1P	HDMI channel 1 differential serial data positive				
	W5	HDMI_TX2N	A	N/A		HDMI_TX2N	HDMI channel 2 differential serial data negative				
	Y5	HDMI_TX2P	A	N/A		HDMI_TX2P	HDMI channel 2 differential serial data positive				
	W3	HDMI_EXTR	A	N/A		HDMI_EXTR	HDMI reference current generate				
	V2	HDMI_AVDD_1V8	AP	N/A		HDMI_AVDD_1V8	HDMI power supply 1.8V				
	V4	HDMI_AVDD_1V0	AP	N/A		HDMI_AVDD_1V0	HDMI power supply 1.0V				
Part H											
10/100 M Ethernet PHY	W7	FEPHY_TXP	A	N/A							
	Y7	FEPHY_TXN	A	N/A							
	W8	FEPHY_RXP	A	N/A							
	Y8	FEPHY_RXN	A	N/A							
	W10	FEPHY_TEST_ATP	A	N/A							
	V8	FEPHY_EXTRES	A	N/A							
	Y10	FEPHY_AVDD_1V8	AP	N/A							
	R7	NC10	N/A	N/A							
	R8	FEPHY_AVDD_1V0	AP	N/A							
Part I											
USB PHY	Y16	USB0_DM	A	N/A		USB0_DM	USB0 Data Minus port				
	W16	USB0_DP	A	N/A		USB0_DP	USB0 Data Plus port				
	R11	USB0_ID	A	N/A		USB0_ID	USB0 ID detect input				
	U11	USB0_VBUS	A	N/A		USB0_VBUS	USB connected				

						detect input				
Y14	USB1_DM	A	N/A		USB1_DM	USB1 Data Minus port				
W14	USB1_DP	A	N/A		USB1_DP	USB1 Data Plus port				
V11	USB_EXTR0	A	N/A		USB_EXTR0	USB0/1 Reference external resistance				
Y13	USB2_DM	A	N/A		USB2_DM	USB2 Data Minus port				
W13	USB2_DP	A	N/A		USB2_DP	USB2 Data Plus port				
Y11	USB3_DM	A	N/A		USB3_DM	USB3 Data Minus port				
W11	USB3_DP	A	N/A		USB3_DP	USB3 Data Plus port				
V10	USB_EXTR1	A	N/A		USBB_EXTR1	USB2/3 Reference external resistance				
T10	USB_AVDD_3V3	AP	N/A		USB_AVDD_3V3	USB 3.3V analog positive supply				
T11	USB_DVDD_1V0	AP	N/A		USB_DVDD_1V0	USB 1.0V analog core supply				
Part J										
DDR PHY	A14	DDR_DQ0	I/O	N/A	DDR_DQ0	DRAM data port				
	F8	DDR_DQ1	I/O	N/A	DDR_DQ1	DRAM data port				
	F11	DDR_DQ2	I/O	N/A	DDR_DQ2	DRAM data port				
	A7	DDR_DQ3	I/O	N/A	DDR_DQ3	DRAM data port				
	B10	DDR_DQ4	I/O	N/A	DDR_DQ4	DRAM data port				
	D10	DDR_DQ5	I/O	N/A	DDR_DQ5	DRAM data port				
	B13	DDR_DQ6	I/O	N/A	DDR_DQ6	DRAM data port				
	C8	DDR_DQ7	I/O	N/A	DDR_DQ7	DRAM data port				
	B7	DDR_DQM0	I/O	N/A	DDR_DQM0	DRAM data mask 0				
	A8	DDR_DQS0	I/O	N/A	DDR_DQS0	DRAM data strobe 0 positive				
	B8	DDR_DQS0n	I/O	N/A	DDR_DQS0n	DRAM data strobe 0 negative				
	G6	DDR_DQ8	I/O	N/A	DDR_DQ8	DRAM data port				
	G5	DDR_DQ9	I/O	N/A	DDR_DQ9	DRAM data port				
	F2	DDR_DQ10	I/O	N/A	DDR_DQ10	DRAM data port				
	H6	DDR_DQ11	I/O	N/A	DDR_DQ11	DRAM data port				
	H3	DDR_DQ12	I/O	N/A	DDR_DQ12	DRAM data port				
	J2	DDR_DQ13	I/O	N/A	DDR_DQ13	DRAM data port				
	K2	DDR_DQ14	I/O	N/A	DDR_DQ14	DRAM data port				
	K1	DDR_DQ15	I/O	N/A	DDR_DQ15	DRAM data port				
	H4	DDR_DQM1	I/O	N/A	DDR_DQM1	DRAM data mask 1				
	H1	DDR_DQS1	I/O	N/A	DDR_DQS1	DRAM data strobe 1 positive				

H2	DDR_DQS1n	I/O	N/A		DDR_DQS1n	DRAM data strobe 1 negative				
A10	DDR_DQ16	I/O	N/A		DDR_DQ16	DRAM data port				
C11	DDR_DQ17	I/O	N/A		DDR_DQ17	DRAM data port				
B9	DDR_DQ18	I/O	N/A		DDR_DQ18	DRAM data port				
E11	DDR_DQ19	I/O	N/A		DDR_DQ19	DRAM data port				
E10	DDR_DQ20	I/O	N/A		DDR_DQ20	DRAM data port				
B12	DDR_DQ21	I/O	N/A		DDR_DQ21	DRAM data port				
F10	DDR_DQ22	I/O	N/A		DDR_DQ22	DRAM data port				
A13	DDR_DQ23	I/O	N/A		DDR_DQ23	DRAM data port				
D11	DDR_DQM2	I/O	N/A		DDR_DQM2	DRAM data mask 2				
A11	DDR_DQS2	I/O	N/A		DDR_DQS2	DRAM data strobe 2 positive				
B11	DDR_DQS2n	I/O	N/A		DDR_DQS2n	DRAM data strobe 2 negative				
K4	DDR_DQ24	I/O	N/A		DDR_DQ24	DRAM data port				
L4	DDR_DQ25	I/O	N/A		DDR_DQ25	DRAM data port				
G4	DDR_DQ26	I/O	N/A		DDR_DQ26	DRAM data port				
K5	DDR_DQ27	I/O	N/A		DDR_DQ27	DRAM data port				
H5	DDR_DQ28	I/O	N/A		DDR_DQ28	DRAM data port				
K6	DDR_DQ29	I/O	N/A		DDR_DQ29	DRAM data port				
L5	DDR_DQ30	I/O	N/A		DDR_DQ30	DRAM data port				
L6	DDR_DQ31	I/O	N/A		DDR_DQ31	DRAM data port				
L3	DDR_DQM3	I/O	N/A		DDR_DQM3	DRAM data mask 3				
L1	DDR_DQS3	I/O	N/A		DDR_DQS3	DRAM data strobe 3 positive				
L2	DDR_DQS3n	I/O	N/A		DDR_DQS3n	DRAM data strobe 3 negative				
D1	DDR_A0	O	N/A		DDR_A0	DRAM address port				
A4	DDR_A1	O	N/A		DDR_A1	DRAM address port				
E2	DDR_A2	O	N/A		DDR_A2	DRAM address port				
D2	DDR_A3	O	N/A		DDR_A3	DRAM address port				
A2	DDR_A4	O	N/A		DDR_A4	DRAM address port				
E5	DDR_A5	O	N/A		DDR_A5	DRAM address port				
F7	DDR_A6	O	N/A		DDR_A6	DRAM address port				
E4	DDR_A7	O	N/A		DDR_A7	DRAM address port				
D8	DDR_A8	O	N/A		DDR_A8	DRAM address port				
E1	DDR_A9	O	N/A		DDR_A9	DRAM address port				
C4	DDR_A10	O	N/A		DDR_A10	DRAM address port				
C5	DDR_A11	O	N/A		DDR_A11	DRAM address port				
B4	DDR_A12	O	N/A		DDR_A12	DRAM address port				
G1	DDR_A13	O	N/A		DDR_A13	DRAM address port				
B5	DDR_A14	O	N/A		DDR_A14	DRAM address port				
A5	DDR_A15	O	N/A		DDR_A15	DRAM address port				
D7	DDR_BA0	O	N/A		DDR_BA0	DRAM bank select 0				
E8	DDR_BA1	O	N/A		DDR_BA1	DRAM bank select 1				

D3	DDR_BA2	O	N/A		DDR_BA2	DRAM bank select 2				
A1	DDR_CSN0	O	N/A		DDR_CSN0	DRAM chip select 0				
B6	DDR_CSN1	O	N/A		DDR_CSN1	DRAM chip select 1				
B2	DDR_ODT0	O	N/A		DDR_ODT0	DRAM on die termination control 0				
G2	DDR_ODT1	O	N/A		DDR_ODT1	DRAM on die termination control 1				
B1	DDR_CLK	O	N/A		DDR_CLK	DRAM differential clock positive output				
C2	DDR_CLKn	O	N/A		DDR_CLKn	DRAM differential clock negative output				
B3	DDR_CKE	O	N/A		DDR_CKE	DRAM clock enable				
E3	DDR_RASn	O	N/A		DDR_RASn	DRAM row address strobe output				
E7	DDR_CASn	O	N/A		DDR_CASn	DRAM column address strobe output				
D5	DDR_WEn	O	N/A		DDR_WEn	DRAM write enable strobe output				
F6	DDR_RESETn	O	N/A		DDR_RESETn	DRAM reset output				
M7	DDR_VDD1	P	N/A		VCC_DDR	DDR PHY power supply				
L7	DDR_VDD2	P	N/A		VCC_DDR	DDR PHY power supply				
J7	DDR_VDD3	P	N/A		VCC_DDR	DDR PHY power supply				
H7	DDR_VDD4	P	N/A		VCC_DDR	DDR PHY power supply				
G8	DDR_VDD5	P	N/A		VCC_DDR	DDR PHY power supply				
G9	DDR_VDD6	P	N/A		VCC_DDR	DDR PHY power supply				
G11	DDR_VDD7	P	N/A		VCC_DDR	DDR PHY power supply				
G12	DDR_VDD8	P	N/A		VCC_DDR	DDR PHY power supply				
Part K										
ARM Core Power	P12	AVDD1	P	N/A	VDD_CPU	ARM core power supply				
	P13	AVDD2	P	N/A	VDD_CPU	ARM core power supply				
	P14	AVDD3	P	N/A	VDD_CPU	ARM core power				

						supply					
	N14	AVDD4	P	N/A		VDD_CPU	ARM core power supply				
	M14	AVDD5	P	N/A		VDD_CPU	ARM core power supply				
GPU Logic Power	G7	CVDD1	P	N/A		VDD_LOG	GPU/Logic core power supply				
	K7	CVDD2	P	N/A		VDD_LOG	GPU/Logic core power supply				
	P10	CVDD3	P	N/A		VDD_LOG	GPU/Logic core power supply				
	J14	CVDD4	P	N/A		VDD_LOG	GPU/Logic core power supply				
	H14	CVDD5	P	N/A		VDD_LOG	GPU/Logic core power supply				
	G10	CVDD6	P	N/A		VDD_LOG	GPU/Logic core power supply				
Part L											
Ground	C7	VSS1	G	N/A		GND	Common ground and substrate connection				
	C10	VSS2	G	N/A		GND	Common ground and substrate connection				
	G3	VSS3	G	N/A		GND	Common ground and substrate connection				
	K3	VSS4	G	N/A		GND	Common ground and substrate connection				
	M2	VSS5	G	N/A		GND	Common ground and substrate connection				
	G13	VSS6	G	N/A		GND	Common ground and substrate connection				
	C13	VSS7	G	N/A		GND	Common ground and substrate connection				
	P8	AVSS2	G	N/A		GND	Common ground and substrate connection				
	W6	AVSS3	G	N/A		GND	Common ground and substrate connection				
	W9	AVSS4	G	N/A		GND	Common ground				

						and substrate connection				
W15	AVSS5	G	N/A		GND	Common ground and substrate connection				
W12	AVSS6	G	N/A		GND	Common ground and substrate connection				
P7	AVSS1	G	N/A		GND	Common ground and substrate connection				
V3	AVSS8	G	N/A		GND	Common ground and substrate connection				
H8	VSS8	G	N/A		GND	Common ground and substrate connection				
H9	VSS9	G	N/A		GND	Common ground and substrate connection				
H10	VSS10	G	N/A		GND	Common ground and substrate connection				
H11	VSS11	G	N/A		GND	Common ground and substrate connection				
H12	VSS12	G	N/A		GND	Common ground and substrate connection				
H13	VSS13	G	N/A		GND	Common ground and substrate connection				
K8	VSS14	G	N/A		GND	Common ground and substrate connection				
B14	VSS15	G	N/A		GND	Common ground and substrate connection				
J8	VSS16	G	N/A		GND	Common ground and substrate connection				
J9	VSS17	G	N/A		GND	Common ground and substrate connection				
J10	VSS18	G	N/A		GND	Common ground and substrate				

						connection				
J11	VSS19	G	N/A		GND	Common ground and substrate connection				
J12	VSS20	G	N/A		GND	Common ground and substrate connection				
J13	VSS21	G	N/A		GND	Common ground and substrate connection				
K9	VSS22	G	N/A		GND	Common ground and substrate connection				
K10	VSS23	G	N/A		GND	Common ground and substrate connection				
K12	VSS24	G	N/A		GND	Common ground and substrate connection				
K13	VSS25	G	N/A		GND	Common ground and substrate connection				
L8	VSS26	G	N/A		GND	Common ground and substrate connection				
L9	VSS27	G	N/A		GND	Common ground and substrate connection				
L10	VSS28	G	N/A		GND	Common ground and substrate connection				
L11	VSS29	G	N/A		GND	Common ground and substrate connection				
L12	VSS30	G	N/A		GND	Common ground and substrate connection				
L13	VSS31	G	N/A		GND	Common ground and substrate connection				
L14	VSS32	G	N/A		GND	Common ground and substrate connection				
M8	VSS33	G	N/A		GND	Common ground and substrate connection				

M9	VSS34	G	N/A		GND	Common ground and substrate connection				
M10	VSS35	G	N/A		GND	Common ground and substrate connection				
M11	VSS36	G	N/A		GND	Common ground and substrate connection				
M12	VSS37	G	N/A		GND	Common ground and substrate connection				
M13	VSS38	G	N/A		GND	Common ground and substrate connection				
K11	VSS39	G	N/A		GND	Common ground and substrate connection				
N7	VSS40	G	N/A		GND	Common ground and substrate connection				
N8	VSS41	G	N/A		GND	Common ground and substrate connection				
N9	VSS42	G	N/A		GND	Common ground and substrate connection				
N10	VSS43	G	N/A		GND	Common ground and substrate connection				
N11	VSS44	G	N/A		GND	Common ground and substrate connection				
N12	VSS45	G	N/A		GND	Common ground and substrate connection				
N13	VSS46	G	N/A		GND	Common ground and substrate connection				
C3	VSS47	G	N/A		GND	Common ground and substrate connection				



注意

Pad types:I=input, 0=output, I/O=input/output (bidirectional)

Output Drive strength is configurable, it's the suggested value in this table. Unit is mA , only Digital IO have drive value

Reset state(def): I = input without any pull resistor 0 = output

PD/PU:PU=pull up; PD=pull down

INT: “√” int function

Rockchip Confidential

2. 2. 2 电源与地管脚描述

表 2 - 3 RK22x 电源与地管脚描述

Group	Ball#	Descriptions
GND	B14, C3,C7,C10,C13, G3,G13, H8,H9,H10,H11,H12,H13, J8,J9,J10,J11,J12,J13, K3,K8,K9,K10,K11,K12,K13, L8,L9,L10,L11,L12,L13,L14 M2,M8,M9,M10,M11,M12,M13, N7,N8,N9,N10,N11,N12,N13	Internal Core Ground, Digital IO Ground,
AVSS	P7,P8, V3, W6,W9,W12,W15	Analog IO Ground

AVDD	P12,P13,P14,N14,M14	ARM Core Power
CVDD	G7,K7,P10,J14,H14,G10	GPU,Logic Power
VCCIO1	N6	VCCIO1 PowerDomain Power
VCCIO2	T14	VCCIO2 PowerDomain Power
VCCIO3	K14	VCCIO3 PowerDomain Power
VCCIO4	G14	VCCIO4 PowerDomain Power
DDR_VDD	H7,J7,L7,M7,G12,G11,G9,G8	DDR PHY Power
A/GPLL_DVDD_1V0	N3	ARM PLL General PLL Analog Power
C/DPLL_DVDD_1V0	N4	Codec PLL DDR PLL Analog Power
PLL_AVDD_1V8	N5	PLL IO Power
USB_DVDD_1V0	T11	USB OTG2.0/Host2.0 Digital Power
USB_AVDD_3V3	T10	USB OTG2.0/Host2.0 Analog Power
CODEC_AVDD_1V8	D13	Audio Codec Analog Power
CODEC_AVSS	D14	Audio Codec Analog Ground
HDMI_AVDD_1V0	V4	HDMI PHY Analog Power
HDMI_AVDD_1V8	V2	HDMI PHY Analog Power
FEPHY_AVDD_1V0	R8	FEPHYLogic Analog Power
FEPHY_AVDD_1V8	Y10	FEPHY Analog Power
VDAC_AVDD_1V8	T7	VDAC Analog Power
AVSS	T8	VDAC Analog Ground

2.3 GPIO类型介绍

2.3.1 GPIO类型

在RK322x实际应用中，有两种GPIO类型：

- 3.3V only，固定配置3.3V电平；
- 1.8V/3.3V可选，即要么固定为1.8V，要么固定为3.3V；（如SDIO及EMMC的IO电平）

2.3.2 GPIO驱动能力

RK322x的GPIO驱动能力MIN:2mA;MAX:12mA,通过软件配置寄存器可调。

2.3.3 GPIO电源

GPIO电源域的电源脚描述如下：

表 2 - 4 RK322x GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
VCCI01	3.3V only	VCCI01	3.3V power for this domain (group of) GPIO.
VCCI02	1.8V/3.3V	VCCI02	1.8V or 3.3V power for this domain (group of) GPIO.
VCCI03	1.8V/3.3V	VCCI03	1.8V or 3.3V power for this domain (group of) GPIO.
VCCI04	3.3V only	VCCI04	3.3V power for this domain (group of) GPIO.

3 原理图设计建议

3.1 最小系统设计

3.1.1 时钟电路

RK322x芯片内部的反馈电路与外接的24MHz晶体与一起构成系统时钟，如图3-1所示。

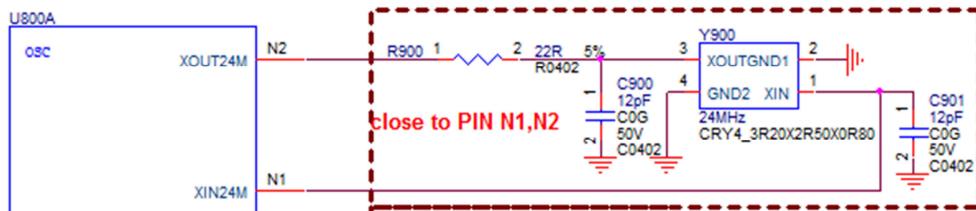


图 3-1 RK322x 晶体连接方式及器件参数



注意

电容C900、C901的值需要根据晶体的实际标称负载电容值选择，12pF为我司选用晶体所对应容值，不为通用值。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过XIN_OSC脚输入，时钟参数如下表3-1所示：

表 3-1 RK322X 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000		MHz	
频率偏差	+/-20		ppm	Frequency tolerance
工作温度	-20	70	°C	

3.1.2 复位电路

RK322x芯片内部集成POR (Power on Reset) 电路，低电平有效，电容C1300用来消除抖动，如图3-2所示。

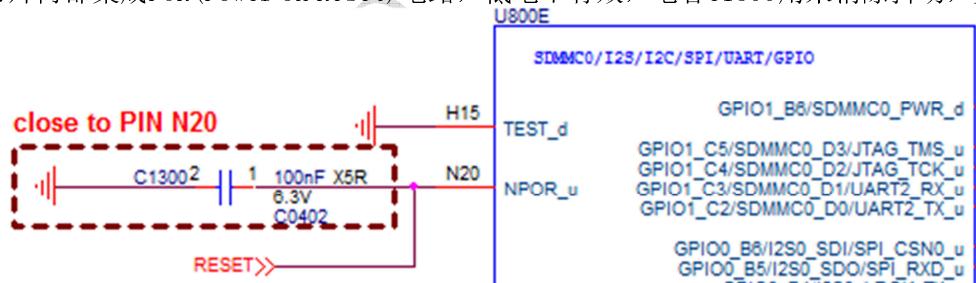


图 3-2 RK322x RESET电路

3.1.3 JTAG Debug电路

RK322X芯片的JTAG接口符合IEEE1149.1标准。PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的A7 CPU。

表 3-2 RK322x JTAG Debug接口信号

信号名	描述
GPIO1_C5/SDMMC0_D3/JTAG_TMS_u	JTAG时钟输入，与SDMMC0_D3复用，默认为SDMMC DATA功能
GPIO1_C4/SDMMC0_D2/JTAG_TCK_u	JTAG模式选择输入，与SDMMC0_D2复用，默认为SDMMC DATA功能

3.1.4 DDR电路

- 3.1.5.1 DDR控制器介绍

RK322x DDR控制器接口支持DDR3/DDR3L/LPDDR2/LPDDR3 SDRAM标准接口，控制器有如下特点：

- 提供一个32bit的DDR控制器接口，分别包含2个DDR SDRAM片选、2个ODT、1组CK，支持数据总线位宽32bit，地址总线最大支持16bit；

- 支持Power Down、Self Refresh等低功耗模式；

- 3.1.5.2 DDR拓扑结构与连接方式

RK322x DDR接口由于IPTV及OTT自身在解码4K P60 10BIT的视频时的需要，颗粒工作频率接近于800MHZ才能满足要求，故官方目前只推出了DDR3接口的核心模板，支持2*16bit;4*16bit;4*8bit三种方案可选，详细连线方式及拓扑结构，参见RK发布的参考原理图及核心板。

- 3.1.5.3 DDR支持的型号列表

RK322x DDR接口DDR3/DDR3L最高工作频率支持到800MHz，具体支持型号请参考瑞芯微电子《RK DDR Support List》文档。

3.1.5 eMMC电路

- 3.1.6.1 eMMC控制器介绍

RK322x eMMC接口，支持eMMC 4.5接口协议，控制器有如下特点：

- 支持单通道eMMC颗粒，8bits模式；
- 支持eMMC 4.5接口协议，支持HS200工作模式；

- 3.1.6.2 eMMC拓扑结构与连接方式

eMMC接口支持eMMC 4.5接口协议的器件，接口上下拉和匹配设计推荐如表所示。

表 3 - 3 RK322x eMMC接口设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连	eMMC数据发送/接收
eMMC_CLK	NA	串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	直连	eMMC命令发送/接收

- 3.1.6.3 eMMC上电时序要求

RK322x芯片eMMC控制器包括两组电源：

- VCCIO: eMMC控制器的Core电源；
- VCCIO_FLASH: eMMC控制器的I/O电源；

eMMC颗粒的上电时序请参考JEDEC标准：

- VCC与VCCQ在上电时序上没有先后要求；
- VCC与VCCQ必须在RK322x的CMD命令发出前上电，并保持稳定的工作电压；

- 3.1.6.4 eMMC支持的型号列表

RK322x eMMC接口eMMC最高支持HS200模式，具体支持型号请参考瑞芯微电子《RK eMMCSupportList》文档。

3.1.6 NAND FLASH电路

- 3.1.7.1 NAND控制器介绍

- 支持8bit NAND FLASH, 内置4个片选引脚，最多可支持4个单片选颗粒。
- 支持Toggle Flash接口
- 支持SLC/MLC/TCL FLASH

- 3.1.7.2 NAND FLASH拓扑结构与连接方式

表 3 - 4 RK322x NAND FLASH接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
FLASH_D0:D7	上拉	直连	数据发送与接收
FLASH_CS0:3	上拉	直连	NAND FLASH片选脚
FLASH_WP	上拉	直连	写保护
FLASH_ALE	下拉	直连	地址锁存使能
FLASH_CLE	下拉	直连	指令锁存使能
FLASH_WRN	上拉	直连	写使能
FLASH_WDN	上拉	直连	读使能
FLASH_RDY	上拉	直连	工作状态标识信号
FLASH_DQS	上拉	串22 ohm电阻	数据锁存信号

- 3.1.7.3 NAND FLASH上电时序要求

大部分NAND FLASH都是接同一组电源，少数NAND可以跑高速模式的，IO电源会用1.8V，上电按低电压先上，或同时上都可以。

- 3.1.7.4 NAND FLASH支持的型号列表

RK322x nand FLASH支持清单，请参考瑞芯微电子《RK Nand SupportList》文档。

3.2 电源设计

3.2.1 电源介绍

- 3.2.1.1 电源需求

- PLL: C/DPLL_DVDD_1V0、A/GPLL_DVDD_1V0、PLL_AVDD_1V8
- CPU: VDD_ARM
- GPU: VDD_LOG
- LOGIC: VDD_LOG
- DDR: VCC_DDR
- GPIO: VCCIO、VCC_18
- Interface:USB_AVDD_3V3、USB_DVDD_1V0、HDMI_AVDD_1V8、HDMI_AVDD_1V0、CODEC_AVDD_1V8、VDAC_AVDD_1V8、FEPHY_AVDD_1V8、FEPHY_AVDD_1V0

- 3.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐上电时序如下：

VDD_10---> VDD_ARM&VDD_LOG---> VCC_DDR---> VCC18&VCC18_EMMC--->VCCIO

3.2.2 电源设计建议

- 3.2.2.1 待机电路及关机方案

RK322x OTT BOX及IPTV待机时通过软件关闭大部分模块，红外中断不关闭，便于接收红外信号唤醒系统，电源采用常供电方案。

如客户有通过**红外实现开关机**的要求，外部需要增加一颗MCU接收红外信号，及对电源进行管理。如模具有电源开关，则硬件直接断电即关机。

● 3.2.2.2 PLL电源

- RK322x各PLL电源如下图所示，分别为C/DPLL_DVDD_1V0、A/GPLL_DVDD_1V0、PLL_AVDD_1V8三组，由VDD_10及VCC_18提供电源。

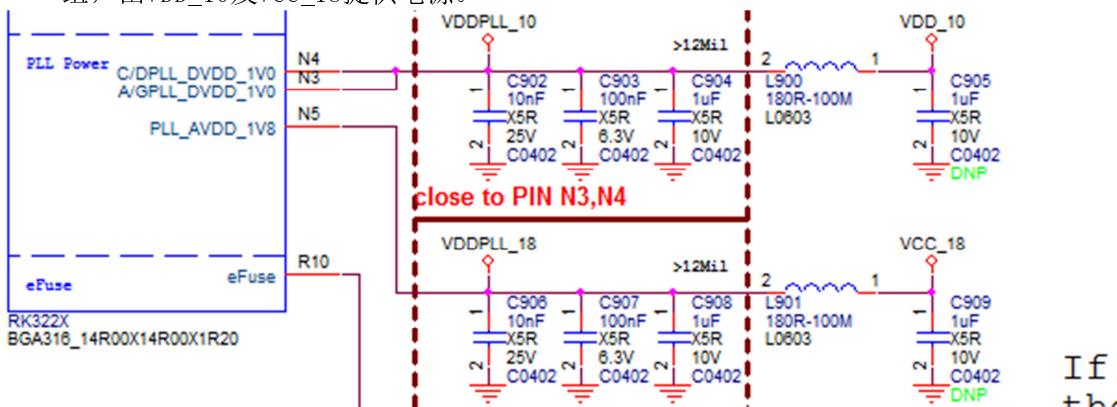


图 3-3 RK322x PLL电源

电源上建议使用LDO为PLL单独供电，特别是DDR工作频率较高，稳定的PLL电源有助于提高高频下的工作稳定性，且去耦电容应靠近主控脚管脚摆放。

● 3.2.2.3 CPU电源

RK322x CPU峰值电流接近1A，均值接近400mA，由外部DC-DC提供电源，分立器件根据工作频率由PWM调整Vfb电压以达到调压的效果，PMU则由I2C接口写寄存器进行电压调整，都支持DVFS动态调频调压功能，请不要删减RK322x参考原理图中VDD_ARM路的电容。Layout时将大电容放置在RK322x芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，如图。

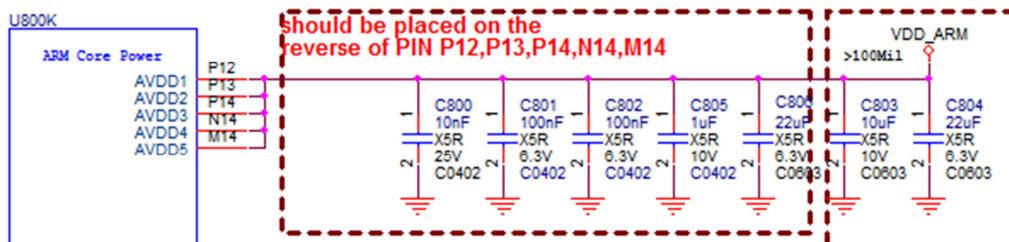


图 3-4 芯片VDD_CPU电源

如下图所示是RK322x芯片中VDD_ARM电源的远端反馈布线，需连接到DC-DC电源的FB端，可有效避免PCB电源线路阻抗引起的损耗，并提高电源动态调整的实时性。

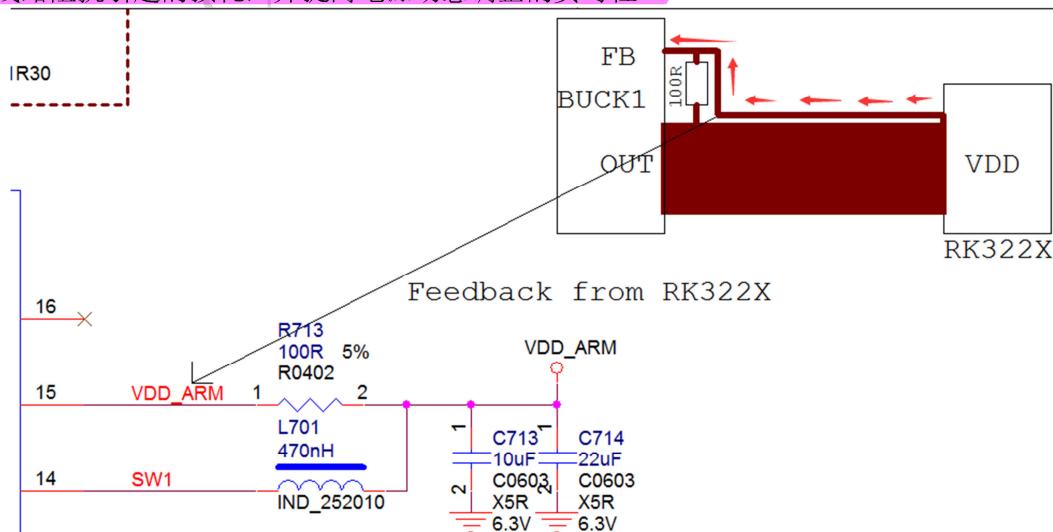


图 3-5 RK322x 芯片VDD_ARM电源反馈

- 3.2.2.4 GPU&LOGIC电源

RK322x的GPU&logic电源合并使用一路DC-DC供电，支持DVFS动态调频调压功能，峰值电流可达1.5A，所以请不要删减RK322x芯片参考设计原理图中的电容。Layout时将大电容放置在RK322x芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，如图。

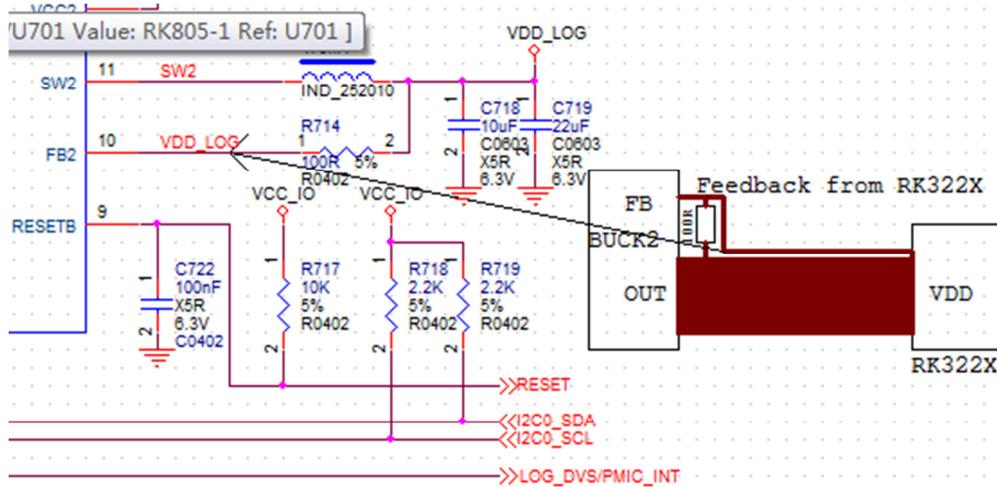


图 3-6 RK322x 芯片VDD_LOG电源

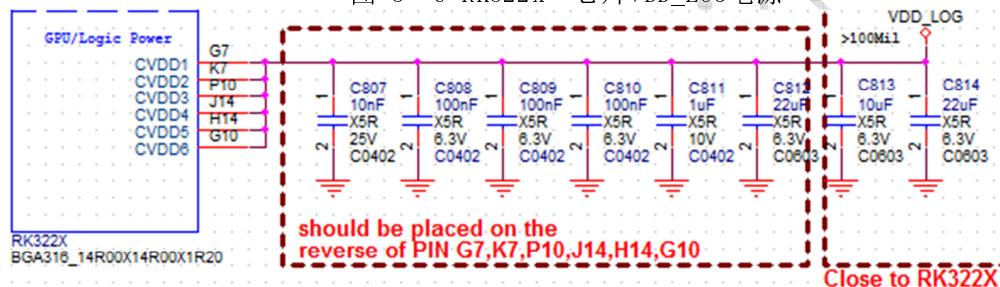


图 3-7 RK322x 芯片VDD_LOG电源的去耦

如下图所示是VDD LOG电源的反馈layout示意图，远端反馈需连接到DC-DC/PMIC电源的FB端，可有效改善因PCB电源线阻抗引起的损耗，并提高电源动态调整的实时性。

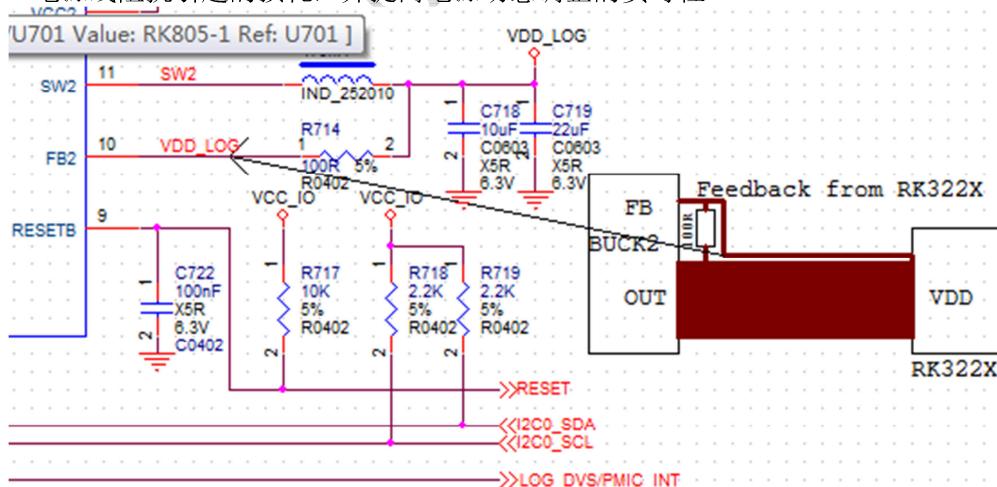


图 3-8 RK322x 芯片VDD_LOG电源反馈

- 3.2.2.6 DDR电源

RK322x芯片的DDR控制器接口符合DDR3/LPDDR3电平标准，内部集成Vref电路，产生参考电压VCC_DDR/2。

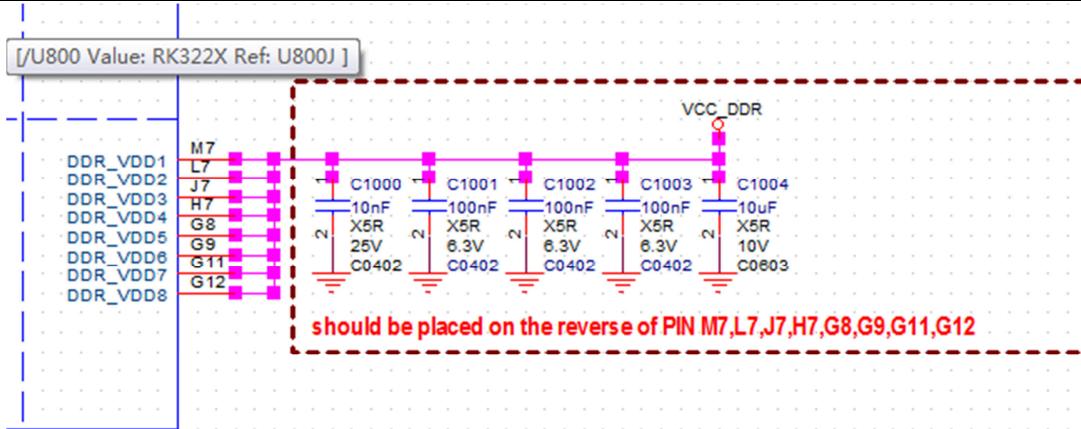


图 3-9 RK322x 芯片DDR控制器电源

DDR电源根据颗粒的不同，可调整反馈脚的分压值，调整输出电压。

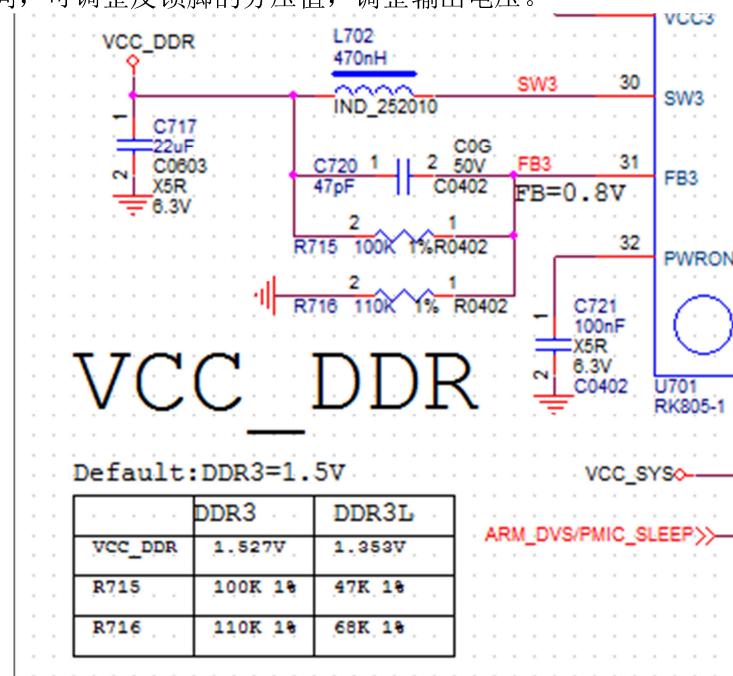


图 3-10 RK322x 芯片DDR电源设计

DDR3 DRAM端的VREF管脚供电可以通过1Kohm电阻（精度1%）分压提供，每个参考电源管脚旁放置一个1nF的去耦电容。

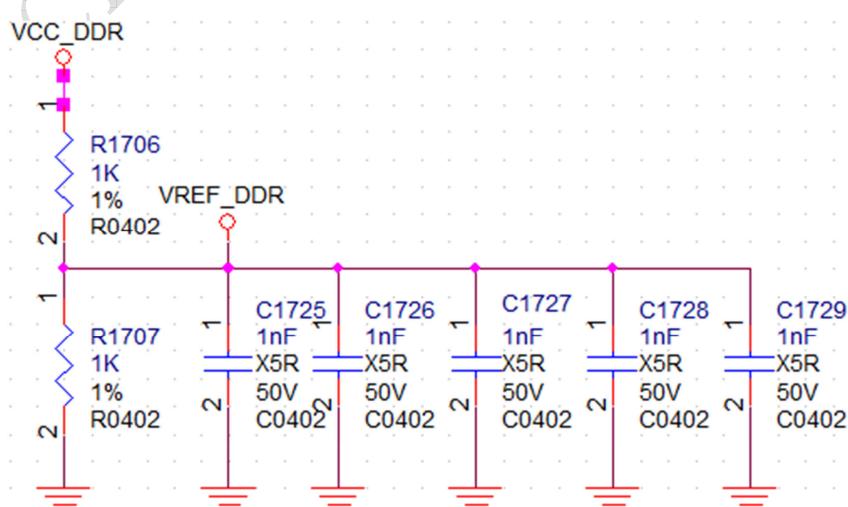


图 3-11 RK322x DDR VREF电源设计

- 3.2.2.7 GPIO电源

GPIO电源请参考2.3.1节。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。详细设计请参考RK322x芯片发布的DEMO设计。

- 3.2.2.8 LED电路及红外

如LED灯比较靠近红外接收头，需要注意dc/dc在auto模式时电源纹波频率接近红外的接收频率。然后从led发射出去干扰到红外，将LED灯的电源与红外共电源，然后在LED预留并联电容位置。

3.2.3 RK805-1方案介绍

- 3.2.3.1 RK805-1典型应用电路

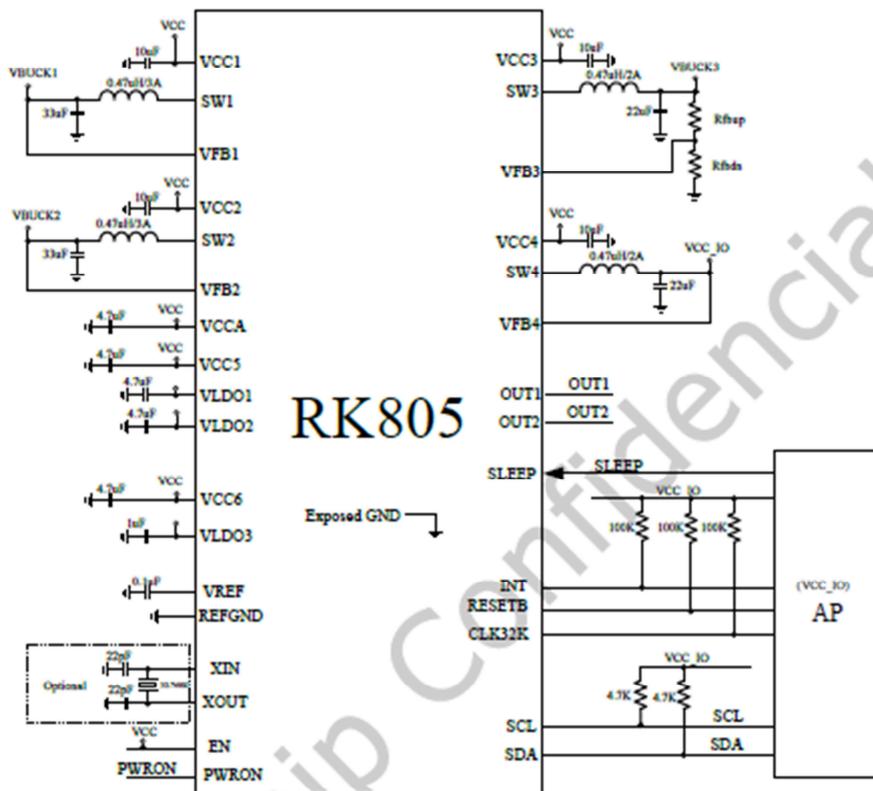


Fig. 1 RK805典型应用图

图 3-12 RK322x RK805-1 典型应用框图

- 3.2.3.2 RK805-1特征

- 输入范围: 2.7V 到 5.5V;
- 实时时钟 (RTC)
- 小于50 μ A 的极低待机电流 (在32KHz 时钟频率下)
- 2MHz 开关频率的降压DC-DC 转换器
- 电流模式架构提供优异的瞬态响应
- 内部环路补偿和软启动功能
- 可通过I₂C 编程的输出电平和输出最大电流控制
- 自主IP 的高转换效率电路架构

- 内置BUCK 和LDO 的Vout 放电通路
 - 供电电源:
 - 通道1: 同步降压DC-DC转换器, 2.5A max
 - 通道2: 同步降压DC-DC转换器, 2.5A max
 - 通道3: 同步降压DC-DC转换器, 1.5A max
 - 通道4: 同步降压DC-DC转换器, 1.5A max
 - 通道5, 6: 低压差电压调制器, 300mA max
 - 通道7: 低噪声, 低压差电压调制器, 100mA max
 - 固定及可编程可选择的电源启动时序控制
 - 封装: 4mmx4mm QFN32(pitch 0.4mm)
- 3.2.3 RK322X+RK805-1 Power Tree

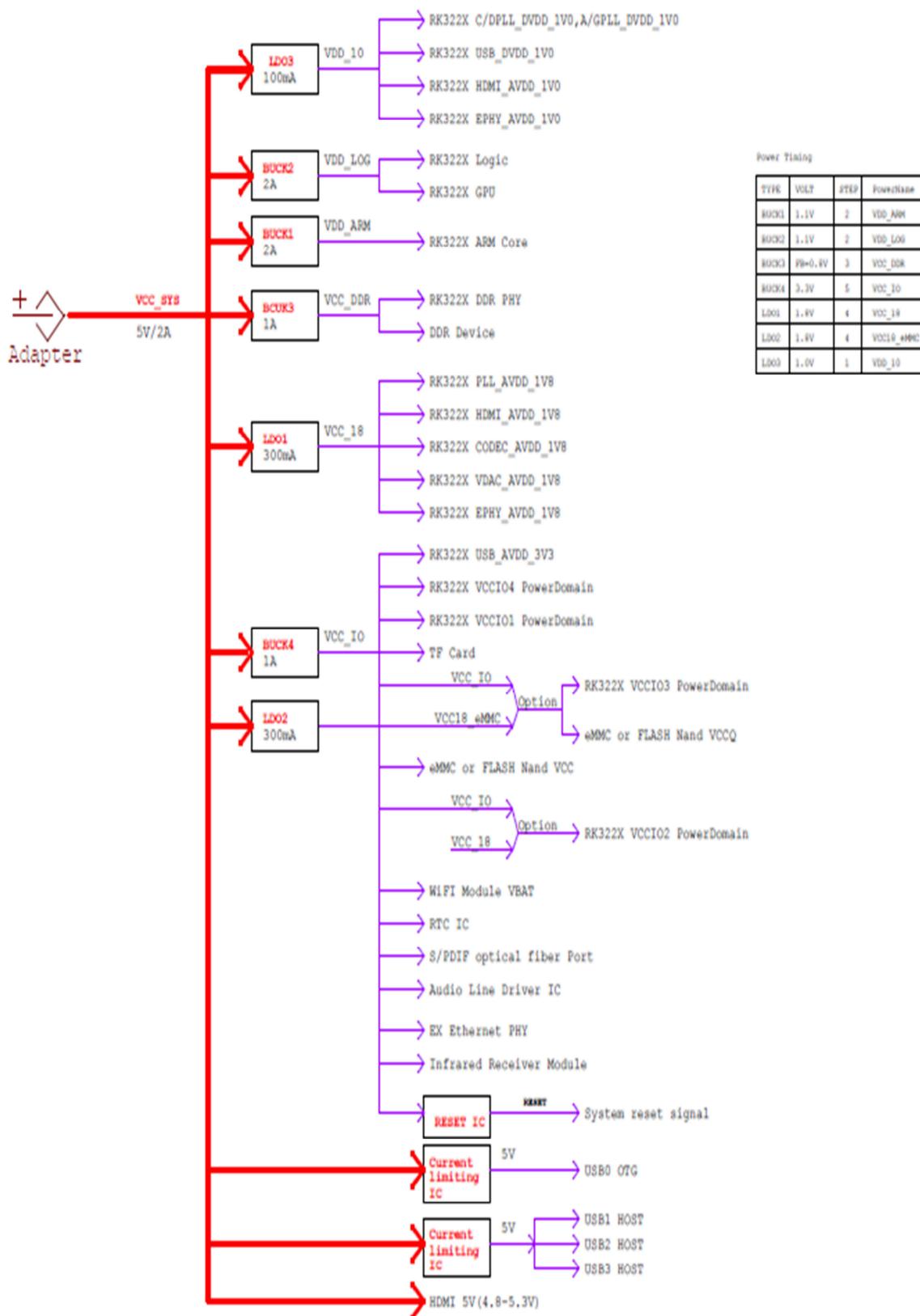


图 3 - 13 RK322x RK805-1 电源架构

● 3.2.2.4 RK805-1注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体微调；如不用RK805-1的32K时钟给其它设备，则可以省掉此晶体。



注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测这个信号请测CLK32KOUT管脚。

开机(POWER ON)使能的条件

如果不存在任何开机使能失效的条件，则在下列情况下系统可以开启或者保持开机状态：

- EN信号从低电平变高电平触发
- EN信号保持高电平，且RTC闹钟中断触发
- EN信号保持高电平，按PWRON键触发

关机(POWER OFF)的条件

- EN信号保持低电平。
- 或者芯片温度达到热关断阈值，此时寄存器THERMAL_REG 中的TSD_STS=1。
- 或者VCC 电压低于UVLO 阈值，具体值可以在寄存器0x22 中的VB_UV_SEL中调整：此时寄存器VB_MON_REG 中的VB_UV_STS=1。
- 或者VCC 电压低于低压报警电压，具体值可以在VB_MON_REG 中的VB_LO_SEL中调整，并且VB_LO_ACT设置成0的话，则会触发关机保护
- 或者VCC电压过高，触发系统过压关机保护
- 或者DEV_OFF控制位设置成 1 (系统关机时，DEV_OFF 值被清零).
- 长按PWRON键触发关机
- SLEEP信号有效（如果REG<3:2>=1X）触发关机

SLEEP 使能条件

- SLP_POL=1并且SLEEP 外部PIN为高电平.
- SLP_POL=0并且SLEEP 外部PIN为低电平.
- 或者 DEV_SLP 控制位设置为 1

● 3.2.3.6 RK805-1设计说明

RK805-1具体设计说明，请参考RK RK805-1 datasheet。应用时需特别注意，如果是5V电源直接输入，请一定要在VCC_SYS网络加上TVS管AZ5825-01F，PCB LAYOUT时需要考虑到RK805-1的散热需求，具体方案参考RK发布的DEMO设计，底层需要大面积的铺地以保证散热。

3.2.4 电源峰值电流表

下表为RK322x BOX样机峰值电流测试结果，仅供参考，具体数值请参考我司测试报告。测试条件如下：

- CPU最高频率：1416MHz;
- GPU最高频率：500MHz;
- DDR最高频率：800MHz;
- 示波器打开20MHz带宽限制；

表 3 - 5 RK322x 峰值电流表

PowerName	Voltage (V)	Peak Current (mA)
Adapter	5.1V	1200
VDD_LOG	1.244V	1500
VDD_ARM	1.35V	920
VCC_DDR	1.52 V	723
VCC_IO	3.32V	770
VDD11	1.118V	47
VCC_18	1.8V	161

3.3 功能接口电路设计指南

3.3.1 存储卡电路

RK322X提供了一个SDMMC接口控制器，由于无独立IO电源，只可支持SDMMC 2.0协议，如图所示：

- SDMMC控制器与IO电源复用，故只能支持到SDIO2.0；
- SDMMC与UART2、JTAG功能复用在一起；

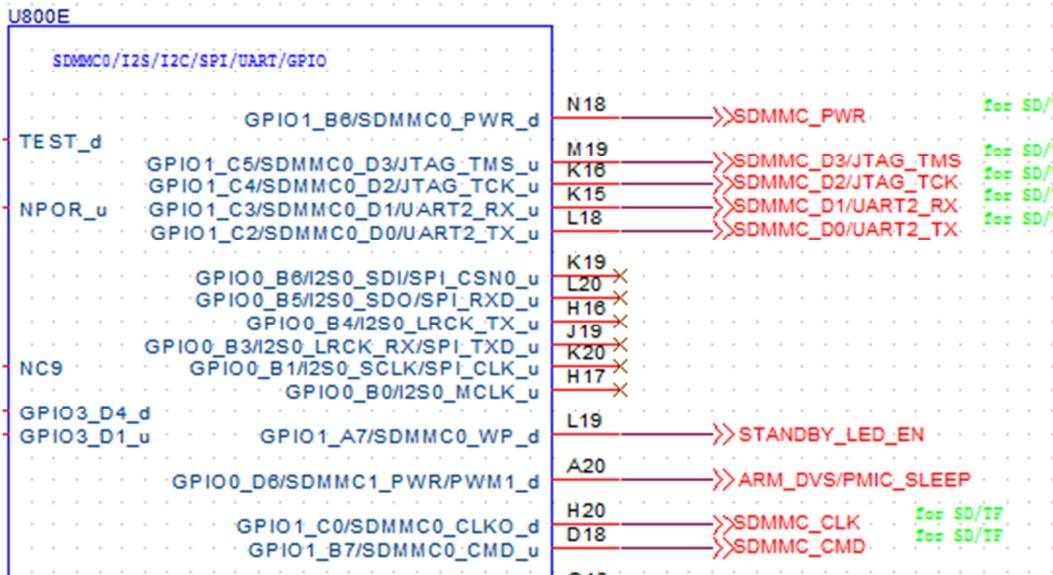


图 3 - 14 RK322x RK322X SDMMC模块电路

SDMMC接口上下拉和匹配设计推荐如表3-6所示。

表 3 - 6 RK322x SDMMC接口设计

信号	内部上下拉	连接方式 (SDR104高速模式)	描述 (芯片端)
SDMMC_DQ[3:0]	上拉	串联22ohm电阻	SD数据发送/接收
SDMMC_CLK	下拉	直连	SD时钟发送
SDMMC_CMD	上拉	串联22ohm电阻	SD命令发送/接收

为了满足ESD保护的要求，在电路设计时需要考虑在SDMMC电路上设计保护电路。为了避免保护器件对SDMMC信号造成影响，能够达到良好的保护效果，建议PCB设计时采用如下原则：

- 保护器件建议紧靠SDMMC连接器端口放置。
- 建议保护器件的寄生电容小于10pF。

SDIO/SDMMC PCB设计

SDIO/SDMMC走线请注意：

- CLK单独走线，并做包地处理；DATA走线间距遵守3W规则；TF卡由于无分立电源只支持到SDMMC2.0, WIFI支持SDIO3.0，最高支持150MHz时钟频率，因此SDIO_D0/1/2/3, SDIO_CLK, SDIO_CMD在PCB layout上要注意避免干扰，保持一致性。如下图所示高亮黄色部分是SDIO布线，PCB布线要保持参考层的完整性（相邻层要保持是同一个平面），避免一些电源等其他信号的干扰，且与同一层的其他线有GND隔离。

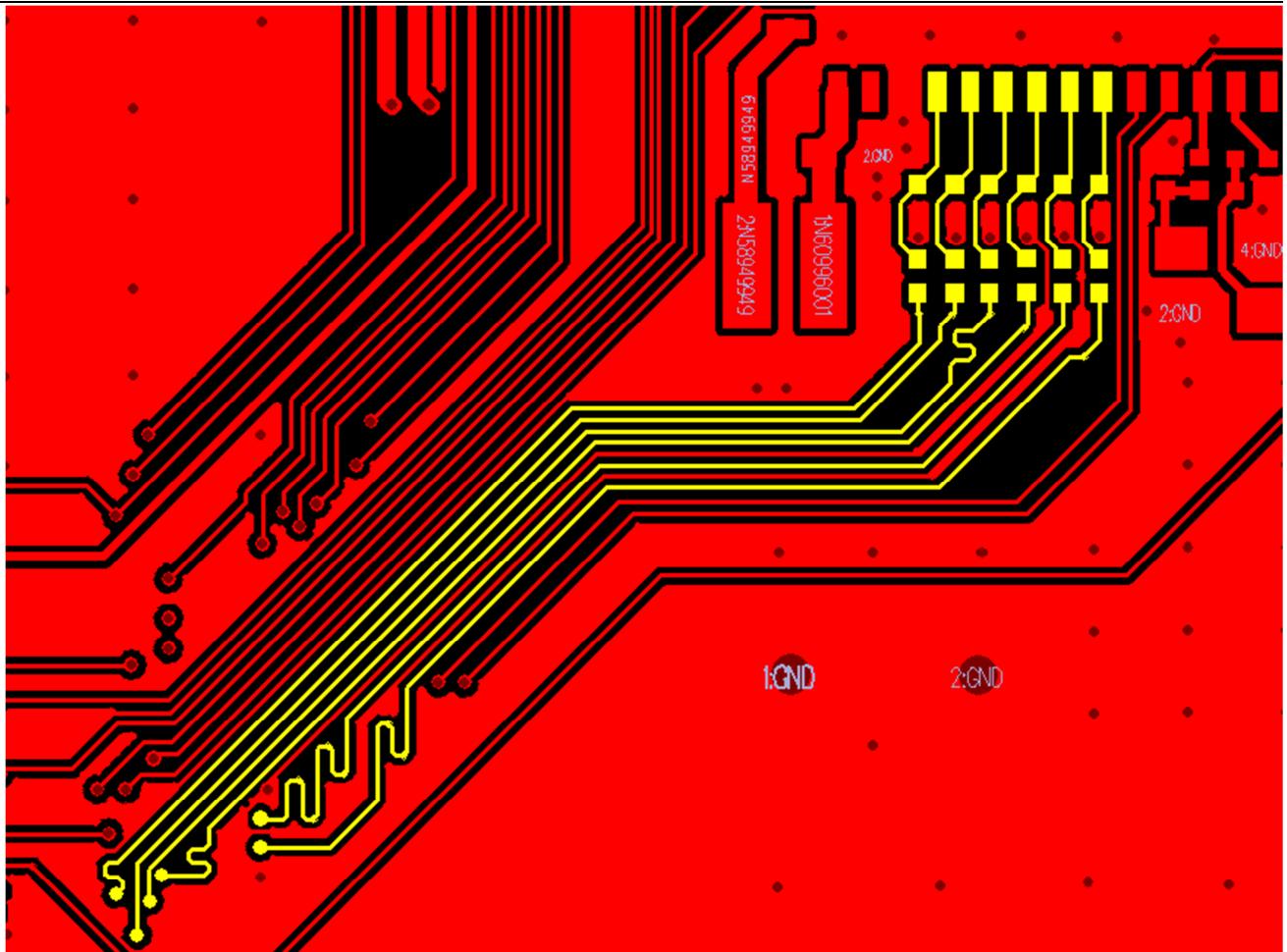


图 3 - 15 RK322x SDIO/SDMMC 走线要求



图 3 - 16 RK322x CLK用GND包地处理

- 因为走线较长，走线之间的间距建议8mil；
- 负载电容包括SD卡负载电容以及PCB负载电容两部分，其中SD卡的负载电容协议规定应该是小于10pF；

- 3.0V operation: 50 MHz with 40pF
- 1.8V operation: 208 MHz with 21pF

图 3 - 17 SDMMC负载电容要求

3. Card capacitance range is defined as follows:

Capacitance	Min	Max	Units	Notes
$C_{CARD} (C_{DIE} + C_{PKG})$	5	10	pF	---

Table 6-10 : Card Capacitance Range

图 3 - 18 SD卡负载电容

SDIO/SDMMC 线路要求如表3-7：

表 3 - 7 RK322X SDIO/SDMMC走线要求

参数	要求
Trace Impedance	$50 \Omega \pm 10\%$ single ended
Max skew between data signal and clock	<20ps
Max trace length	<3.93 inches

WIFI/BT设计

WIFI是通过SDIO或者是USB与RK322x芯片通讯，BT是通过UART、PCM接口与RK322x芯片通讯。

BT与RK322x芯片是通过UART interface (up to 4Mbps) 通讯，UART的PCB layout也尽量保持参考层的完整性

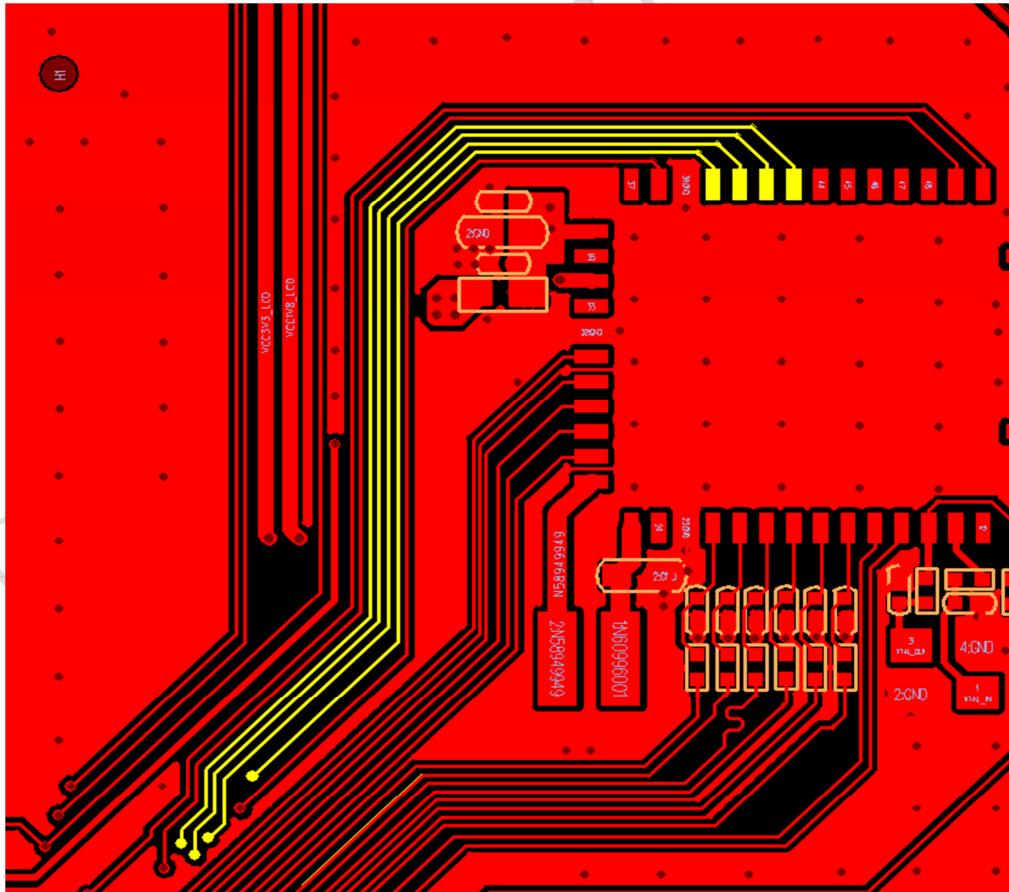


图 3 - 19 BT UART走线

I2S/PCM在PCB布线上相邻的参考层要保持完整（相邻层要保持是同一个平面），避免一些电源等其他信号的干扰，且与同一层的其他的线有GND隔离。

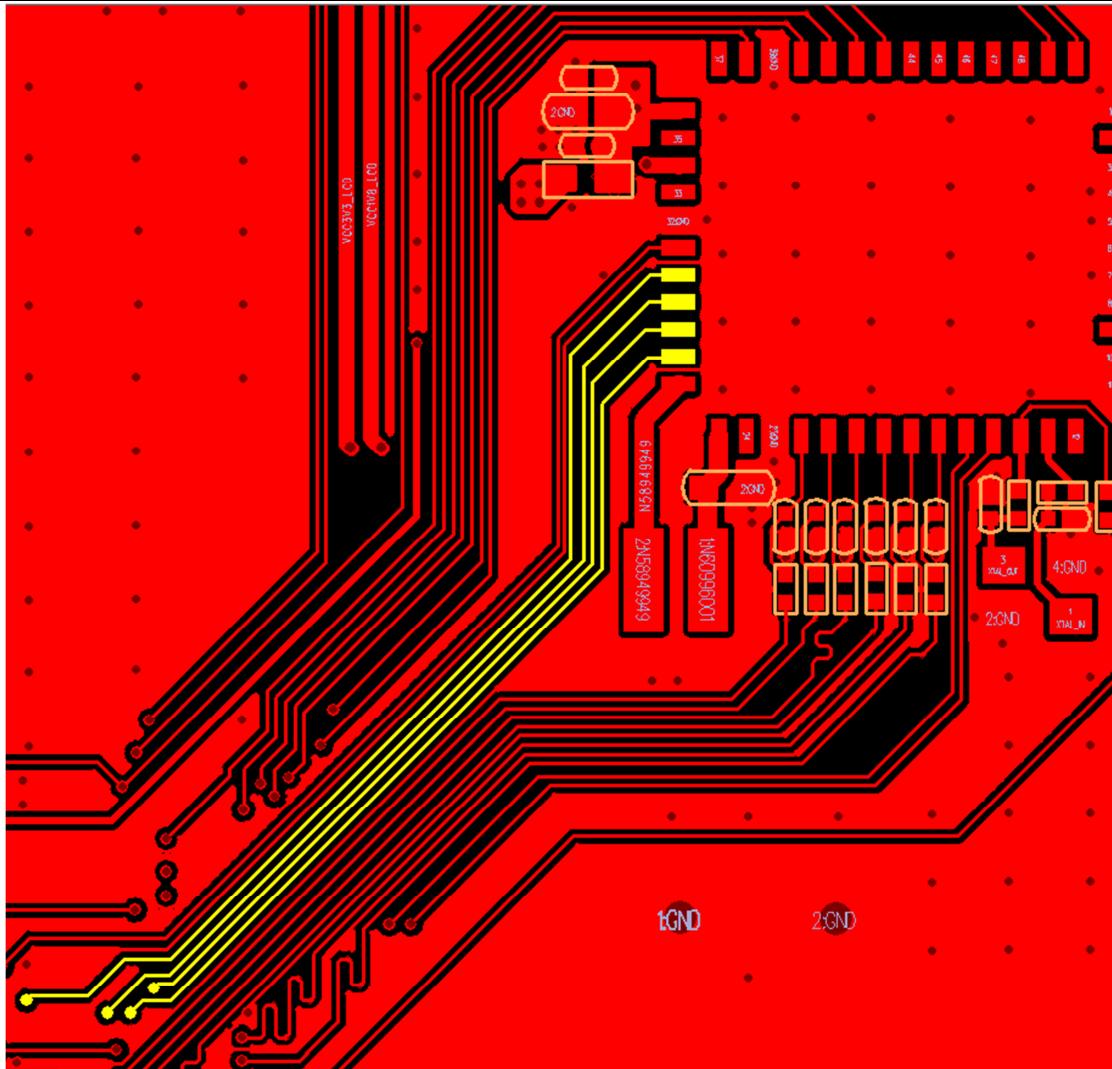
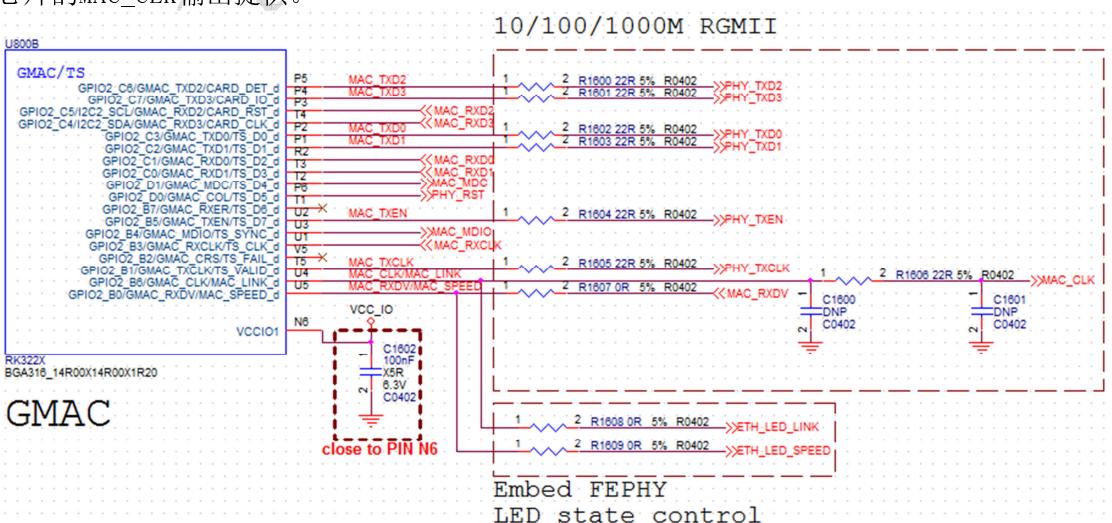
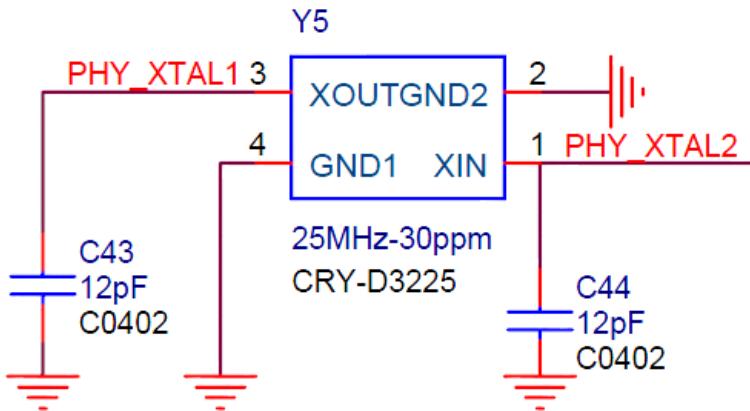


图 3-20 BT PCM走线

3.3.2 以太网口电路

RK322X内部集成了一个千兆以太网的mac，及内部百兆PHY，可以外置千兆以太网phy，实现千兆网络功能。或直接用芯片内部集成百兆以太网，在外部加网络变压器及网口连接器实现百兆功能。千兆具体设计请参考phy原厂的设计文档，指南中不做过多介绍。Phy所用的工作时钟，可以选择通过外置晶体或是由RK322X芯片的MAC_CLK输出提供。





If use external clock
then the XTAL2 need
connect to GND for RTL8211E.

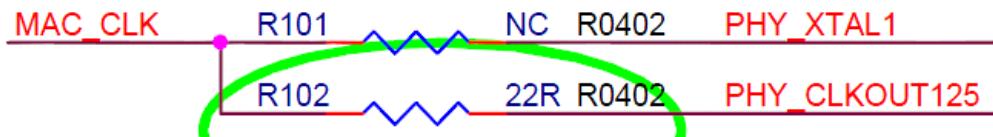


图 3 - 21 千兆PHY MAC_CLK选择

● 3.3.2.1 1000M MAC

RK322x 支持 10/100/1000M MAC，现对 1000M GMAC 部分设计及其注意事项说明如下：

表 3 - 8 RK322x RGMII 接口设计

信号	内部上下拉	连接方式	描述
MAC_TXCLK	下拉	串联 22ohm 电阻	数据发送的参考时钟
MAC_RXCLK	下拉	串联 22ohm 电阻	数据接收的参考时钟
MAC_TXD[3:0]	下拉	串联 22ohm 电阻	数据发送
MAC_RXD[3:0]	下拉	串联 22ohm 电阻	数据接收
MAC_TXEN	下拉	串联 22ohm 电阻	发送数据使能
MAC_RXDV	下拉	直连	接收数据有效指示
MAC_MDC	下拉	直连	配置接口时钟
MAC_MDIO	下拉	直连	配置接口 I/O
MAC_CLK	下拉	串联 22ohm 电阻	MAC 主时钟输出

- 电源：RK322x GMAC IO 电压为 3.3V (Pin N6)，以太网 PHY IO 供电电压需要与 GMAC IO 电平保持一致。
- RGMII 接口收发信号线上，TX_CLK 和 RX_CLK 是 125MHz，为了达到 1000Mb 的传输速率，TXD 和 RXD 信号线在时钟的双边沿都进行采样，数据使能信 (MAC_TXEN、MAC_RXDV) 必须在数据发出有效前使能。
- 复位：MAC 对 PHY 的复位方式用 GPIO 来控制，也可以使用 RC 硬件复位电路，需要注意的是，若是采用 RC 硬件复位电路，则 PHY 的电源必须是可控的。



图 3 - 22 RK322X RGMII 复位

- MAC 层和 PHY 之间传送控制和状态信息为 MDIO 接口，时钟 MDC 信号和数据 MDIO 信号，需要注意注

意的是MDIO信号需要上拉，TX也需要增加上拉，如下图：

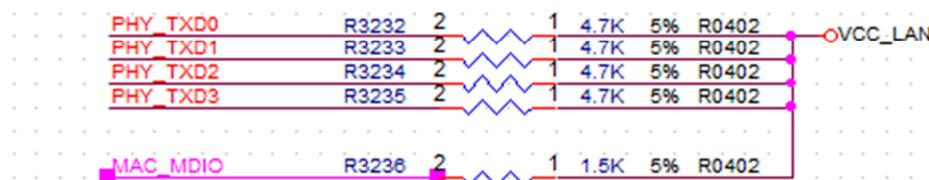


图 3 - 23 RK322x RGMII MDIO信号

- 3.3.2.2 100M MAC

RK322x 支持10/100M内置集成。现对100M MAC部分设计及其注意事项说明如下：

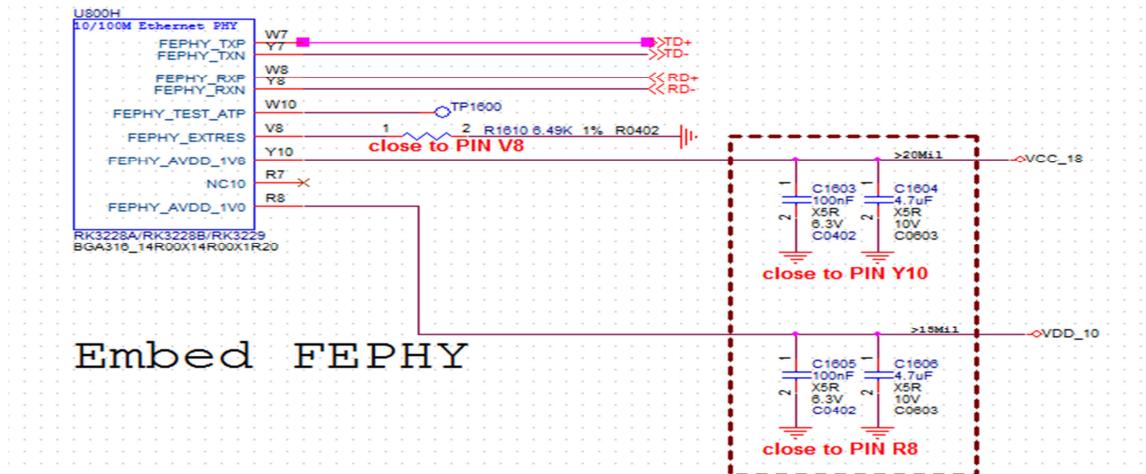


图 3 - 24 RK322x 百兆网络信号

表 3 - 9 RK322x RMII接口设计

信号	内部上下拉	连接方式	说明
FEPHY_TXP	NA	串联10ohm电阻与网络变压器连接	数据发送差分对信号
FEPHY_TXN	NA	串联10ohm电阻与网络变压器连接	
FEPHY_RXP	NA	串联10ohm电阻与网络变压器连接	数据接收差分对信号
FEPHY_RXN	NA	串联10ohm电阻与网络变压器连接	
FEPHY_EXTRES	NA	串接6.49K精密电阻接地	参考电阻

- 电源：RK322x MAC需要两路供电电源，一路电压为1.8V (PIN Y10)。一路电压为1.0V (PIN R8)。
- 使用内部百兆时，需注意信号上所串接的10ohm电阻不可以省掉，或更改参数，差分信号的上拉电阻需接在网络变压器端，而不是芯片端。

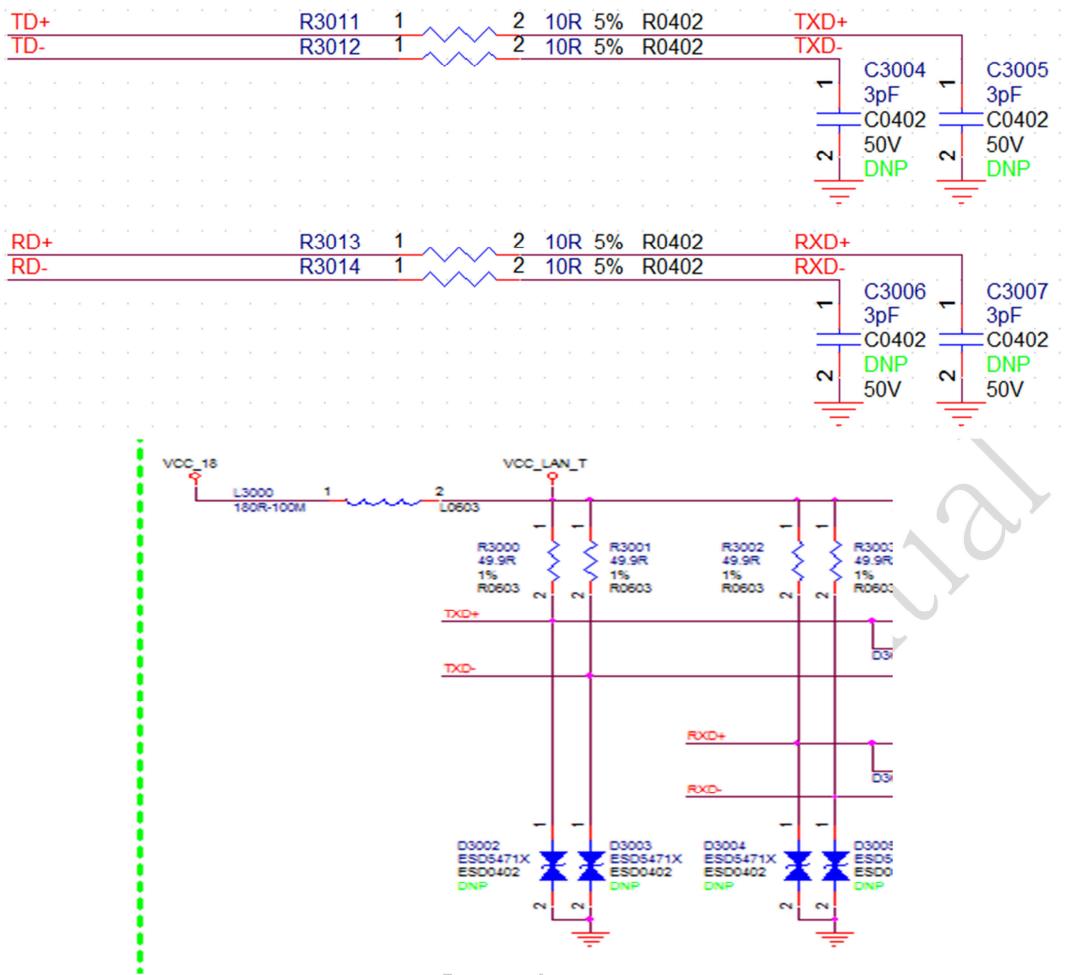


图 3-25 RK322X 数据差分对

● 3.3.2.3 浪涌雷击

为了满足ESD保护、浪涌保护的要求，建议在电路设计时考虑到保护电路。为了避免保护器件对PHY走线信号造成影响，并能够达成良好的保护效果，建议PCB设计时采用以下原则：

- 保护器件建议放置在变压器内侧，在变压器和PHY之间，靠近变压器放置，差模及ESD通过元器件解决，保护器件建议选用TVS管，击穿电压8kV，响应时间小于1ns。

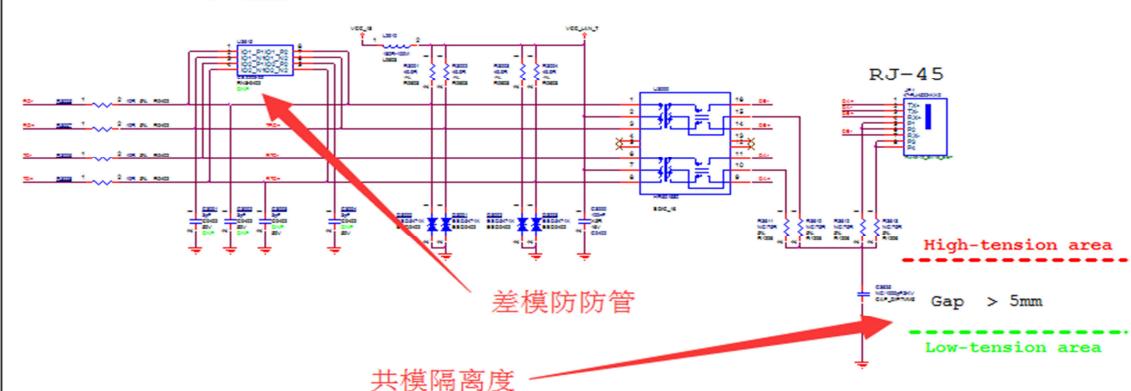


图 3-26 RK322X 网口安全设计

- 差模防雷管一体成型的成本会比较贵，也可以选用单颗的ESD器件，规格参数达到以下量级即可。

PROTECTION PRODUCTS

Absolute Maximum Rating

Rating	Symbol	Value	Units
Peak Pulse Power ($t_p = 8/20\mu s$)	P_{pk}	100	Watts
Maximum Peak Pulse Current ($t_p = 8/20\mu s$)	I_{pp}	10	Amps
ESD per IEC 61000-4-2 (Air) ESD per IEC 61000-4-2 (Contact)	V_{ESD}	+/- 30 +/- 30	kV
Operating Temperature	T_J	-40 to +85	°C
Storage Temperature	T_{STG}	-55 to +150	°C

图 3 - 27 差模防护管规格参数

- 共模防护通过隔离间距，及网络变压器的交流隔离电压来解决，PCB设计为满足浪涌设计需求，需保证充足的隔离间距，并开隔电槽，一般如共模需过4KV标准，则与RJ45座子相连接的线及器件与GND及变压器次级要保证120mil以上的隔离间距，变压器自身交流隔离电压需达到2.5-3KV以上的量级；如共模需过6KV标准，则与RJ45座子相连接的线及器件与GND及变压器次级要保证220mil以上的隔离间距，变压器自身交流隔离电压需达到5KV以上的量级。

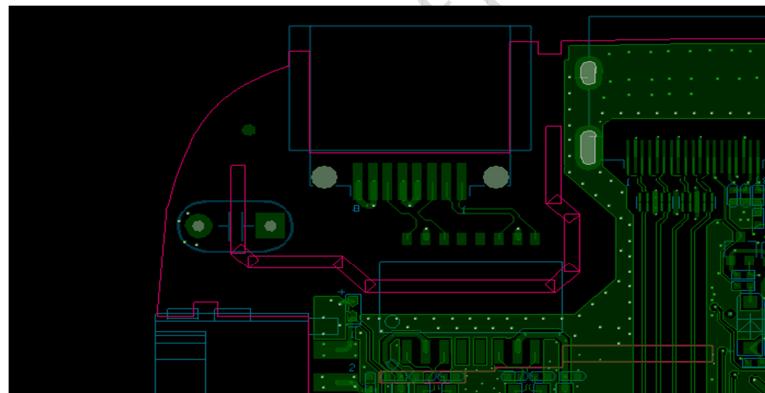


图 3 - 28 RK322X 网口安全PCB设计

PCB设计注意事项：

- 千兆PHY越靠近RK322x，效果会越好，即RGMII走线越短EMI效果越好，必须小于15cm。
- MAC_RXCLK必须包地处理。
- MAC_RX所串电阻靠近PHY放置。
- RXD[0:3], RXCLK, RXDV走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
- 要有完整的参考面，不能和其它信号线直接平行布线。
- PHYTX串联匹配电阻要靠近RK322X放置。
- PHY_TXCLK必须包地处理。
- TXD[0:3], TXCLK, TXEN走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
- 要有完整的参考面，不能和其它信号线直接平行布线。
- 下图中的R102要靠近PHY放置，需包地处理，走线要尽量短，要有完整的参考面。

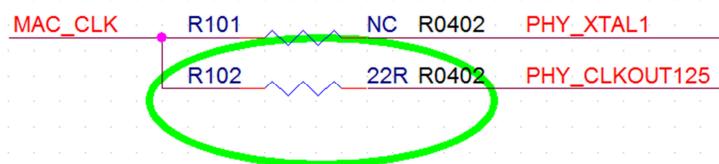


图 3 - 29 MAC CLK分支电阻

- 下图中两路电源去耦电容要尽可能靠近RK322X芯片的PIN脚放置，双面贴的板子两个电容放置在RK322X芯片背面电源管脚处，差分对严格控制好阻抗，要有完整的参考层。

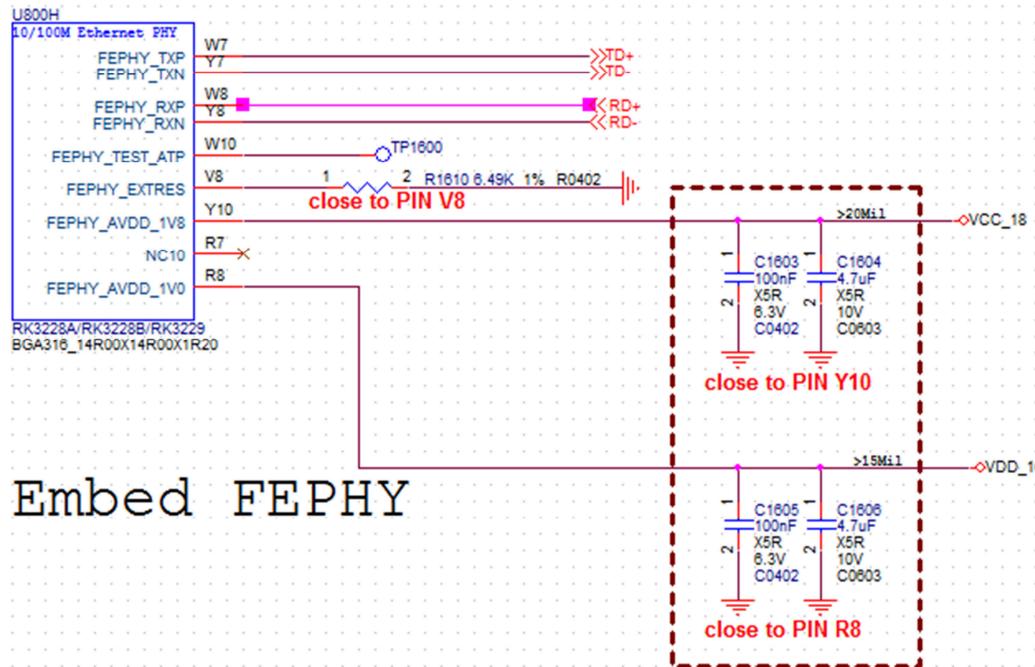


图 3 - 30 MAC 模块电源去耦电容

3.3.3 USB电路

● 3.3.2.1 USB2.0

RK322X有四组USB 2.0接口，包括OTG&HOST复用1路，独立的HOST口3路。

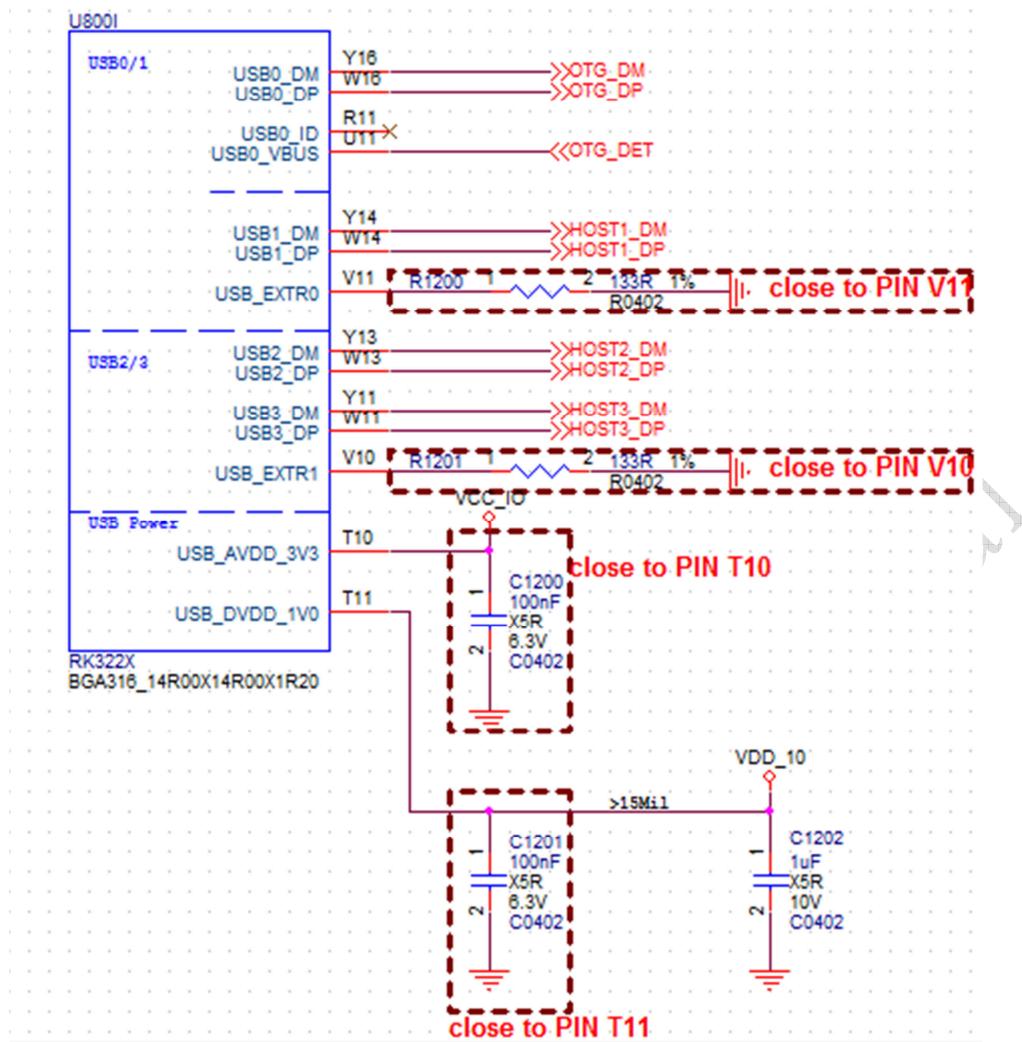


图 3-31 RK322X USB 2.0模块

USB2.0接口上下拉和匹配设计推荐如表3-12所示。

表 3-10 RK322X USB2.0接口设计

信号	连接方式	说明
USBO_DP/DM	串接2.2ohm电阻直连	USB2.0 HOST0 &OTG 输入/输出
USB1_DP/DM	串接2.2ohm电阻直连	USB2.0 HOST1 输入/输出
USB2_DP/DM	串接2.2ohm电阻直连	USB2.0 HOST2 输入/输出
USB3_DP/DM	串接2.2ohm电阻直连	USB2.0 HOST3 输入/输出
USBO_VBUS	外部接10K电阻上接到VCCIO	USB VBUS检测脚
USB_EXTR0	连接133ohm电阻到GND	USB控制器参考电阻连接PIN
USB_EXTR1	连接133ohm电阻到GND	USB控制器参考电阻连接PIN

使用中请注意：

- USBO做为系统固件烧写口，不可随意调整；
- OTG与HOST口可以独立使用；
- VBUS做为USB OTG的插入检测，输入检测电压需小于3.3V，且必须要有高电平才可被电脑识别，**不可不接；**
- USB控制器参考电阻请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；
- 为抑制电磁辐射，可以考虑在信号线上预留**共模电感**（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

- 3.3.2.2 ESD

为了满足ESD保护等级要求，在电路设计时需要考虑在USB电路上设计保护电路。为了避免保护器件对USB走线信号造成影响，并能够达到良好的保护效果，建议PCB设计时采用如下原则：

- ESD保护器件建议紧靠USB连接器端口放置；
- ESD保护器件建议选用空气15kV，接触8kV，响应时间小于1ns的器件。
- USB 2.0具有480Mbps的传输速度，所以差分信号对于线路上的寄生电容非常敏感，所以要选择低寄生电容的ESD保护器件，电容要小于1pF。
- USB信号上所串接的2.2ohm电阻不可修改参数或省去。
- 3.3.2.3 **USB PCB Layout** 注意点如下：

- USB的差分信号必须严格按照差分要求走线，拐角不能为直角或锐角，阻抗要求 $Z=90\pm 10\text{ohm}$ ；

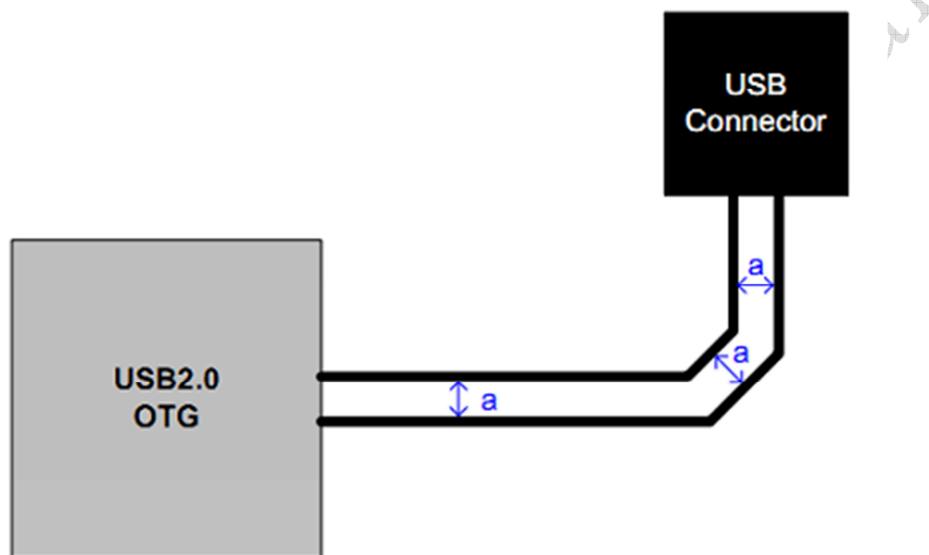


图 3 - 32 USB DM/DP LAYOUT拐角方式

- USB 2.0规范定义的电流为500mA，但是VBUS走线最好能承受1A的电流，以防过流，及减小PCB布线带来的线损。
- ESD保护器件、共模电感和大电容在布局时应尽可能的靠近USB接口，限流开关输入及输出PIN，如有过孔换层尽量多放几个，以减小走线上的阻抗及满足过载能力，并确认限流开关的接地PIN有良好的接地，至少需要就近PIN焊盘放置4个以上0402类型的过孔，如图3-34。

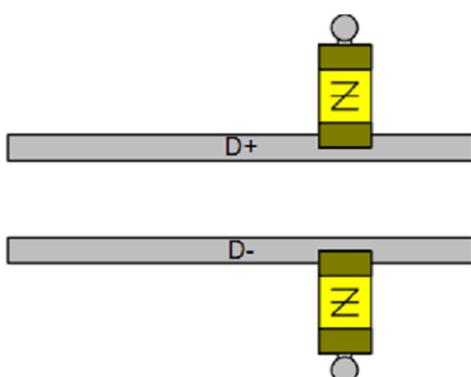


图 3 - 33 ESD器件布局方式

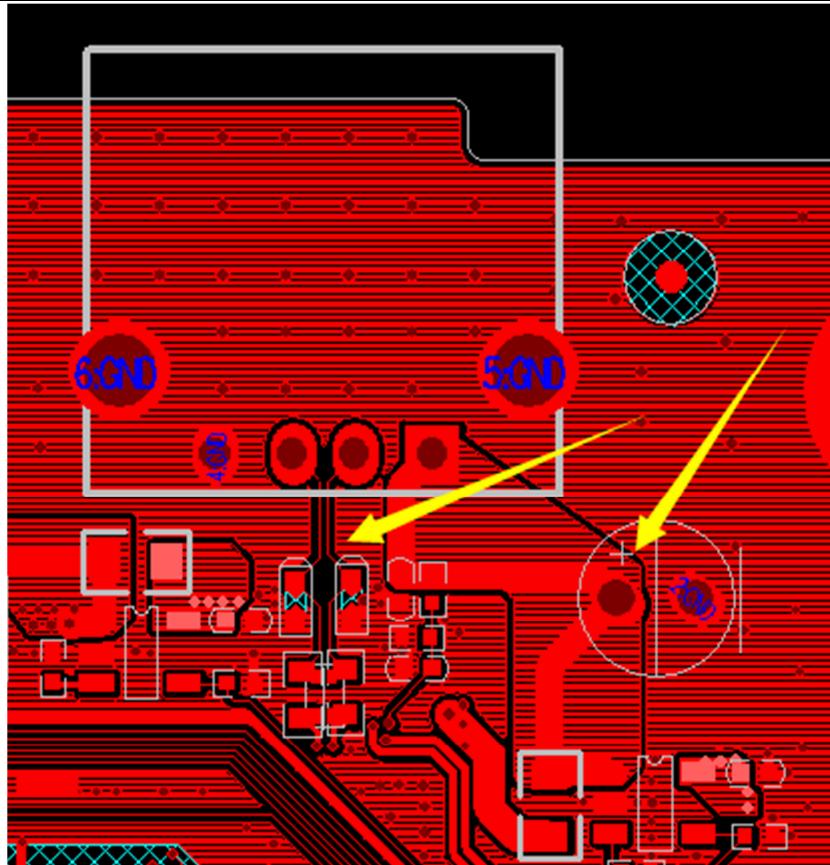


图 3-34 USB 电源布局方式

- DM/DP走线中应该尽可能的减少过孔，过孔会造成线路阻抗的不连续，如一定要换层，在差分对换层过孔中心位置加一个地过孔，提供较短的信号回流路径；
- USB建议在表层走线，并保证走线参考面是一个连续完整的参考面，不被分割，如图3-35；

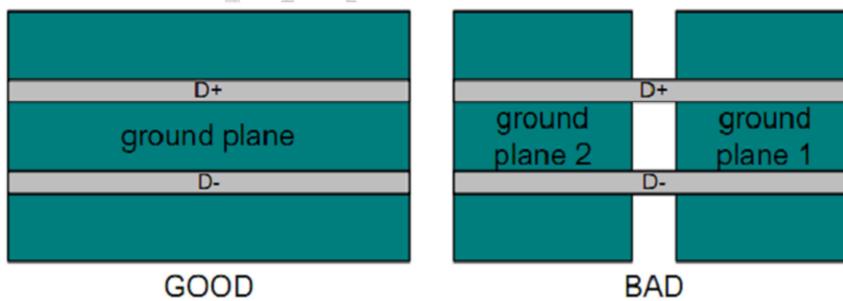


图 3-35 参考平面必须完整

3.3.4 音视频电路

● 3.3.4.1 模拟音视频电路

音频为满足标准要需，需要增加音频放大IC，VDAC_OUT网络330R的下地电阻不可更改，如图3-36。

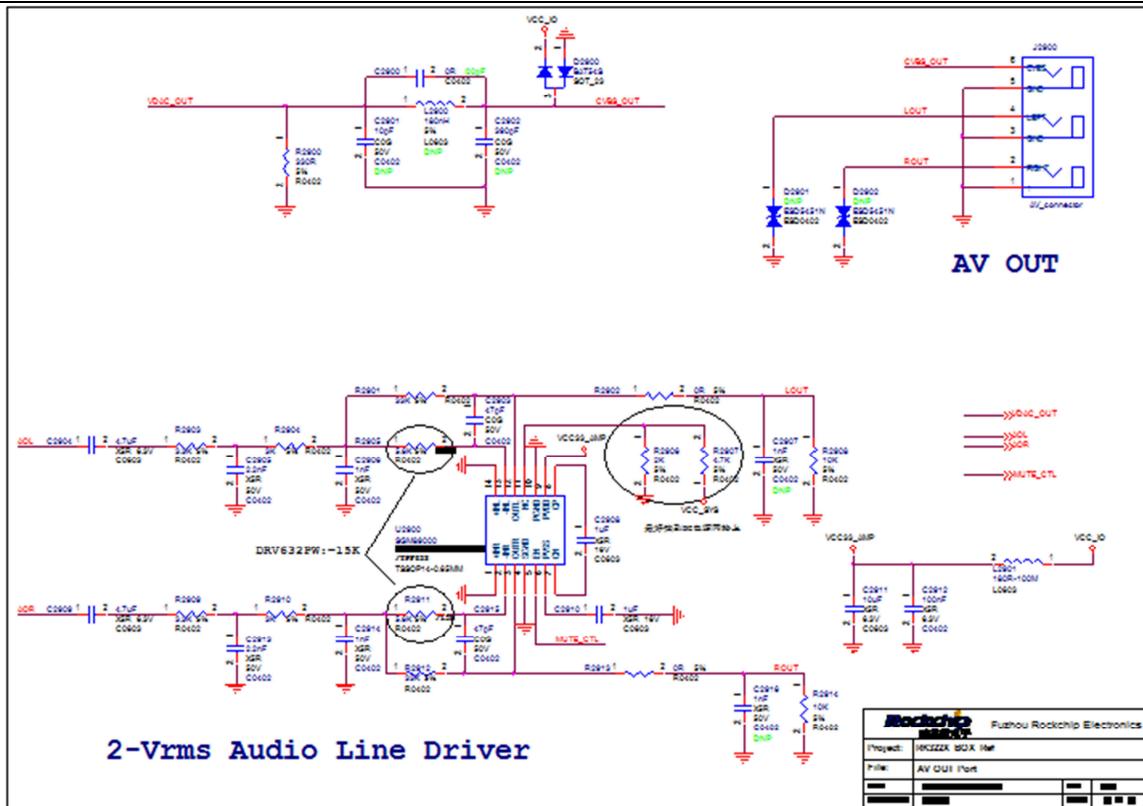


图 3-36 模拟音视频电路

● 3.3.4.1 LAYOUT建议

- CVBS视频信号做75ohm阻抗控制，PCB布线尽量控制短，避开干扰信号如PWM及DC-DC的功率电感等，同时不可以系统电源为参考层，应用GND层做为参考。**同层包地间距2W以上，避免包地过近影响色度亮度增益不等。**
- 模拟音频信号左右声道包地，包地要适当放置过孔，避免伴随系统电源，时钟等干扰较强的走线。
- 数字音频信号SPDIF同样要注意避开干扰源，如使用同轴，注意电路上要加隔离，避免设备电平不匹配，烧坏SPDIF IO输出口，同轴电路如图3-60。

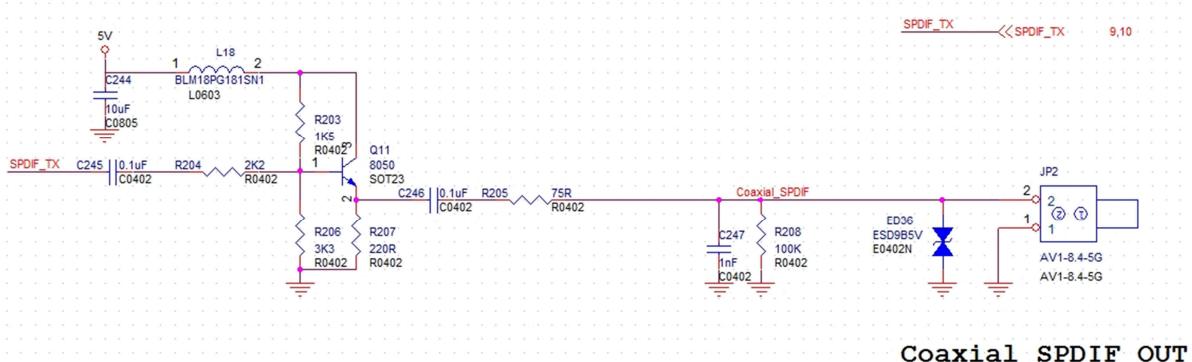


图 3-37 同轴隔直参考电路

3. 3. 4. 2 HDMI OUT

- RK322x提供了一个HDMI接口，支持HDMI 2.0协议：
- HDMI控制器参考电阻R1408请选用1%精度的电阻，该电阻会影响眼图信号质量。

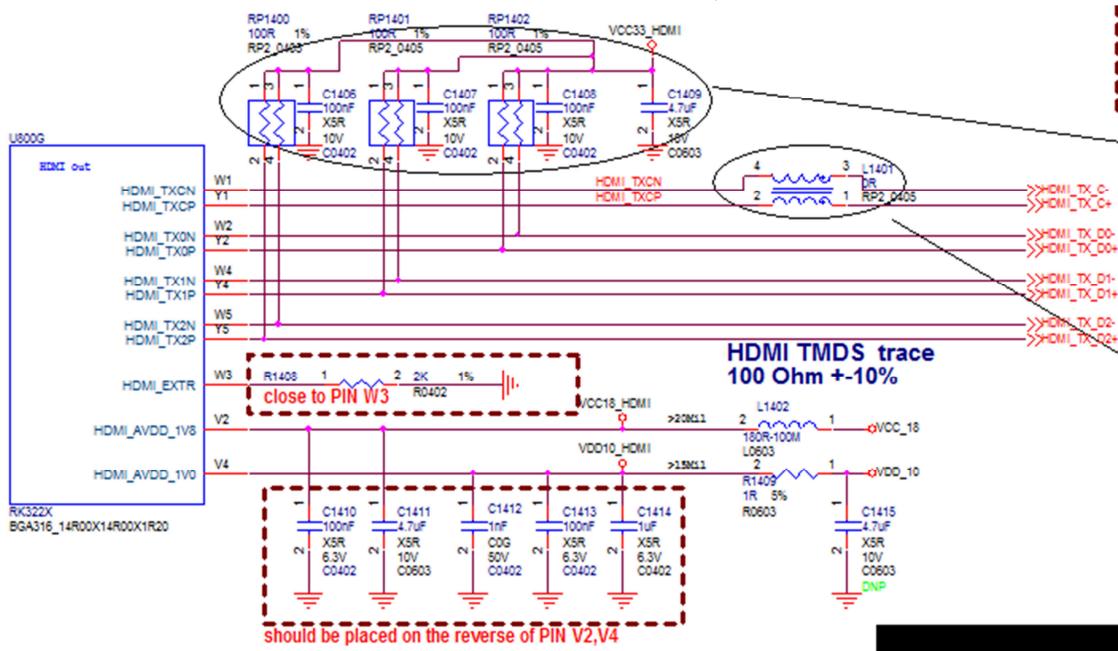


图 3 - 38 RK322x HDMI模块

- HDMI 接口电路注意防倒灌设计，详细见RK322x参考设计原理图；

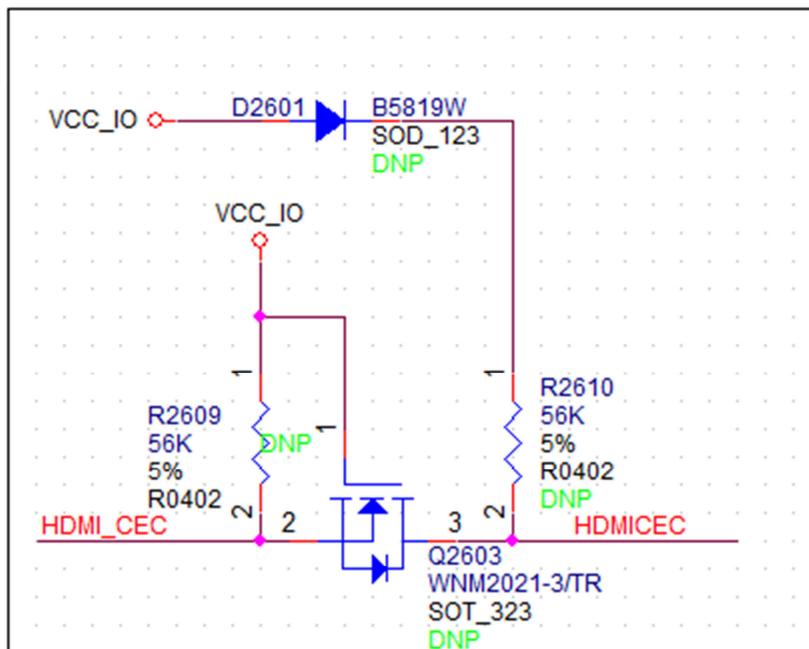


图 3 - 39 HDMI CEC放倒灌电路

- RK322x的I2C不支持5V电平，DDC/I2C总线需要增加电平转换电路；

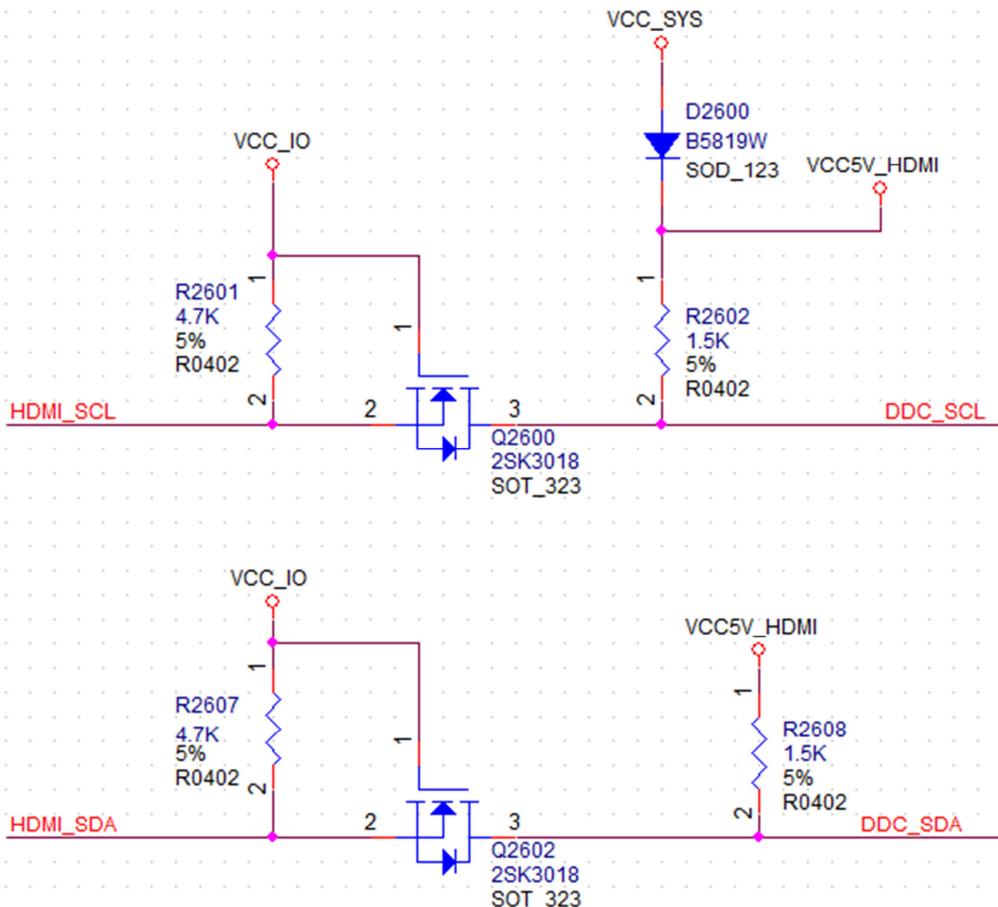


图 3 - 40 HDMI DDC电平转换电路

- HDMI 四组差分信号上需要有ESD 保护, ESD 器件靠近HDMI 接口放置, 推荐电容最大不超过0.4pF。

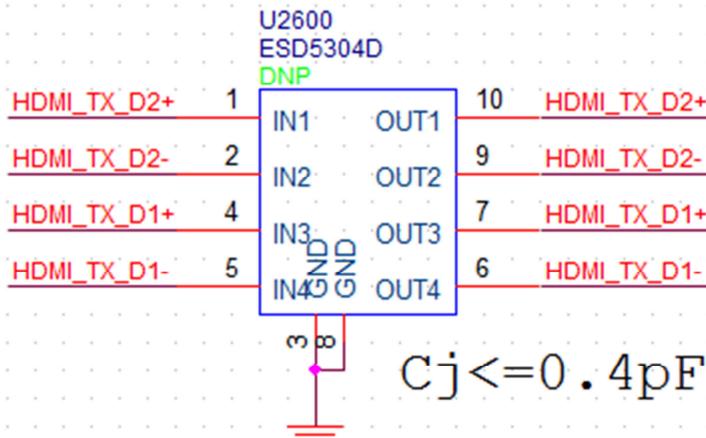


图 3 - 41 HDMI ESD电路

PCB LAYOUT建议:

- ESD器件需靠近HDMI插座放置, 差分对的上拉及共模靠近芯片端放置, 以改善信号反射, 防止眼图JITTER过大, 详细的AYOUT说明, 详见“RK3228A_RK3228B_RK3229_BOX_REF_V10_20160729.DSN”版本参考原理图备注, 如图3-42.

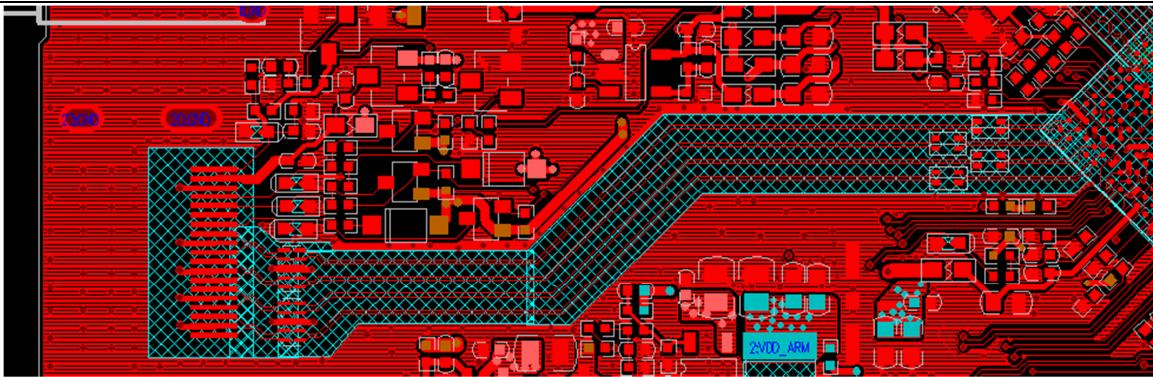


图 3 - 42 HDMI差分对LAYOUT方式

- HDMI的差分信号必须严格按照差分要求走线，走线尽可能的少换层，保持参考平面完整，阻抗要求 $Z=100 \pm 10\text{ohm}$ 。
- RK322x的HDMI信号可以直接顺序扇出到HDMI连接座，走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；如果因为模具结构无法避免换层，建议将换层的阻抗变化控制在10%以内，并在每对换层的差分对旁边就近安排一个GND过孔用于信号回流换层。

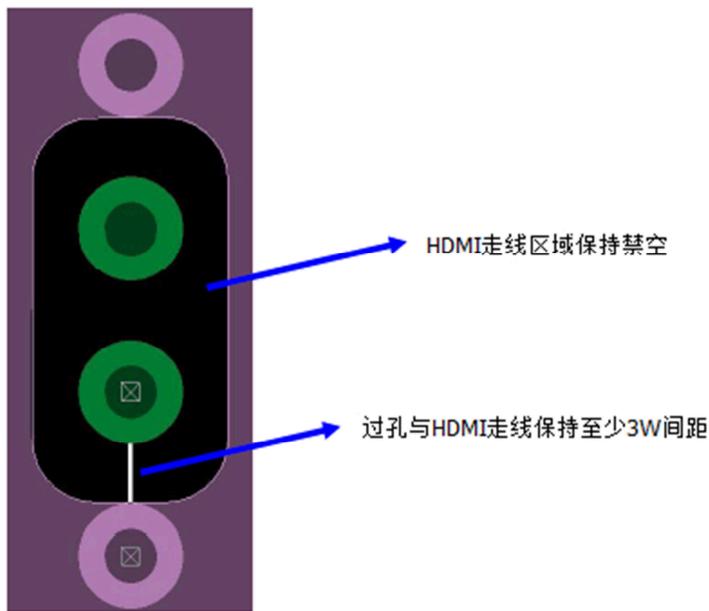


图 3 - 43 差分信号换层过孔放置示

HDMI 线路要求如表3-1：

表 3 - 11 RK322x HDMI 走线要求

参数	要求
Trace Impedance	差分阻抗: $100 \Omega \pm 10\%$
Max intra-pair skew	$<4\text{ps}$
Max trace length skew between clock and data pairs	$<80\text{ps}$
Max trace length on carrier board	9.8 inches
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible
The minimum spacing between HDMI and other Signals	At least 3 times the width of HDMI trace

3.3.4.3 数字阵列MIC

详见“RK麦克风阵列EVK用户使用指南V02.docx”与“多麦克风阵列应用简介与硬件实现.pptx”两份文档，此处不再作过多介绍。

3.3.5 RECOVERY按键电路

RK322x采用GPIO3_d1作为进入RECOVER模式的判断条件（不需要更新LOADER），如图10-1。在有固件的前提下，开机时按下SW1300，将GPIO3_d1保持为0V电平，则RK322x进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC_IN1恢复为高电平（3.3V），即可进行固件烧写。

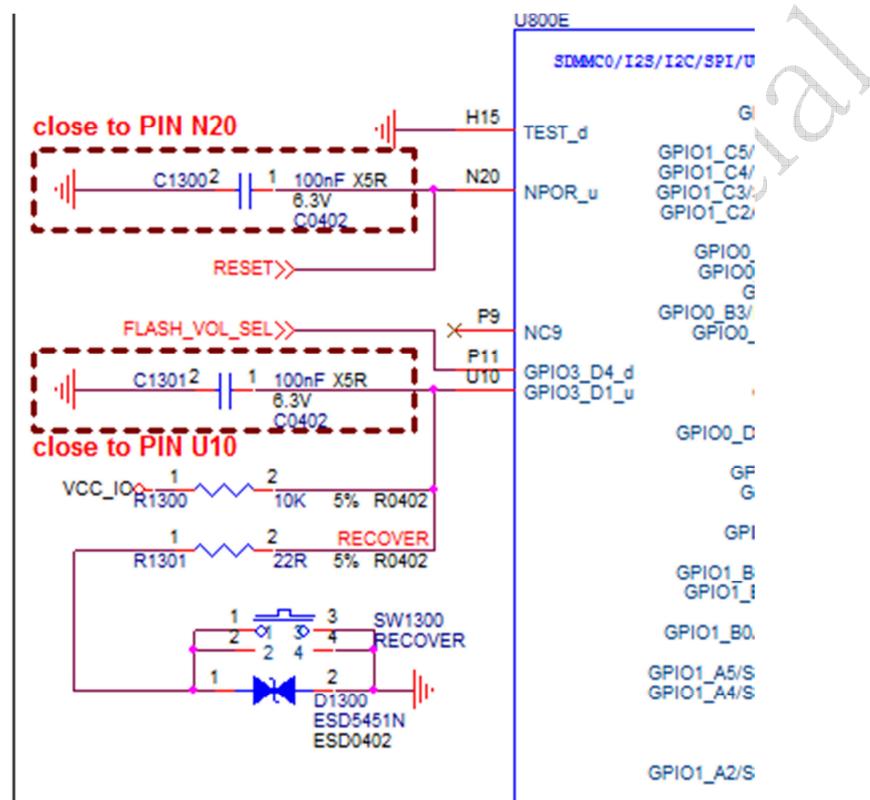


图 3 - 44 RECOVERY按键电路

小贴士：

- Recover 模式进入方法不能自行更改；

PCB Layout 建议：

Key PCB Layout注意点如下：

- ESD保护器件请就近靠近按键放置，以起到静电保护作用，如图3-45；
- 按键消抖电容C1301请靠近芯片放置；
- KEY走线与其他信号线用地线隔离，避免信号线间串扰引起键值误判。

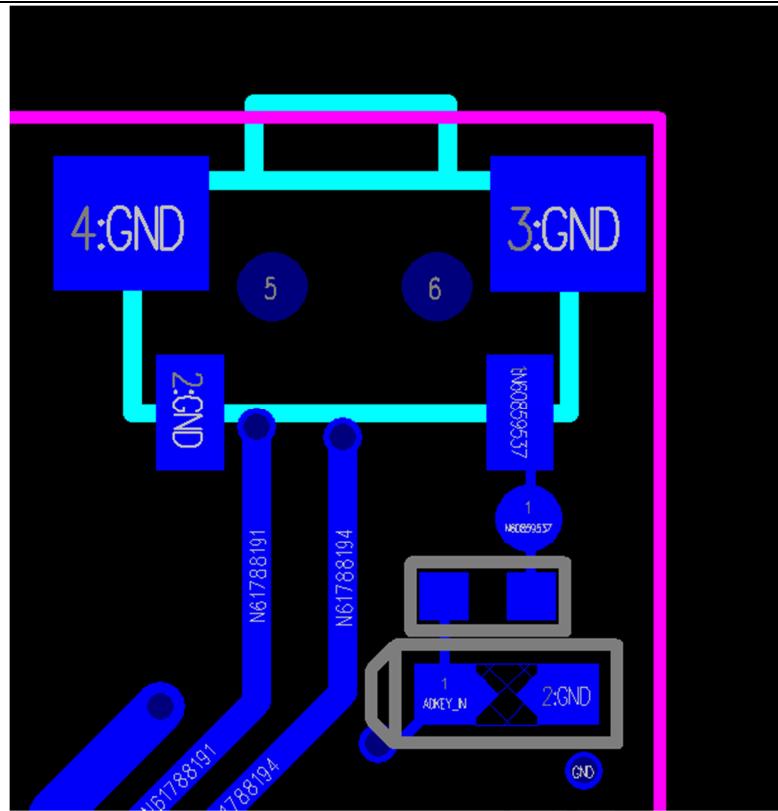


图 3 - 45 RECOVERY按键 LAYOUT布局

3.3.6 Debug电路

为了方便软件在线调试，RK322X专门预留一个用来作Debug的Uart接口（UART2）；在实际产品应用中，不建议使用该功能接口作其它功能使用，并按图3-46所示设计，预留调试接口，方便产品的调试。

Debug UART2

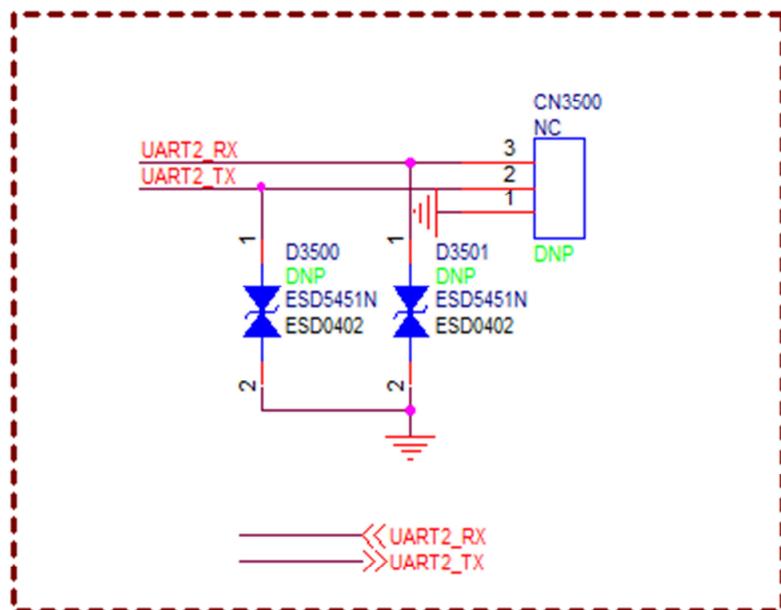


图 3 - 46 Debug电路

如果使用RS232电平转换芯片，需要注意TXD、RXD方向。

PCB Layout建议

较常使用Debug功能的话（如开发板、SDK等），建议在接口增加ESD器件，对芯片提供保护；主板布局时，要方便焊接DEBUG线。

4 最小系统设计建议

4.1 PCB 叠层

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽尺寸以及与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽间距则取决于选择的PCB叠层结构。由于最小线宽和线距是取决于PCB类型以及成本要求，受此限制，选择的PCB叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

RK322x推荐使用4层的PCB叠层，以下叠层结构做为范例，可以给客户在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠层结构，请根据PCB厂商给出的规格，重新计算阻抗。

4.1.1 4层板叠层

在4层板叠层设计中，顶层信号L1的参考平面为L2，底层信号L4的参考平面为L3。

Customer Name:				Total Thickness	0.80+-0.10mm				
Customer P/N:				Measure from	SM~SM				
Layer No.	sig/pln	Copper thk. before process (oz)	Construction			Finished thikness (um)	Finished thikness (mil)	Tolerance	Dk (1GHz)
S/M						25	0.98	+/-10	3.5
1	TOP	1	PP 1080X1(RC68%)			35	1.38	+/-10	
2	GND	1	Core			75	2.95	+/-14	3.8
3	POWER	1	PP 1080X1(RC68%)			35	1.38	+/-10	
4	BOTTOM	1				1265	49.80	+/-30	4.2
S/M						35	1.38	+/-10	
						75	2.95	+/-14	3.8
						35	1.38	+/-10	
						25	0.98	+/-10	3.5
				总计:		1605	63.19		

参数描述：										
层数	阻抗属性	线宽 mil	线距 mil	伴隨地间距 mil	伴隨地宽度 mil	铜厚(成品) OZ	要求阻抗 Ohm	参考层	计算值 Ohm	备注
L1/L4	特性	4.5				1	50	L2/L3	51.4	layout按4mil走线，板厂自行调整
L1/L4	差分	3.2	4.8			1	100	L2/L3	100.78	layout按4/4mil走线，板厂自行调整
L1/L4	差分	4	5			1	90	L2/L3	93.4	无伴隨地
L1/L4	差分	4	5	5	15	1	90	L2/L3	91.92	

备注：四层板阻抗模拟计算如上图，其他厚度1.0MM、1.2MM、1.6MM除压合结构CORE变动，其他阻抗值不会受影响！

图 4 - 1 RK322x 4层板设计建议叠层结构

4.2 最小系统设计建议

4.2.1 Crystal设计

在时钟电路的PCB设计中，请注意：

- 在布局时，晶体电路尽可能地靠近RK322x的时钟管脚放置；
- 信号走线使用4mil走线，并且尽可能的短，以减少走线的负载电容和防止不必要的噪声；
- 时钟走线Xin和Xout以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的稳定性；

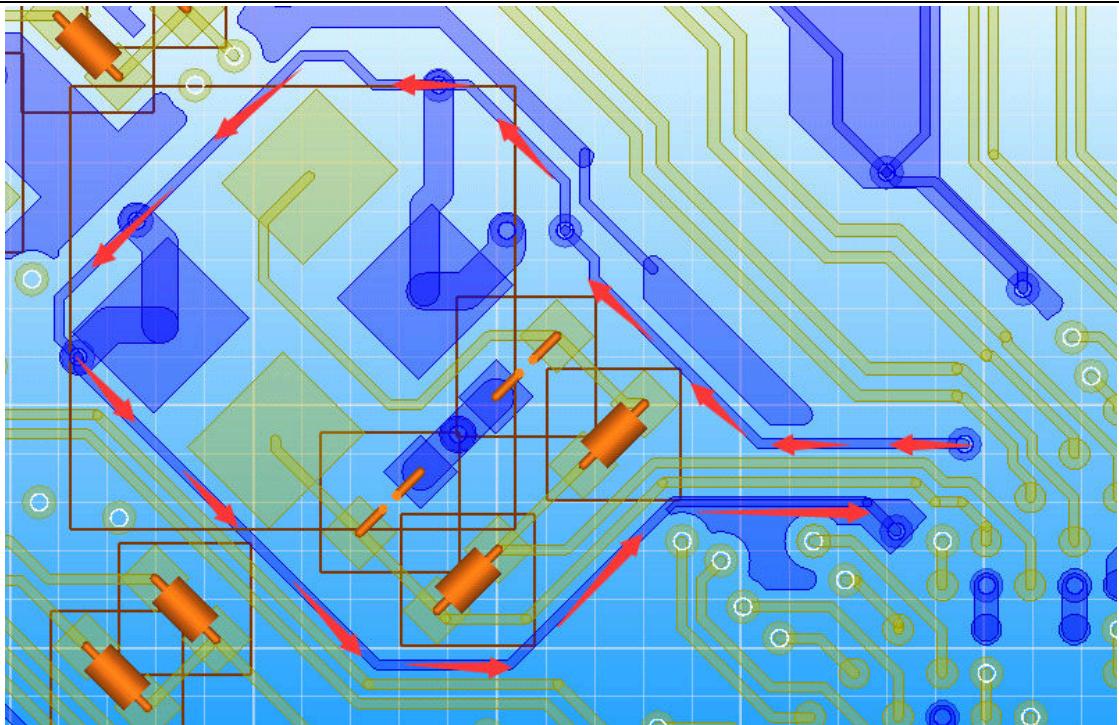


图 4-2 RK322x 晶体地环设计

4.2.2 DDR设计

RK322X官方推荐设计为**DDR3**，下面主要详述**DDR3**的布局布线要求。

- 4.2.2.1 DDR3

DDR3 Data具有如下的等效电路：

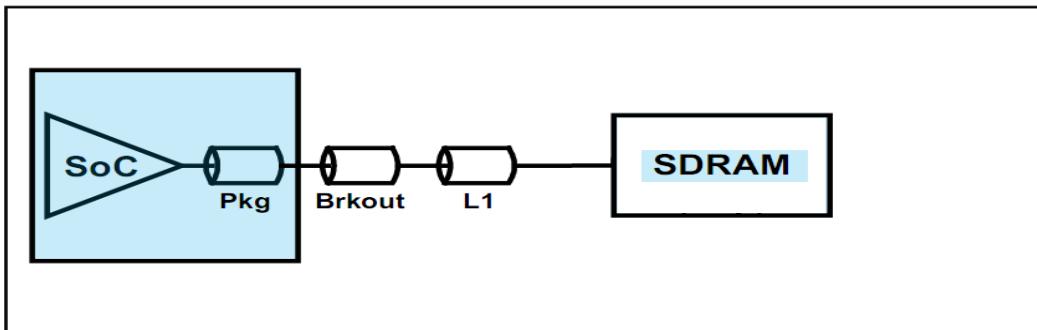


图 4-3 DDR3 DATA信号拓扑等效电路

DDR3 Data走线要求如表4-1：

表 4-1 RK322x DDR3 Data (DQ/DM/DQS) 走线要求

参数	定义
Signal Group	DQ, DM, DQS
Target Impedance (Z0:DQ; Zdiff: DQS)	DQ: $50 \text{ Ohm} \pm 10\%$, DQS: $100 \text{ Ohm} \pm 10\%$, DM: $50 \text{ Ohm} \pm 10\%$
DQS Routing Trace Width and Spacing within pair	PCB stack-up dependent
DQ Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : ≥ 2 times the width of the trace
DQS to DQ Spacing within same Byte Group	≥ 2 times the width of the trace
Byte Group to Byte Group Spacing, Data to Other Signals Spacing	≥ 2 times the width of the trace
Max intra-pair skew of DQS	1ps
Max skew between DQ and DQS	5ps

DDR3 CLK具有如下的等效电路：

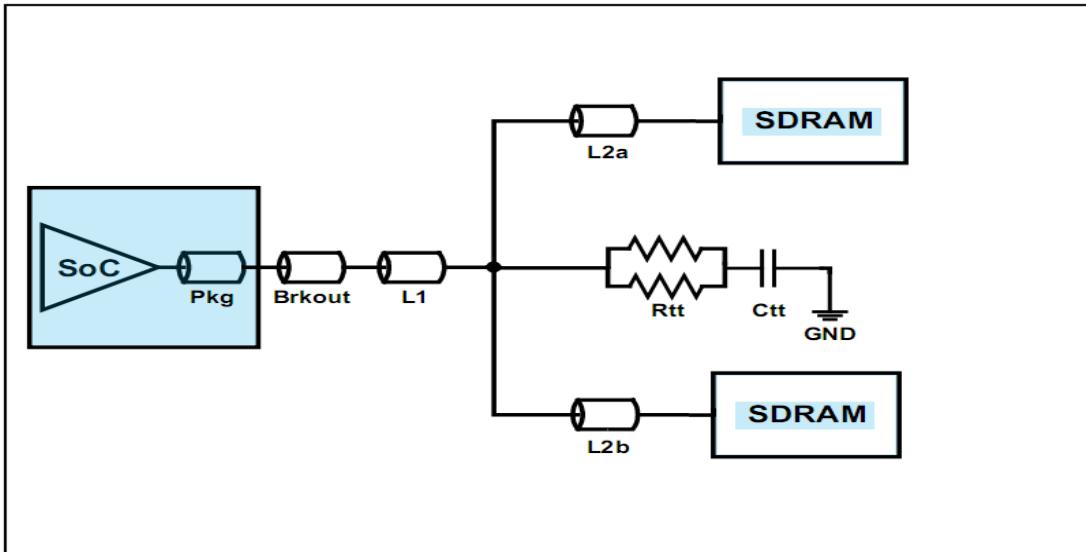


图 4-4 DDR3 CLK信号拓扑等效电路

DDR3 CLK走线要求如表4-2：

表 4-2 RK322x DDR3 CLK走线要求

参数	定义
Signal Group	CLK
Target Impedance (Diff Z0)	100 Ohm ± 10%
CLK Routing Trace Width and Spacing within pair	PCB stack-up dependent
CLK Routing Spacing to other Signals	≥2 times the width of the trace
Max intra-pair skew of CLK	1ps
Max skew between CLK and DQS	150ps
L2a, L2b	length match L2a and L2b within 1 ps

DDR3 Control具有如下的等效电路：

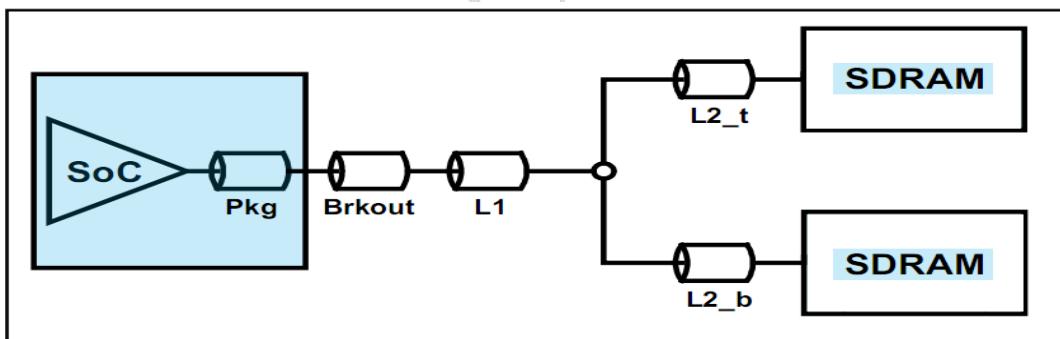


图 4-5 DDR3 Control (CTL) 信号拓扑等效电路

DDR3 Control走线要求如表4-3：

表 4-3 RK322x DDR3 Control (CTL) 走线要求

参数	定义
Signal Group	CSB, CKE, ODT
Target Impedance (Z0)	50 Ohm ± 10%
CTL Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : ≥2 times the width of the trace
Max skew between CTL and CLK	10ps
L2t, L2b	length match L2t and L2b within 1 ps

DDR3 Command具有如下的等效电路：

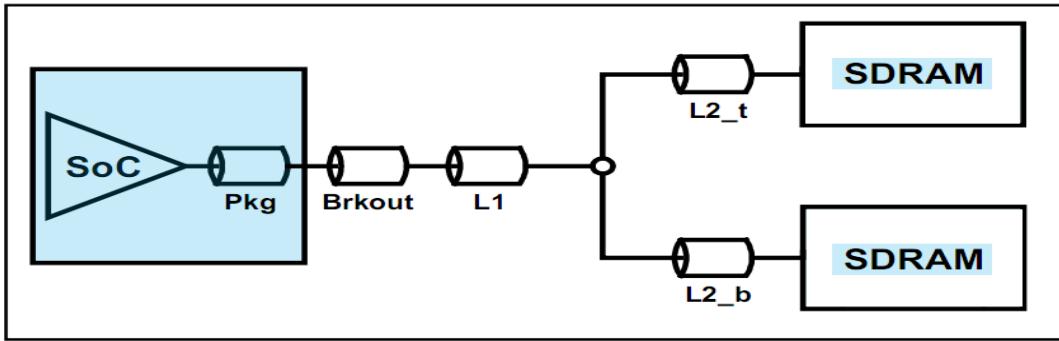


图 4-6 DDR3 Command (CMD) 信号拓扑等效电路

DDR3 Command走线要求如表4-4:

表 4-4 RK322x DDR3 Command (CMD) 走线要求

参数	定义
Signal Group	DDR3_A[0:15], DDR3_CASB, DDR3_RASB, DDR3_WEB
Target Impedance (Z0)	50 Ohm ± 10%
CA Routing Trace Width and Spacing	Width : PCB stack-up dependent Spacing : ≥2 times the width of the trace
Max skew between CMD and CLK	10ps
L2t, L2b	length match L2t and L2b within 1 ps

4.2.3 存储设计

RK322X支持Nand Flash、eMMC、tSD等FLASH存储设备。使用Nand Flash、tSD Flash时，控制器及颗粒供电VCC_FLASH为3.3V。而不同版本的eMMC，控制器及颗粒供电VCC_FLASH可能为1.8V（eMMC4.1以上）或者3.3V，设计时请根据Datasheet调整，如图4-7所示；并修改FLASH0_VOLTAGE_SEL上下拉状态，如表4-8所示。

小贴士：

- eMMC 在使用中，如果要求更高性能的话，VCC_FLASH 需要使用 1.8V 供电；

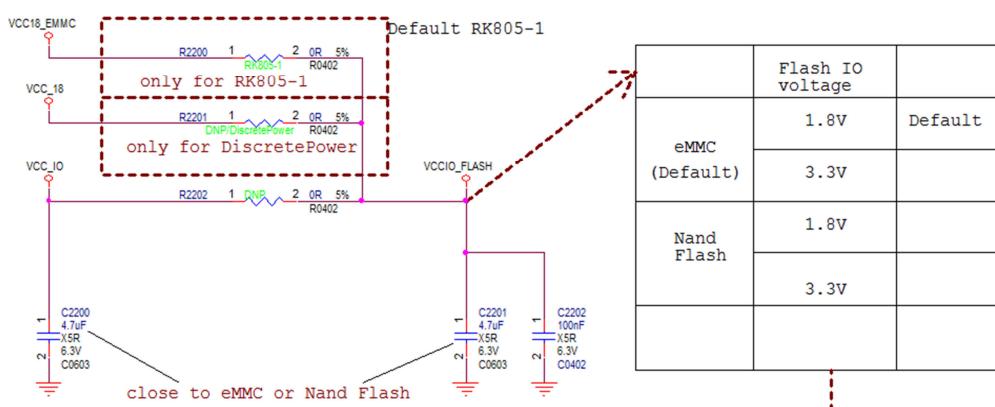


图 4-7 EMMC IO电源选择

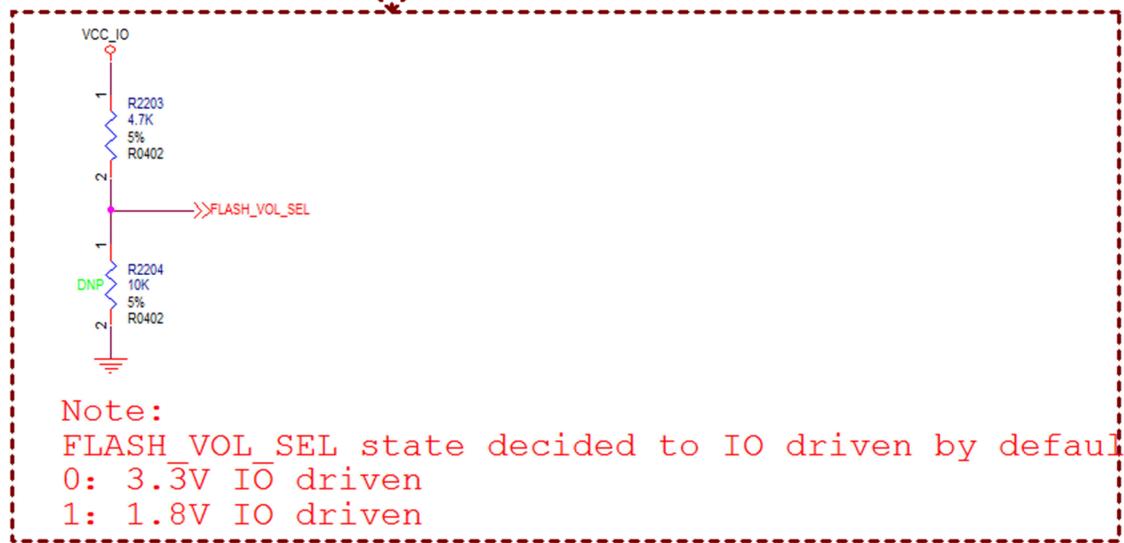


图 4-8 存储器主控端 IO 电平适配选择

如果使用 Nand Flash，原理图如图 4-9 所示。当使用 Toshiba 和 Sandisk 的 DDR 模式 Nand Flash 时，VCCQ1 和 VCCQ4 需要连接到 VCC_IO 供电，即 R2401、R2403、要贴 OR 电阻。

PIN38 需预留 OR 电阻，部分颗粒会定义为写保护，如是此类型颗粒，则 PIN38 上所串的电阻要 NC。

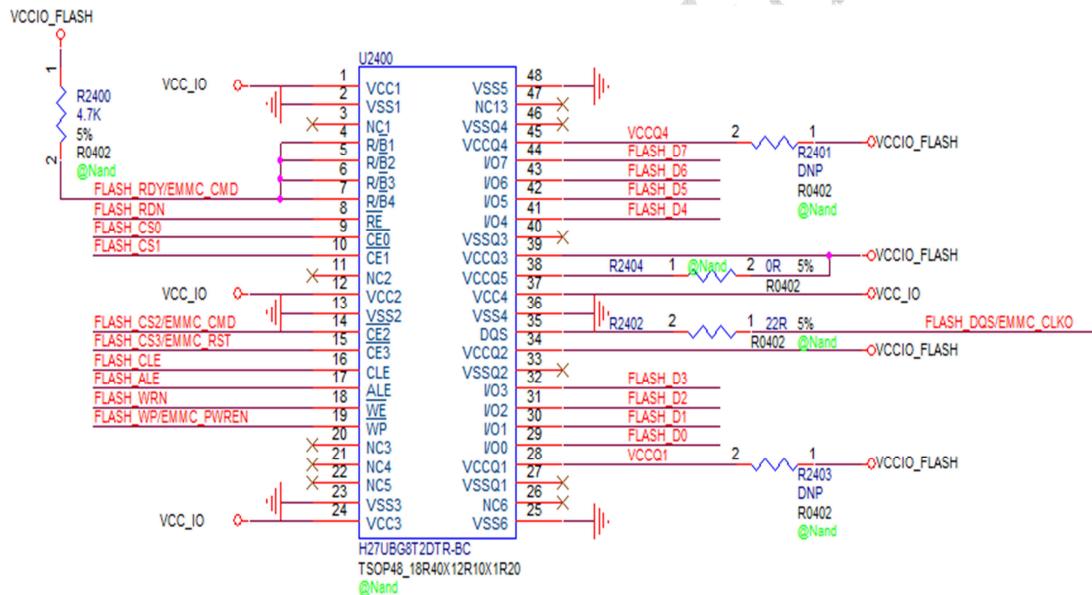


图 4-9 NAND FLASH 典型应用电路

如果使用 eMMC Flash，原理图如图 4-10 所示。eMMC-DATA/CMD 信号线预留 10K 上拉电阻，电源为 VCC_FLASH，默认上拉 CMD 及 D0 的上拉电阻即可，eMMC-CLK 不需要上拉。

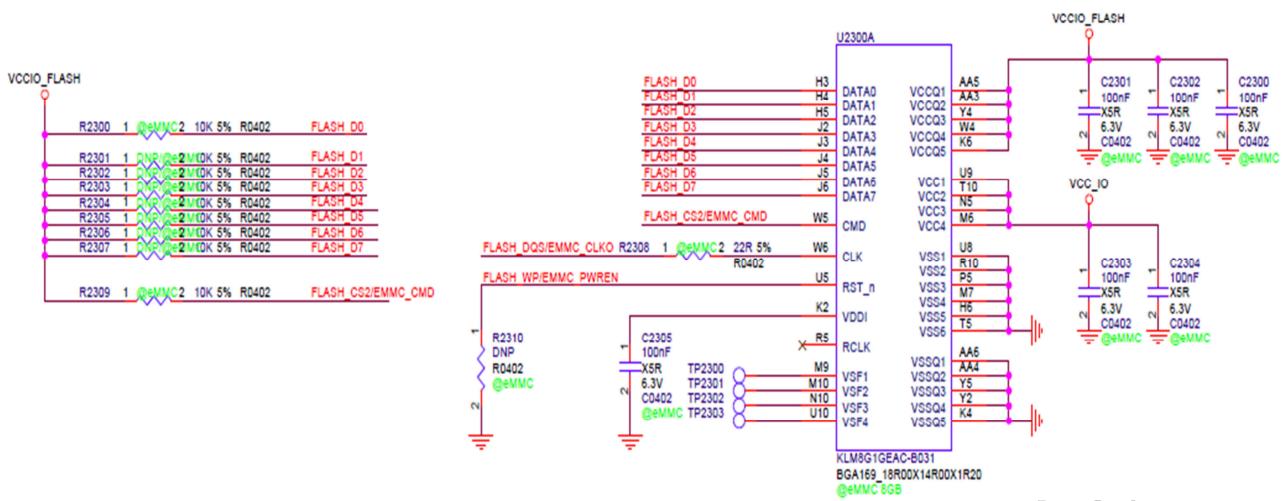


图 4-10 EMMC典型应用电路

为了方便在开发阶段进入MaskRom固件烧写模式（需要更新LOADER），使用Nand Flash时FLASH_CLE需预留测试点，而在使用eMMC Flash时EMMC_CLK0要预留测试点，如图4-11所示。



Note:
eMMC or Nand Flash Update.

图 4-11 开发阶段快速进烧写测试点

PCB Layout 建议:

Nand Flash与eMMC Flash可以通过双Layout实现物料的切换，Layout结构如图8-7所示。eMMC芯片下方在铺铜时，焊盘部分需要增加铺铜禁布框，避免铜皮分布不均匀影响散热，导致贴片时出现虚焊现象。

Flash需要注意电源纹波不能大于80mV，所以电源走线需注意远离高速信号线。Flash的数据线不能
Vbus、Vdc、VCC_SYS等纹波较大的大电流信号灌铜邻层走线。

固件升级模式测试点，建议靠近Flash就近放置，便于升级操作，如图4-12。

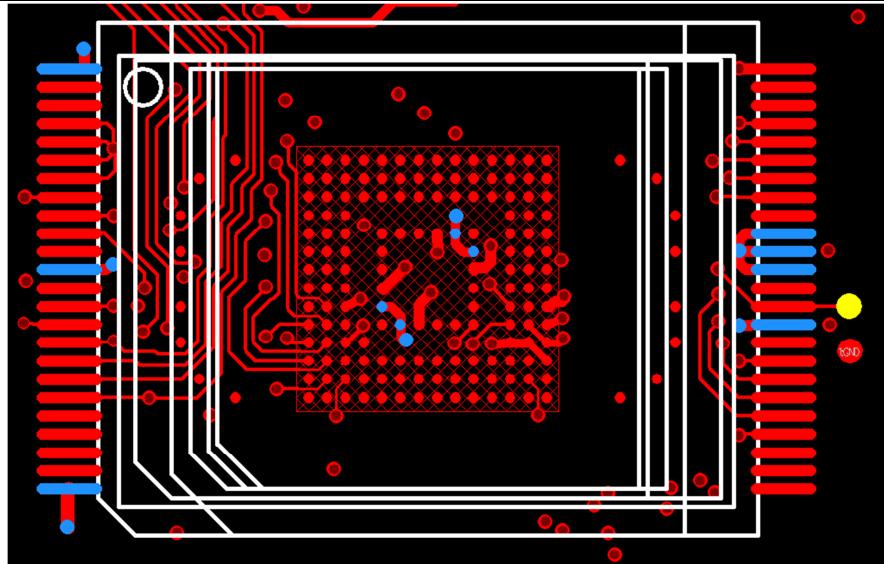


图 4-12 烧写相关测试点布局

4.3 RF 信号 PCB 设计建议

如果是2X2 MIMO天线接口，两个天线口之间的出线方向需要考虑两个天线的位置，两个天线的位置需要尽量远离，避免干扰。模块的ANT RF线要保持50ohm阻抗线，为了降低干扰和降低线损，ANT RF线相邻的层挖空，且要保持参考层的完整性（保持同一个参考平面），不能跨越电源及其他信号线，RF模块远离HDMI布线，及DDR核心模块布线，避免干扰，RF线要预留调试匹配的位号。如图所示高亮黄色信号线是ANT RF线。

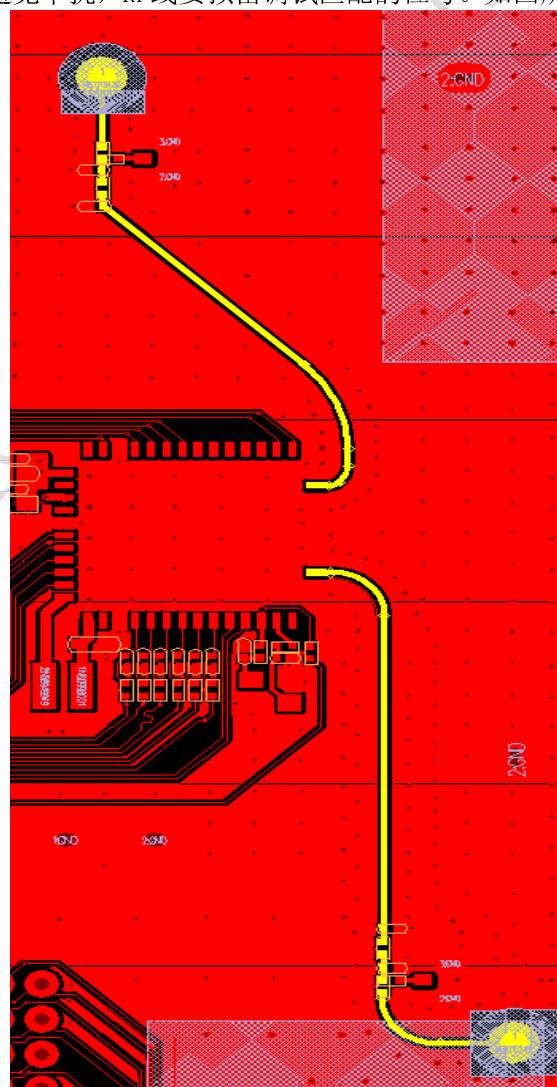


图 4-13 RF 天线布局

模块的使用的crystal要靠近模块，避免长的时钟布线，引入干扰，且应远离发热源，避免晶体温漂过大对RF有影响。

4.3.1 天线电路

- 4.3.2.1 概述

无线通信发展迅速，作为系统发送和接收电磁波的前端器件一天线，其性能对整个系统的通讯质量至关重要。根据不同的使用平台和不同的应用终端，其对性能和成本控制等要求也越来越苛刻。从而，天线小型化、多频段和多天线等技术成为PCB设计的热点和难点。

- 4.3.2.2 选用天线类型

随着市场竞争的加剧，硬件设备正以集成化的方向发展。天线也由外置进化内置再进化到嵌入式，根据实际应用的不同，可选用以下四种类型的天线：

- On Board板载式：采用PCB蚀刻一体成型，性能受限，极低成本，应用于蓝牙、WIFI模组集成；
- SMT贴装式：材质有陶瓷、金属片、PCB，性能成本适中，适用于大批量的嵌入式射频模组；
- IPX外接式：使用PCB或FPC+Cable的组合，性能优秀，成本适中，广泛应用于OTT、终端设备；
- External外置类：塑胶棒状天线，高性能，独立性，成本高，应用于终端设备，无须考虑EMC。

- 4.3.2.3 设计指标

表 4-5 BT/WIFI天线指标

适用标准	BT/IEEE 802.11 b/g/n	IEEE 802.11 a/b/g/n
频率范围	2.4 to 2.49 GHz	2.4 to 2.49 GHz, 5.15 to 5.85 GHz
最大增益	3-4dBi	5-6dBi
天线尺寸	10*5.0*1.0-1.6 (mm)	40*9*1.0-1.6 (mm)
封装尺寸	12*7.0 (mm)	44*11 (mm)
VSWR	2:1	
输入阻抗	50 Ohms	
温度	-40° to +75° C	
湿度	0 to 95%，不结晶露	

对于MIMO天线的使用，除了需要满足以上性能之外，非常重要的指标是两个或者多个天线之间的隔离度($S21 < -10$ dB)，这是当前小型化MIMO天线设计的难点。

另外，还有一个ECC指标，在WIFI频段中如果S11和S21满足要求，一般没什么问题。但是，四个以上的天线需要着重考虑天线间的布局。

4.4 电源信号 PCB 设计建议

4.4.1 RK322x Power

- 4.4.1.1 GND

PCB上必须留一层完整的地层，用于散热及保证电源完整性。

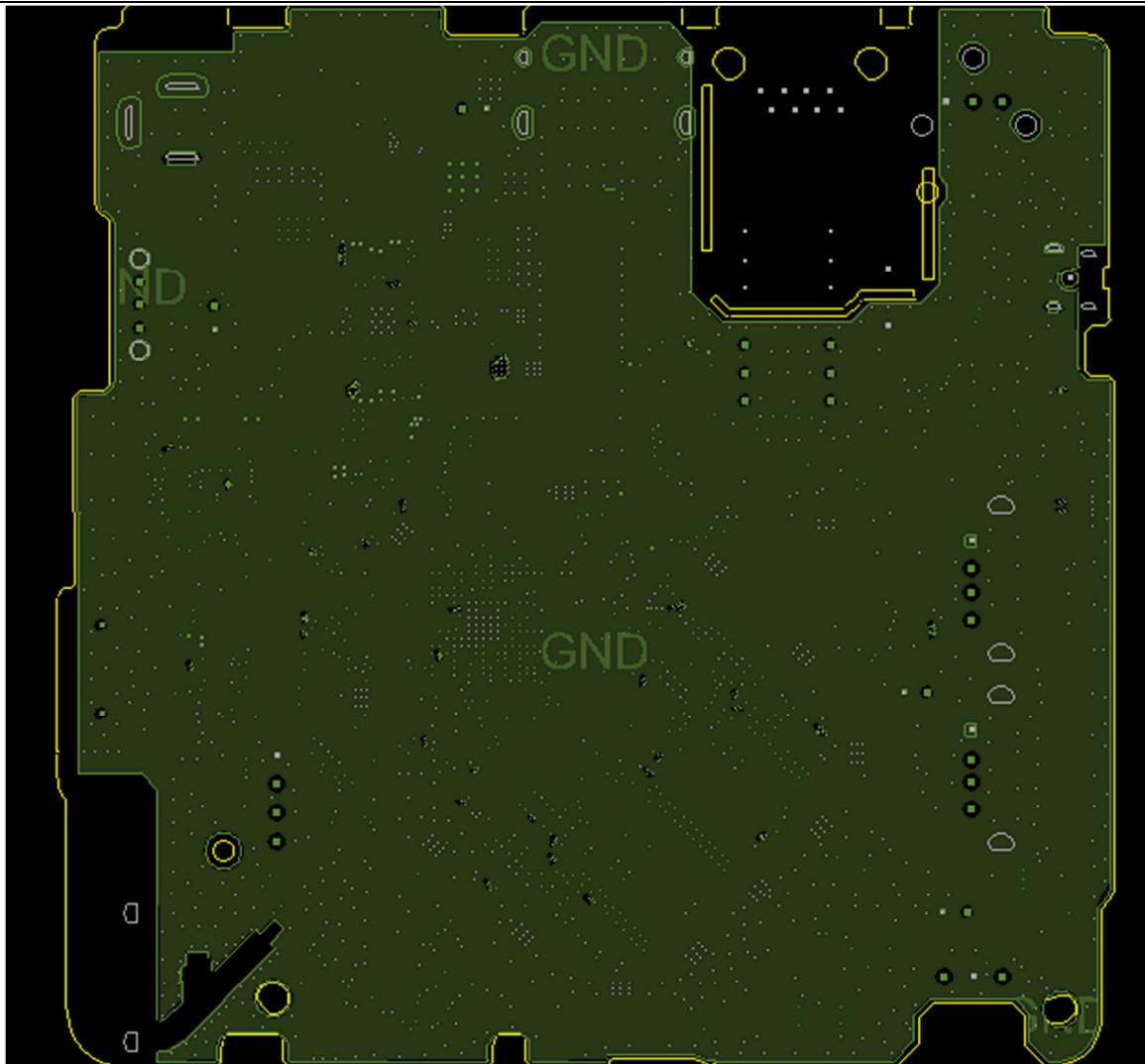


图 4-14 芯片下方完整的地平面
芯片每一个 GND PAD 要对应打一个 GND 过孔，如下图。

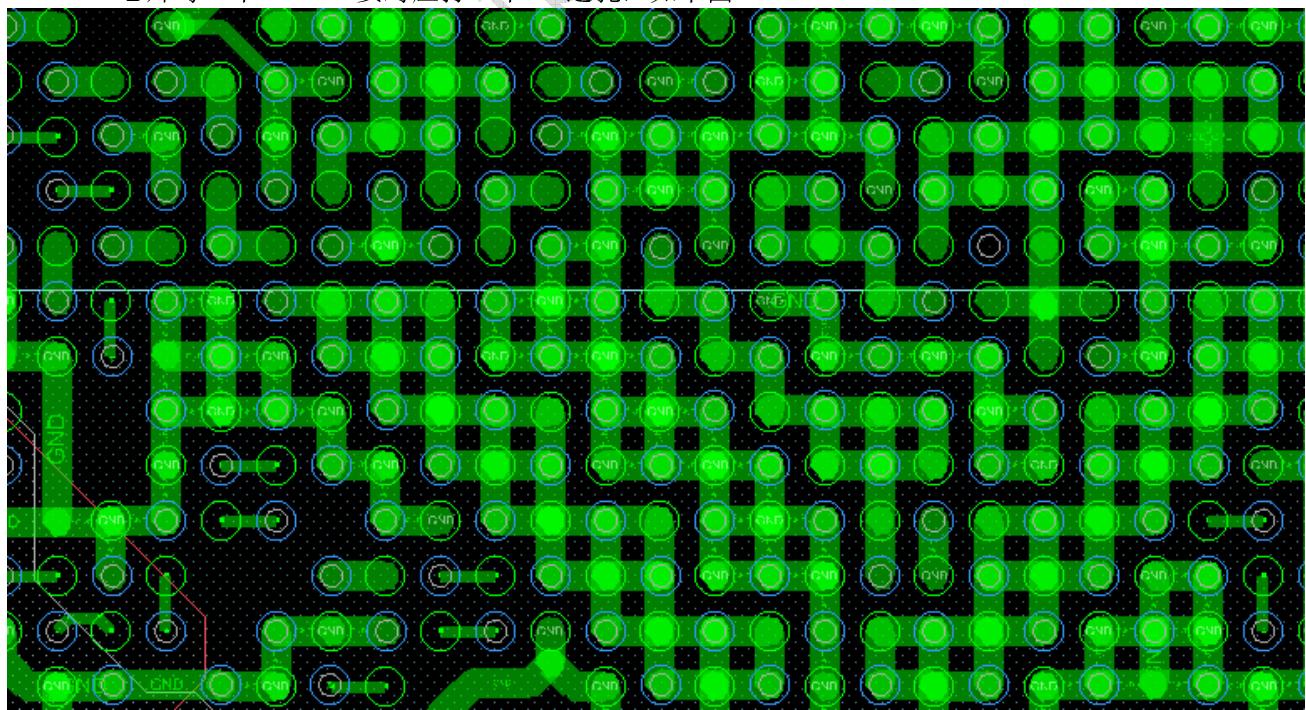


图 4-15 芯片下方 GND 过孔

- 4.4.1.2 SOC下方

VDD_ARM, VDD_LOG这些大电流电源需要在电源层用铺铜方式走到芯片底下，然后芯片尽可能的一个电源PAD打一个过孔连到电源层上。

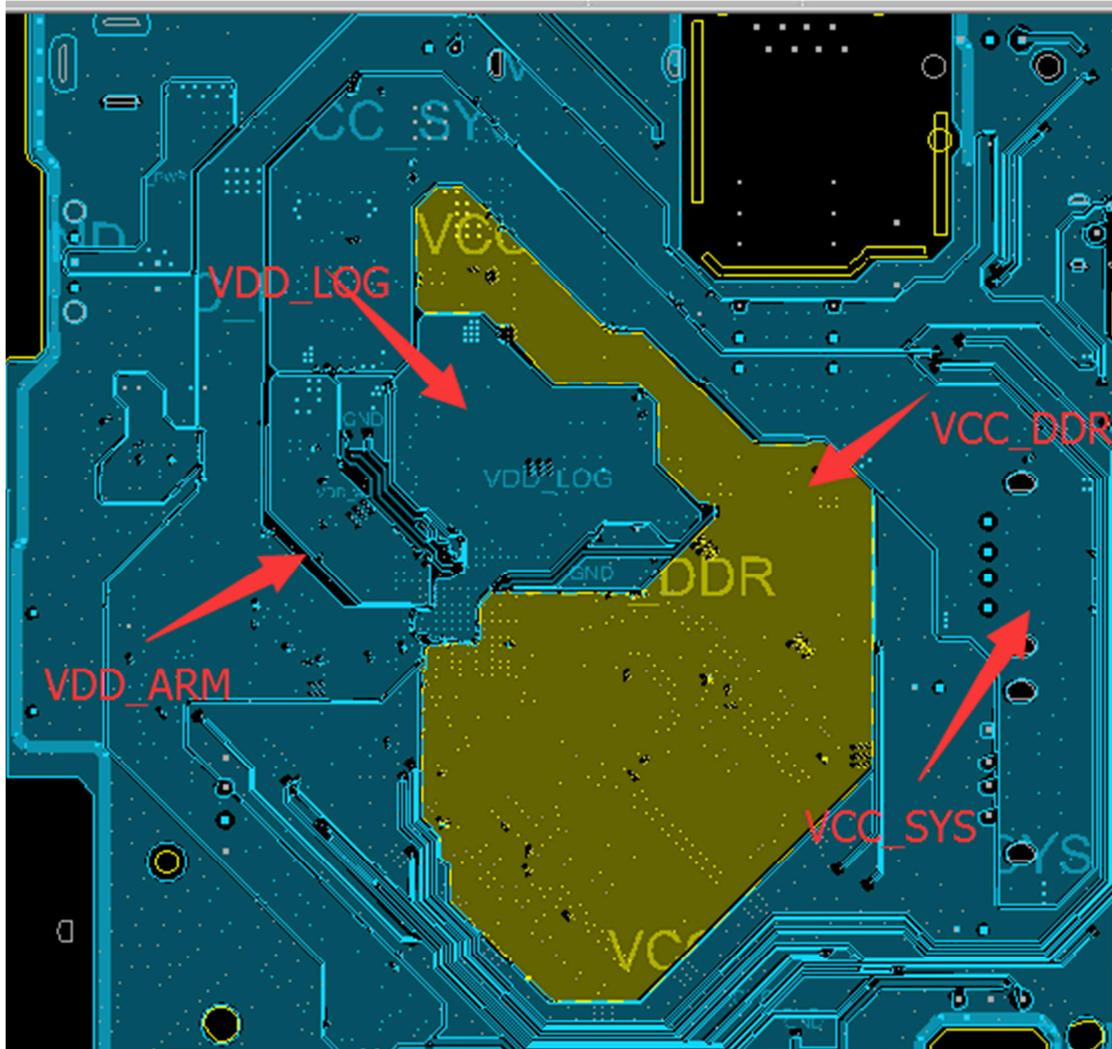


图 4-16 芯片电源层

SOC下方采用双面贴的结构，对提高电源性能有帮助。如果有换层要尽可能的多打地过孔（包括电容的GND过孔）。

- 4.4.1.3 DDR DRAM下方

VCC_DDR最好整层电源铺到DRAM下面，这样DRAM的去耦电容比较好放置，不会因为电容位置问题影响到信号走线。

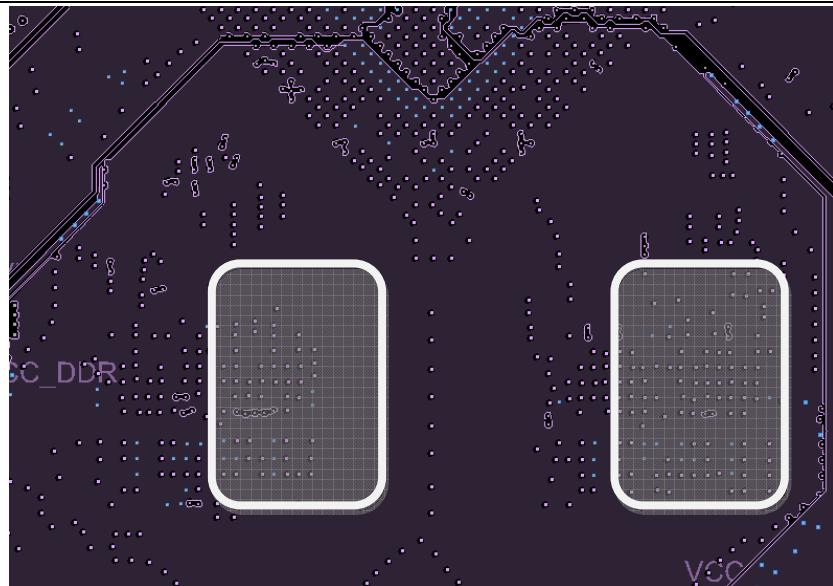


图 4-17 DDR下方参考面完整

● 4.4.1.4 小电源供电

芯片各路供电需就近芯片管脚放置去耦电容（如下图）。



图 4-18 电源去耦电容放置

4.4.2 PMIC

● 4.4.2.1

EPAD上要打足够多的过孔推荐打5*5 0402类型的25个过孔。

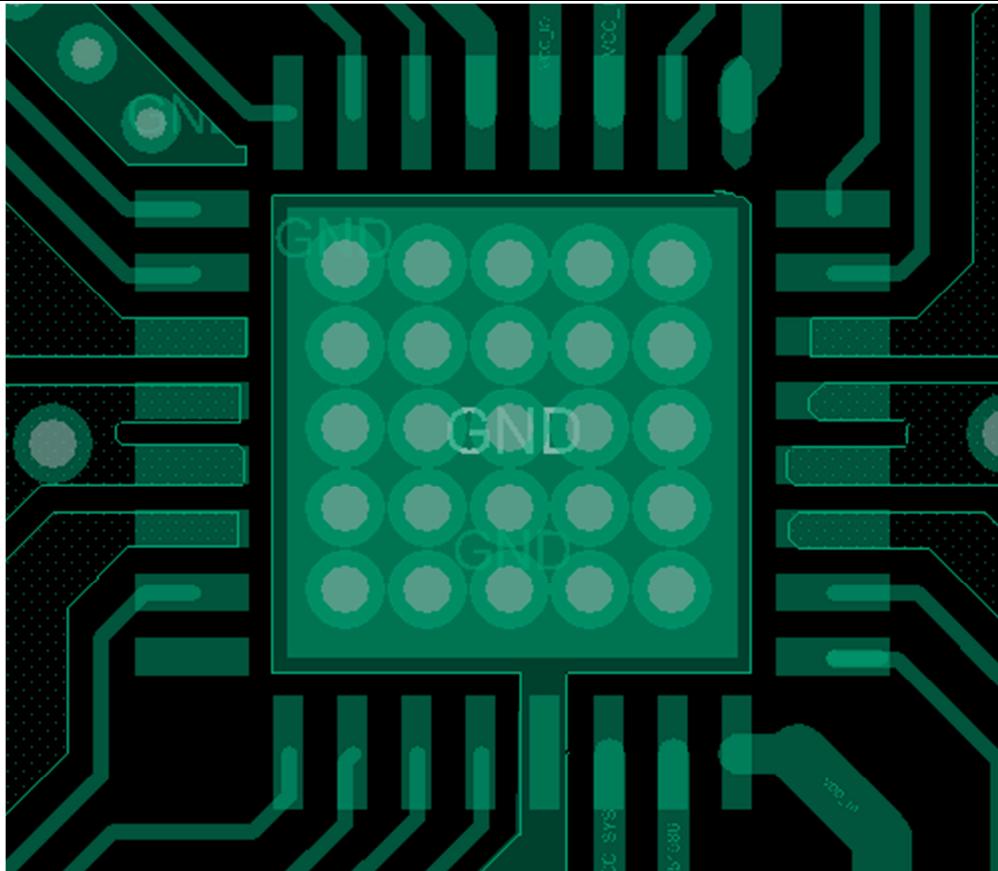


图 4-19 PMIC下方过孔

- 4.4.2.2

DC-DC输入输出：VCC_SYS输入电容要靠近RK805-1的输入端，输出电容靠近电感端，无论输入输出电容的正端还是负端都必须有足多的过孔才能保护电容的低ESR，才能保证电容的去耦效果。特别是电容负端的地过孔容易被客户忽略。

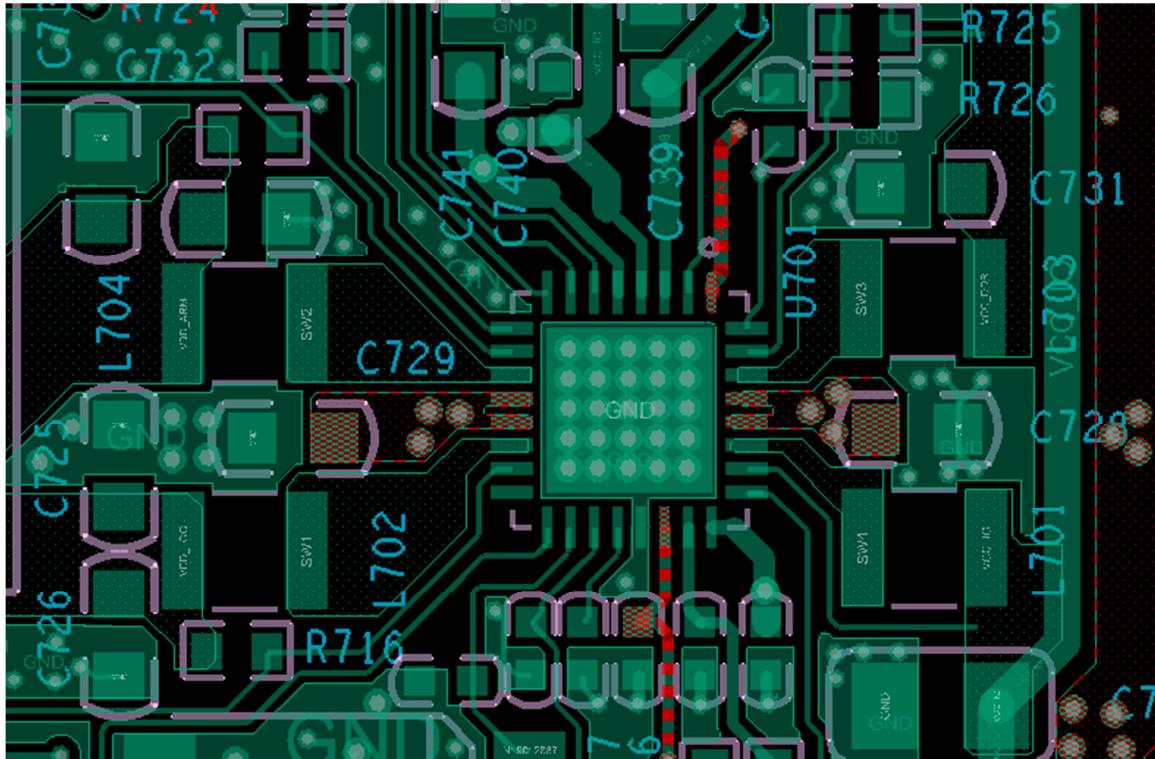


图 4-20 DC-DC输入输出过孔

- 4.4.2.3

32. 768晶体走线需要包地处理，避免被其它信号干扰。

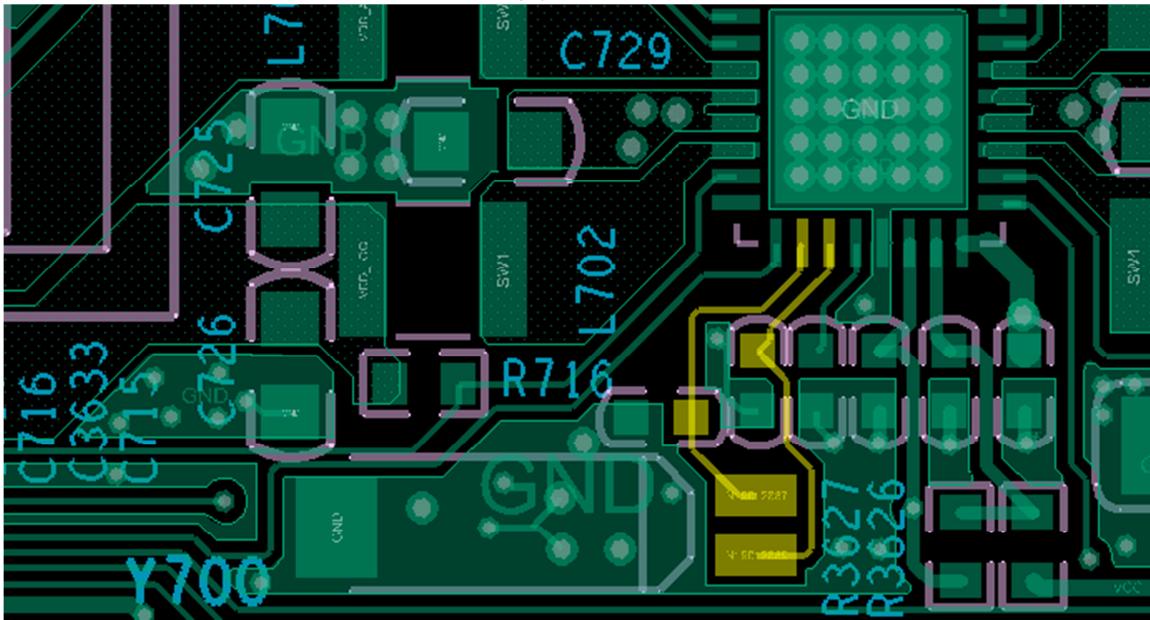


图 4-21 RTC时钟走线

- 4.4.2.4

相邻两个电感之间的距离要大于2mm, 避免产生互感。

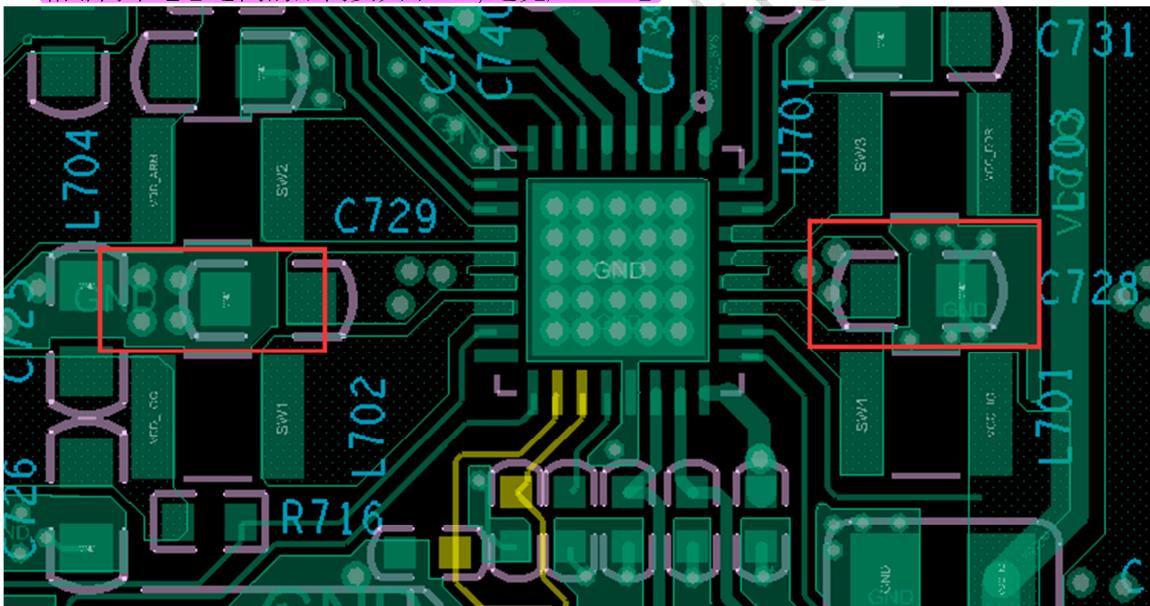


图 4-22 DC-DC电感间距

- 4.4.2.5

LDO的输入输出根据后级的负载电流适当加粗就可以了，去耦电容尽量靠近PMIC。

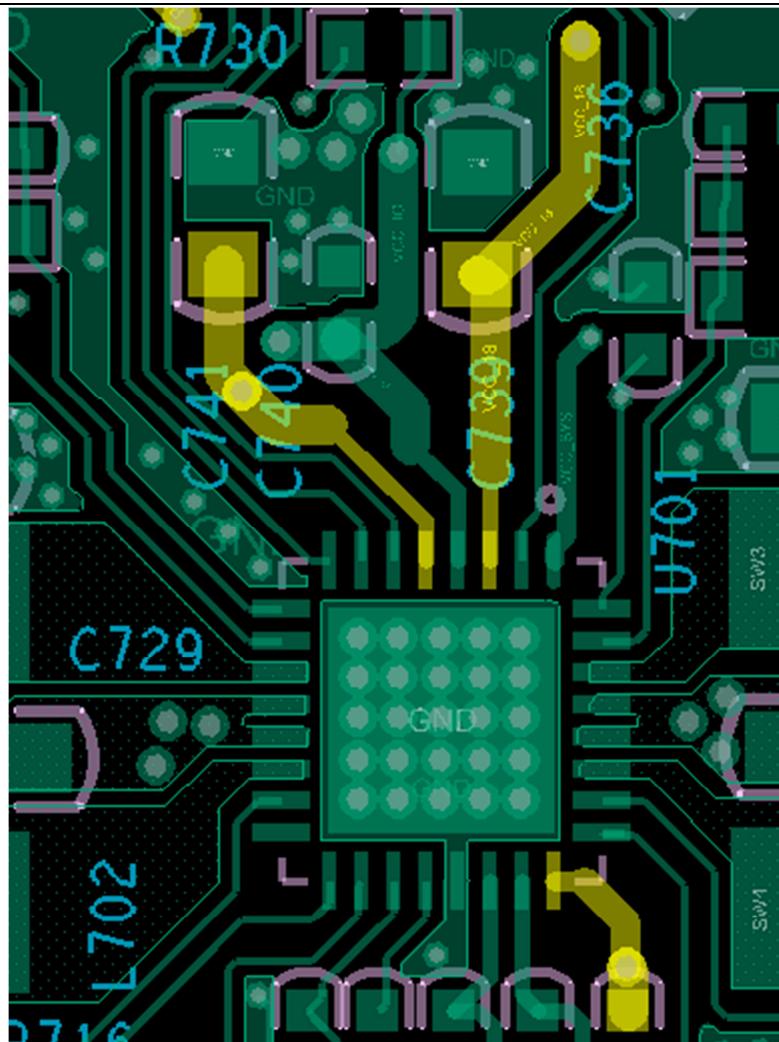


图 4 - 23 LD0走线

4.4.3 远端反馈补偿

由于电源在Layout时可能会离RK322x芯片有一定距离，通常会将DC-DC的FB端采样端尽量靠近芯片，以补偿PCB上的线路损耗，一般电流大于1A的电源会采用这种方法，如：VDD_ARM, VDD_LOG等。如下图：VFB2管脚要从RK322X芯片下方引回来，采用伴随线的走法。

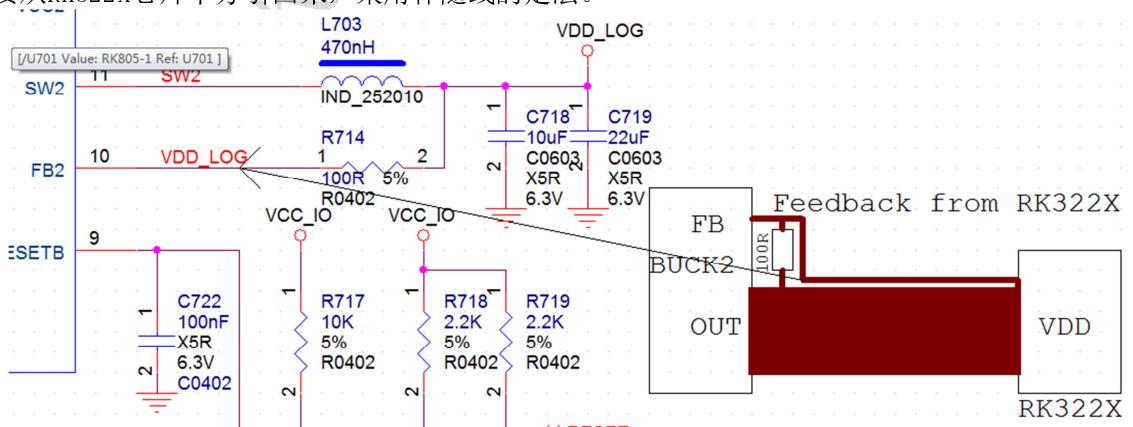


图 4 - 24 PMIC反馈设计

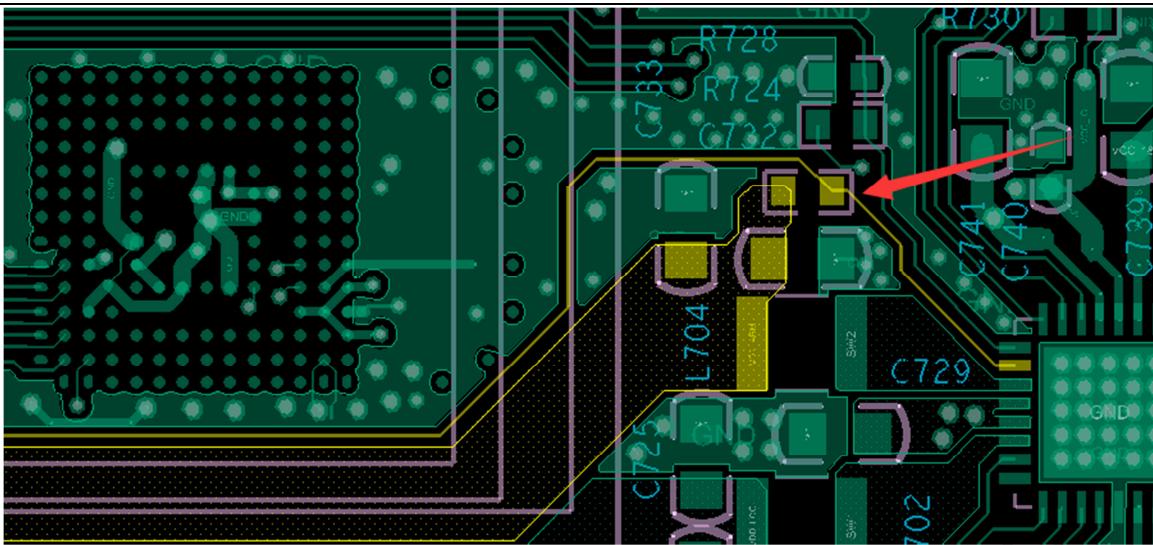


图 4 - 25 PMIC反馈线走线

5 热设计建议

5.1 热仿真结果

基于EVB的4层板PCB和JEDEC标准的PCB采用有限元建模法 (Finite Element Modeling , FEM), 可以得出热阻的仿真报告。该报告基于JEDEC JESD51-2标准给出, 应用时的系统设计及环境可能与JEDEC JESD51-2标准不同, 需要根据应用条件做出分析。



注意

热阻是在PCB没有散热片条件下的参考值, 具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

5.1.1 结果概要

热阻仿真结果如下

表 5 - 1 RK322X 热阻仿真报告结果

Package (EHS-FCBGA)	Power (W)	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)
JEDEC PCB	3.2	22.95	13.47	12.73

5.1.2 术语解释

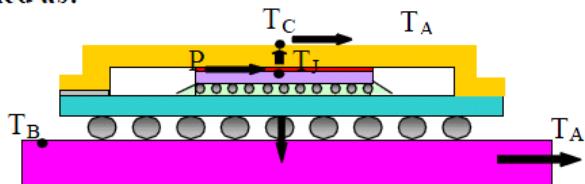
本章中的的属于解释如下:

- T_J : The maximum junction temperature;
- T_A : The ambient or environment temperature;
- T_c : The maximum compound surface temperature;
- T_B : The maximum surface temperature of PCB bottom;
- P: Total input power

The thermal parameter can be define as following

1. Junction to ambient thermal resistance, θ_{JA} , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P}; \quad (1)$$



Thermal Dissipation of EHS-FCBGA

图 5 - 1 θ_{JA} 的定义

2. Junction to case thermal resistance, θ_{JC} , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P}; \quad (2)$$

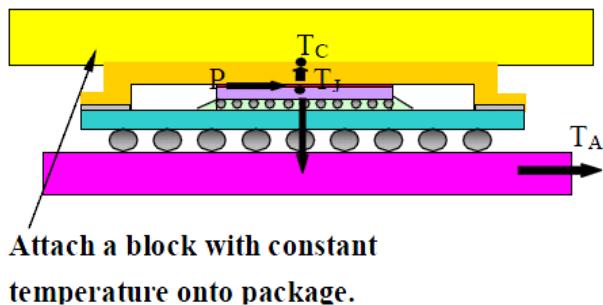


图 5-2 θ_{JC} 的定义

3. Junction to board thermal resistance, θ_{JB} , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P}; \quad (3)$$

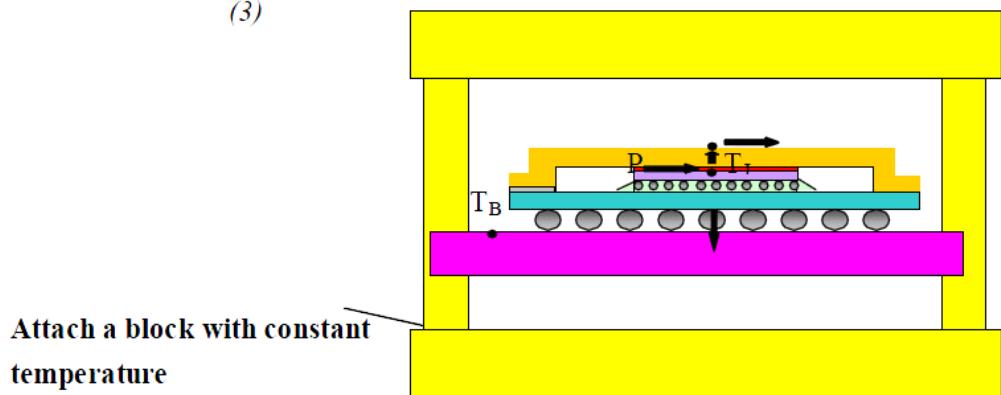


图 5-3 θ_{JB} 的定义

5.2 常用的散热方法

RK322x采用4核A7架构，芯片的典型功率将达到3.2W，良好的散热对RK322x的产品性能的提高、系统的稳定性、产品的安全性尤其重要。

5.2.1 热量传导的三种常见方式

众所周知，任何存在温度差的地方，就会发生热量的传递，热量就会从高温部分传向低温部分，直到各自温度相同为止。热量的传导过程可以分成稳态过程（温度不随时间的变化而改变）和非稳态过程（温度随时间的变化而发生变化）。热量的传导常见有如下三种方式：

- 5.2.1.1 热传导 (Conduction)

物体各部分之间不发生相对位移，依靠分子，原子及自由原子等微观粒子的热运动而产生的热量传导。如：物体内部的热量从高温部分传导到低温部分的运动。

- 5.2.1.2 对流传热 (Convection)

是流体（包括液体和气体）流动过程中从温度较高处向温度较低处放热的现象。对流又分为强迫对流和自由对流。前者是流体在外界动力（如泵、风扇、压强差等）驱动下的运动；后者是流体因温度分布不均匀诱发密度不均匀而产生浮力作用下的运动。

- 5.2.1.3 辐射传热 (Radiation)

物体通过电磁波来传导能量的方式，不需要物质作媒介。

5.2.2 系统常见的散热方式

常见的散热方式有主动散热 (Active Cooling) 和被动散热 (Passive Cooling) 两种方式。

主动散热 (Active Cooling): 主动散热比较简单，就是通过散热片将CPU的热量自然散发到空气中；因为这是利用物理学热胀冷缩的原理，空气自然循环的散热。但从散热效果来看，主动散热没有被动散热的好，但是发热量不是很大的情况下，RK基本上是采取这种散热的方式，优点是：成本低、减少噪声，无需供电，节约能源。

被动散热 (Passive Cooling): 就是借助外部的设备强制性地将散热片发出的热量带走，如风扇等；其优点是散热效率高，体积小；缺点是引进了噪声和功耗。此方法一般用在发热量比较大的设备上面，如PC上。

5.2.3 散热设计参考

● 5.2.3.1 PCB导热

可以考虑如下三种方式增强散热：

- 单板发热器件PAD底部打过孔；
- 在单板表面铺连续的铜皮；
- 增加单板含铜量（使用1oz表面铜厚）；

● 5.2.3.2 结构导热

结构导热可以采用主动散热，即加散热片的方法。

常用散热片的选择有：

- 根据材料一般分为：铝合金，铜合金，铝铜合金，陶瓷；
- 根据工艺一般分为：铝挤压工艺，铸造工艺，机械压合工艺，切销工艺等；

每种材料的导热性能是不同的，目前常用的是散热材料一般是铜和铝合金；铜的散热性好，但价格较贵，纯铝的太软，不能直接使用，因此一般采用铝合金材料，价格低廉，重量轻，但导热性能比铜要差很多；基于低成本考虑推荐选型铝合金材质的散热片。对散热片工艺类型的选择参考以下建议：

- 挤压的散热片要比铸铝散热片好一些。铸铝散热片中金属铝所占的比例为 25 -30 %，其他为碳及其他金属的合金。挤压的散热片中金属铝所占的比例为70 % -80%，其他为碳及其他金属的合金。因此铝挤型散热片的纯度高，热传导能力强，密度小，价格便宜。
- 自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8%左右，这是因为黑色热辐射的效果比白色要强。
- 散热器的表面处理有电泳涂漆或黑色氧化极化处理，其目的是提高散热效率及绝缘性能。在自然冷却下可提高10—15%，在通风冷却下可提高3%，电泳涂漆可耐压500—800V。
- 散热器厂家会对不同型号的散热器给出热阻值或给出有关曲线，并且给出在不同散热条件下的不同热阻值。

5.2.4 散热片尺寸计算

如使用铝挤型散热片，散热结构如下图5-1所示：

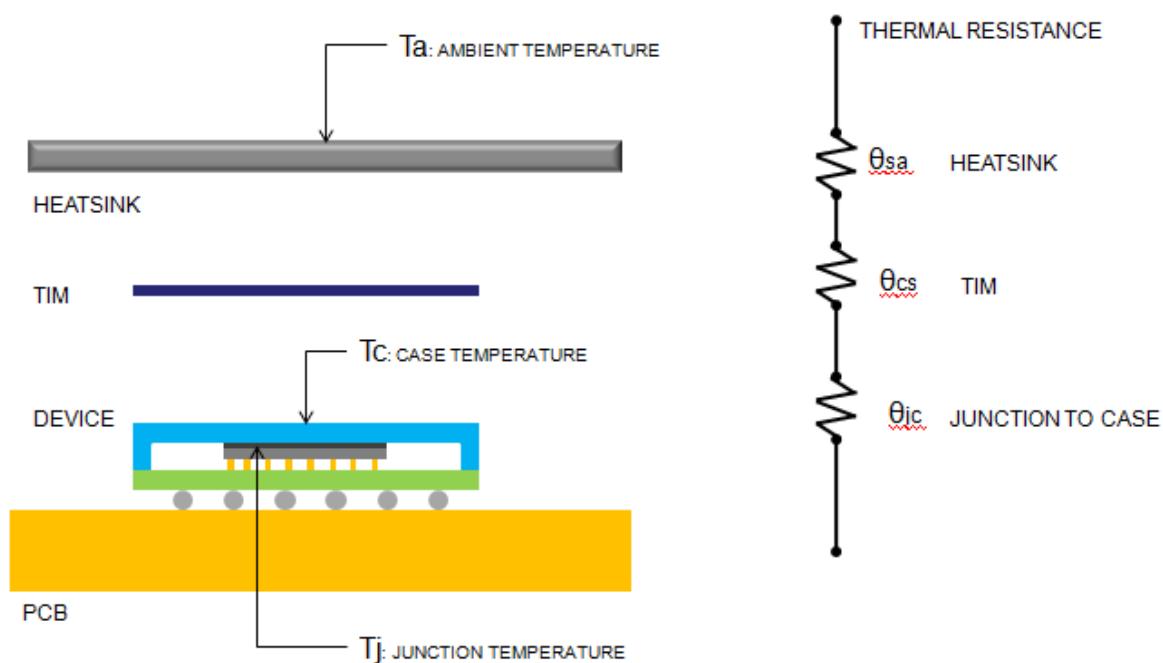


图 5-4 散热片散热结构

公式1:

$$R = 1/hA$$

变量说明:

A: 散热片面积

h: 散热系数 (与散热片的材质, 厚度, 密度, 温差, 风速等参数相关)

由以上公式得出散热片面积越大, 热阻越小, 由此得出以下经验数据:

2mm厚度的铝制散热片, 表面积 (平方厘米) 与热阻 ($^{\circ}\text{C}/\text{W}$) 的对应关系如下:

- 500 cm^2 对应 $2.0^{\circ}\text{C}/\text{W}$;
- 250 cm^2 对应 $2.9^{\circ}\text{C}/\text{W}$;
- 100 cm^2 对应 $4.0^{\circ}\text{C}/\text{W}$;
- 50 cm^2 对应 $5.2^{\circ}\text{C}/\text{W}$;
- 25 cm^2 对应 $6.5^{\circ}\text{C}/\text{W}$;

公式2:

$$Q = T_j - T_a / (\theta_{sa} + \theta_{cs} + \theta_{jc})$$

根据公式2可推导出芯片所需散热片的热阻计算公式3:

$$\theta_{sa} = (T_j - T_a) / Q - (\theta_{cs} + \theta_{jc})$$

变量说明:

 T_j : 芯片最高工作结温 (125°C) T_a : 产品长期工作最高工作环境温度 (55°C)

Q: RK322x芯片功耗 (3.2W)

 θ_{sa} : 散热片热阻 (需要考虑环境风速) θ_{cs} : 导热介质TIM (导热胶) 的热阻 ($0.11^{\circ}\text{C}/\text{W}$, $\kappa = 2\text{W/mC}$ 100um 厚度情况下) θ_{jc} : 芯片封装热阻 (JEDEC PCB板 $12.73^{\circ}\text{C}/\text{W}$)

以上公式3得到散热片的热阻要求, 再对比散热片的热阻数据, 可以得出所需要的散热片的散热面积。

例如: 在 55°C 的环境温度中, RK322x芯片采用热阻为 $0.11^{\circ}\text{C}/\text{W}$ 的导热胶, 那么所需要的散热片尺寸, 由公式3可得:

$$\theta_{sa} = (125 - 55) / 3.2 - (0.11 + 12.73) = 9.035 (^{\circ}\text{C}/\text{W})$$

以上为裸板的估算方式, 整机壳温内部还有温升需要叠加, 假设壳温内部温升为15度, 则

$$\theta_{sa} = (125 - 55 - 15) / 3.2 - (0.11 + 12.73) = 4.3475 (^{\circ}\text{C}/\text{W})$$

即: 需要选择散热面积 100 cm^2 以上的散热片才能满足条件。

注意

以上是理想状态下的计算，实际情况中根据使用环境，散热胶的覆盖率等情况不同，结果会有所差异。

不同散热片类型的面积与热阻对应关系会有很大差异，需要咨询相应的散热片厂商。

当散热片面积过大时，需要考虑接地处理，并需要注意接地点的长度问题，否则会带来电磁兼容问题。另外也需要注意避开RF区，避免由散热片引起的RF信号反射，导致RF性能变差。

5.3 芯片内部热控制方式

5.3.1 温度控制策略

- RK322X 芯片内部有 T-sensor 监测芯片内部温度；当芯片温度过高时，会导致很多模块不稳定，可能出现各种异常或者死机，所以在过温时需要采取一些措施降低芯片的温度，RK3228 的温控策略是：降低 cpu 的频率，当温度高于设置的门限温度时。
 - 根据高出温度的程度降低 cpu 的频率，高出的温度越多，则降得频率越多，当温度低于门限温度时，则按相反步骤恢复 cpu 频率。
 - 降低 rkvdec 频率，播放 4k 视频时，只限制 cpu 的频率无法控制住温度，所以在 4k 视频播放时，如果出现温度高于门限温度的情况，会把 rkvdec 的频率直接降低到 100MHz，当温度低于门限温度时，恢复 rkvdec 频率。
 - 温控线程的采样时间是 100ms 一次。



注意

温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阀值时，每1秒采集一次温度；当设备温度超过阀值时，每20ms采集一次温度并限制频率。

5.3.2 温度控制配置

RK322x 可以提供场景温控策略，具体配置请参考我司《Rockchip thermal 开发指南》。

6 ESD/EMI防护设计

6.1 概述

本章对于RK322x产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

6.2 术语解释

本章中的术语解释如下：

- Electro-Static discharge (ESD): 静电释放；
- Electromagnetic Interference (EMI): 电磁干扰，包括传导干扰和辐射干扰两部分；

6.3 ESD 防护

- 保证合理的模具设计；端口和插接件部分需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将RK322x芯片及核心部件放在PCB中间，不能放中间需保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

6.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- **滤波器选择原则**:若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO, RBG, CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。**差分接口一般使用共模电感来抑制EMI**；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- EMI跟ESD对LAYOUT的要求有高度一致性，前诉ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - **差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时针，避免转化成引起EMI问题的共模信号；**
 - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；

7 焊接工艺

7.1 概述

RK322x芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在用RK322x芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RK322x芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

7.2 术语解释

本章中的术语解释如下：

- Lead-free: 无铅工艺；
- Pb-free: 无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile: 回流焊；
- Restriction of Hazardous Substances (ROHS): 关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT): 表面贴装技术；
- Sn-Pb: 锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

7.3 回流焊要求

7.3.1 焊膏成分要求

Solder 合金与flux 比重为90%: 10%; 体积比为: 50%: 50%，锡膏冷藏温度2~10°C，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3~5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

7.3.2 SMT曲线

由于RK322x芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020D工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak		
Temperature min (T_{smin})	100 °C	150 °C
Temperature max (T_{smax})	150 °C	200 °C
Time (T_{smin} to T_{smax}) (t_s)	60-120 seconds	60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time at liquidous (t_L)	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.

* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.
** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.

图 7 - 1 回流焊曲线分类

Package Thickness	Volume mm ³ <350	Volume mm ³ 350 - 2000	Volume mm ³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 7 - 2 无铅工艺器件封装体耐热标准

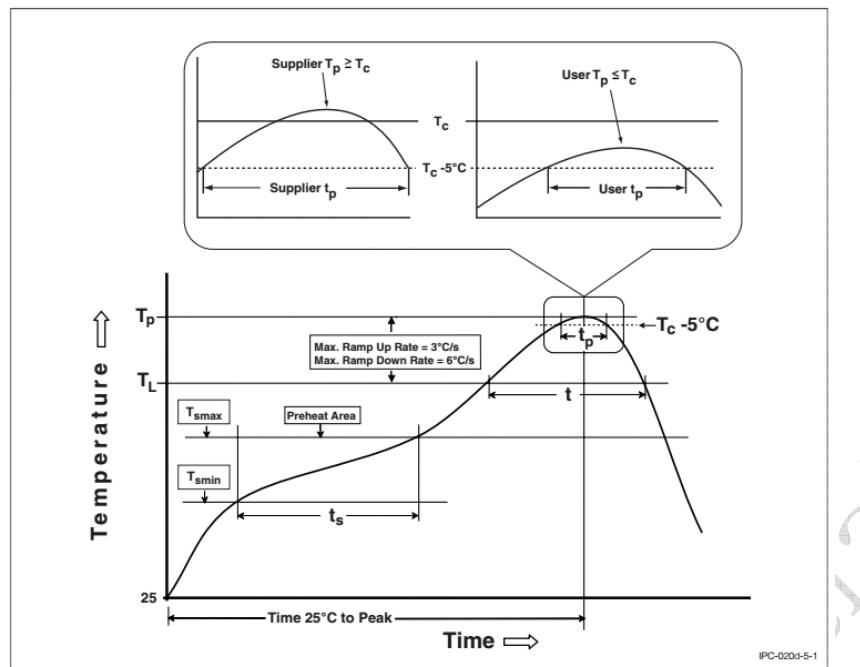
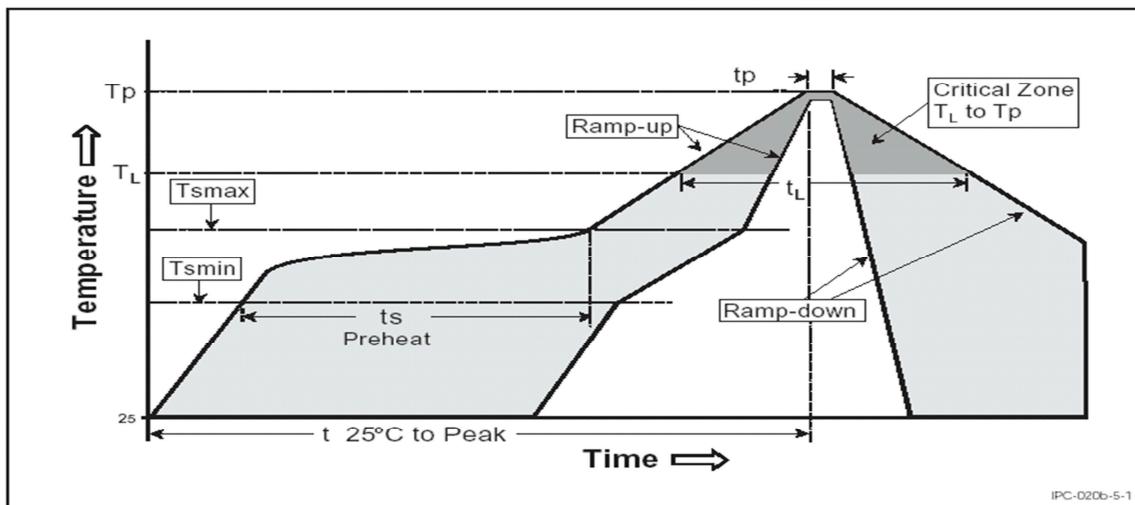


图 7-3 无铅回流焊接工艺曲线

7.3.3 SMT建议曲线

我司建议的SMT曲线如图7-4所示：



Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Average ramp-up rate (T_{smax} to T_p)	2°C/second max	2°C/second max
Preheat		
-Temperature Min (T_{smin})	100°C	150°C
-Temperature Max (T_{smax})	150°C	200°C
-Time (min to max) (t_s)	60-120 seconds	60-180 seconds
Time maintained above:		
-Temperature (T_L)	183°C	217°C
-Time (t_L)	60-150 seconds	60-150 seconds
Peak Temperature (T_p)	225+0/-5°C	245+5/-5°C
Time within 5°C of actual Peak Temperature (t_p)	20 seconds max	30 seconds max
Ramp-down Rate	3°C/second max	3°C/second max
Time 25°C to Peak Temperature	6 minutes max.	8 minutes max.

Note:

1. All temperatures refer to topside of the package, measured on the package body surface.

2. Actual board assembly depends on other parts on board density and follower solder paste manufacturers's guideline.

图 7-4 无铅回流焊接工艺建议曲线参数

8 包装和存放条件

8.1 概述

规定了RK322x的存放和使用规范，以确保产品的安全和正确使用。

8.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card (HIC): 湿度指示卡；
- Moisture Sensitivity Level (MSL): 潮敏等级；
- Moisture Barrier Bag (MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage environment: 存放环境；

8.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮带，铝箔，银色不透明，带有湿敏等级的标识；



图 8 - 1 RK322x 芯片干燥真空包装

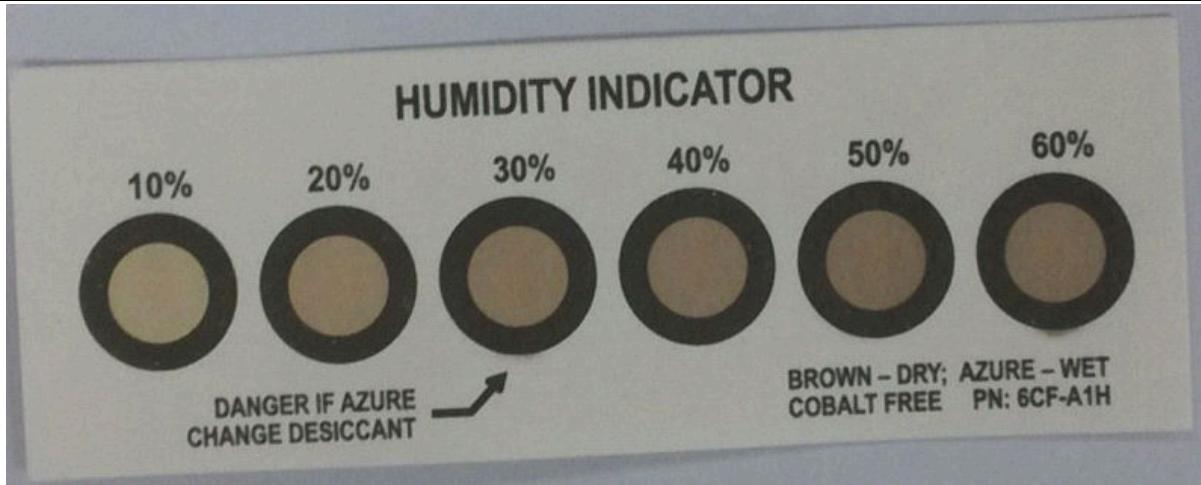


图 8-2 六点湿度卡

8.4 产品存放

8.4.1 存放环境

产品真空包装存放，存储环境温度 $\leq 30^{\circ}\text{C}$ 及相对湿度60%RH下；

8.4.2 存储期限

在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，可达12个月。

8.4.3 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度60%下，请参照如下表8-1。

RK322x芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 8-1 暴露时间参照表 (MSL)

MSL等级	暴露时间 工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$	
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$	
2		1年
2a		4周
3		168小时
4		72小时
5		48小时
5a		24小时
6	Mandatory baky before use, must be reflowed within the time limit specified on the table.	

8.5 潮敏产品使用

RK322x芯片在下述情况下必须进行烘烤：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $>10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 在工厂环境 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ 下，连续或累计暴露时间超过72小时的，或者未保存在 $< 10\% \text{ RH}$ 环境下的；

RK322x芯片拆包装后重新烘烤的时间请参考如下表8-2所示， 125°C 需9小时， 90°C 需33小时。所以拆包后请立即使用，如果置于空气中超过72小时，请烘烤后再使用。

表 8-2 Rebake参考表

Package Body	MSL	High Temp Bake @ 125°C $+10/-0^{\circ}\text{C}$		Medium Temp Bake @ 90°C $+8/-0^{\circ}\text{C}$		Low Temp Bake @ 40°C $+5/-0^{\circ}\text{C}$	
		Exceeding	Exceeding	Exceeding	Exceeding	Exceeding	Exceeding

		Floor Life by > 72h	Floor Life by ≤ 72h	Floor Life by > 72h	Floor Life by ≤ 72h	Floor Life by > 72h	Floor Life by ≤ 72h
Thickness ≥ 1.6mm	3	Bake 9 hours	Bake 7 hours	Bake 33 hours	Bake 23 hours	Bake 13 days	Bake 9 days

**注意**

此表中显示的均是受潮后，必须的最小的烘烤时间。

重新烘烤优先选择低温烘烤。

Rockchip Confidential