

密级状态：绝密() 秘密() 内部() 公开(√)

RK3328_BOX_RK805-1_DDR3

设计指南

发布版本：V1.0

发布日期：2017年02月16日

前言

概述

本文档主要介绍RK3328基本功能特点和硬件特性、多功能硬件配置、软件调试操作使用方法，旨在帮助开发人员更快、更准确地使用、熟悉RK3328芯片方案。

产品版本

本文档对应的产品版本如下：

产品名称	产品版本
RK3328_DDR	RK3328_BOX_RK805-1_DDR3_V01

适用对象

本文档主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师
- 嵌入式软件开发工程师
- 测试工程师

修订记录

版本	修改人	修改日期	修改说明	备注
V1.0	樊斌	2017-02-16	Initial Release	

缩略语

缩略语包括文档中常用词组的简称：

DDR	Double Data Rate	双倍速率同步动态随机存储器
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I ² C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1兼容）
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MAC	Media Access Control	以太网数据链路层控制器
PHY	Physical Layer	以太网物理层控制器
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
RK	Rockchip Electronics Co., Ltd.	瑞芯微电子股份有限公司
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线
CVBS	Composite Video Broadcast Signal	复合视频信号

目录

前言.....	2
概述.....	2
产品版本.....	2
适用对象.....	2
修订记录.....	2
缩略语.....	3
目录.....	4
1 系统概述.....	7
1.1 概述.....	7
1.2 功能概括.....	7
1.2.1 CPU.....	7
1.2.2 GPU.....	7
1.2.3 存储.....	7
1.2.4 多媒体.....	7
1.2.5 显示.....	7
1.2.6 外部接口.....	7
1.3 芯片框图.....	7
1.4 应用框图.....	8
2 封装与管脚.....	9
2.1 封装.....	9
2.1.1 信息.....	9
2.1.2 丝印标识定义.....	9
2.1.3 封装尺寸.....	10
2.2 GPIO类型介绍.....	13
2.2.1 GPIO类型.....	13
2.2.2 GPIO驱动能力.....	13
2.2.3 GPIO电源.....	13
3 原理图设计建议.....	14
3.1 最小系统设计.....	14
3.1.1 时钟电路.....	14
3.1.2 复位电路.....	14
3.1.3 JTAG Debug电路.....	14
3.1.4 DDR电路.....	14
3.1.5 eMMC电路.....	15
3.2 电源设计.....	15
3.2.1 电源介绍.....	15
3.2.2 电源设计建议.....	16
3.2.3 RK805-1方案介绍.....	19
3.2.4 电源峰值电流表.....	21

3.3	功能接口电路设计指南	22
3.3.1	存储卡电路	22
	SDIO/SDMMC PCB设计	23
	WIFI/BT设计	24
3.3.2	以太网口电路	26
3.3.3	USB电路	31
3.3.4	音视频电路	35
3.3.5	RECOVER按键电路	39
3.3.6	Debug电路	41
4	最小系统设计建议	42
4.1	PCB叠层	42
4.1.1	4层板叠层	42
4.2	最小系统设计建议	42
4.2.1	Crystal设计	42
4.2.2	DDR设计	43
4.2.3	存储设计	45
4.3	RF信号PCB设计建议	46
4.3.1	天线电路	46
4.4	电源信号PCB设计建议	47
4.4.1	RK3328 Power	47
4.4.2	PMIC	50
4.4.3	远端反馈补偿	53
5	热设计建议	54
5.1	热仿真结果	54
5.2	常用的散热方法	54
5.2.1	热量传导的三种常见方式	54
5.2.2	系统常见的散热方式	54
5.2.3	散热设计参考	54
5.2.4	散热片尺寸计算	55
5.3	芯片内部热控制方式	56
5.3.1	温度控制策略	56
5.3.2	温度控制配置	56
6	ESD/EMI防护设计	57
6.1	概述	57
6.2	术语解释	57
6.3	ESD防护	57
6.4	EMI防护	57
7	焊接工艺	58
7.1	概述	58
7.2	术语解释	58
7.3	回流焊要求	58
7.3.1	焊膏成分要求	58
7.3.2	SMT曲线	58
7.3.3	SMT建议曲线	59

8	包装和存放条件	60
8.1	概述	60
8.2	术语解释	60
8.3	防潮包装	60
8.4	产品存放	61
	8.4.1 存放环境	61
	8.4.2 存储期限	61
	8.4.3 暴露时间	61
8.5	潮敏产品使用	61

Rockchip Confidential

1 系统概述

1.1 概述

RK3328是基于Cortex-A53架构的低功耗高性能处理器，它包含4核Cortex-A53, 64-bit CPU, 内置百兆以太网, 主要应用于OTT BOX及IPTV数字多媒体设备。

RK3328内置多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能。支持多格式视频编解码，高品质的JPEG编解码，以及特殊图像的预处理和后处理。包括h. 264、h. 265、vp9等格式的4Kx2K@60fps解码，支持H. 264、H. 265的10bits解码，以及h. 265、h. 264格式的1080p@30fps编码。

RK3328内置Mali450 双核GPU，能够完全兼容OpenGL ES1.1/2.0。高性能的MMU 2D硬解码器能最大限度地提高显示性能，提供流畅的体验操作。

RK3328具有高性能的32位DDR存储器接口，支持DDR3/DDR3L/LPDDR3/DDR4，能够提供高内存带宽，最大容量可支持4GB。

1.2 功能概括

1.2.1 CPU

- 四核Cortex-A53 , 64-bit CPU
- Trustzone安全技术支持

1.2.2 GPU

- 双核Mali450 高性能GPU
- OpenGL ES1.1/2.0

1.2.3 存储

- 双通道DDR3/DDR3L /LPDDR3/DDR4
- 支持eMMC4.41 , 4.51 , 5.0 , 5.1接口协议，支持HS200工作模式；

1.2.4 多媒体

- 支持4K 10bit VP9/H265/H264 视频解码，VP9支持30fps, H264/H265高达60fps
- 1080P 多格式视频解码 (MPEG-1/2/4、VP8)
- 1080P 视频编码，支持H. 264、h. 265、VP8格式
- 视频后期处理器：反交错、去噪、边缘/细节/色彩优化

1.2.5 显示

- 单路VOP显示：分辨率最高达4096x2160
- HDMI 2.0支持4K 60fps显示，支持HDCP 1.4/2.2
- 支持cvbs输出

1.2.6 外部接口

- 支持2路USB 2.0接口，1路USB 3.0接口，其中USB0为OTG/HOST兼容接口，固件烧写使用此接口，其它2组均为HOST接口
- 支持内置百兆以太网
- 支持SPDIF及同轴输出
- 支持IR输入
- 支持SD3.0 扩展卡
- 支持HDMI 2.0输出*1;CVBS输出*1

1.3 芯片框图

图 1 - 1 RK3328 框图

1.4 应用框图

1.3 Block Diagram

The following diagram shows the basic block diagram.

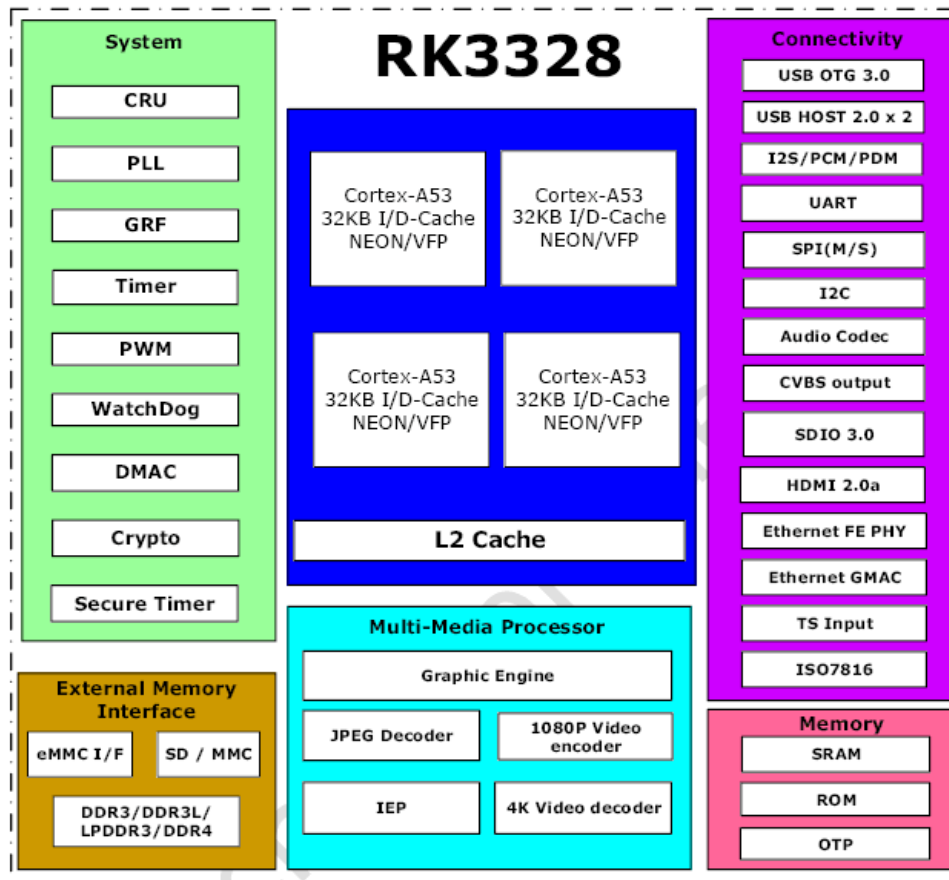


Fig.1-1 Block Diagram

2 封装与管脚

2.1 封装

2.1.1 信息

RK3328芯片的封装信息如表2-1所示:

表 2 - 1 RK3328封装信息

Orderable Device	RoHS Status	Package	Package Qty	Device special feature
RK3328	RoHS	TFBGA295L	1190	4K Quad core processor with HDR

2.1.2 丝印标识定义

RK3328芯片的表面丝印标识图2-1所示:

图 2 - 1 RK3328 丝印标识定义

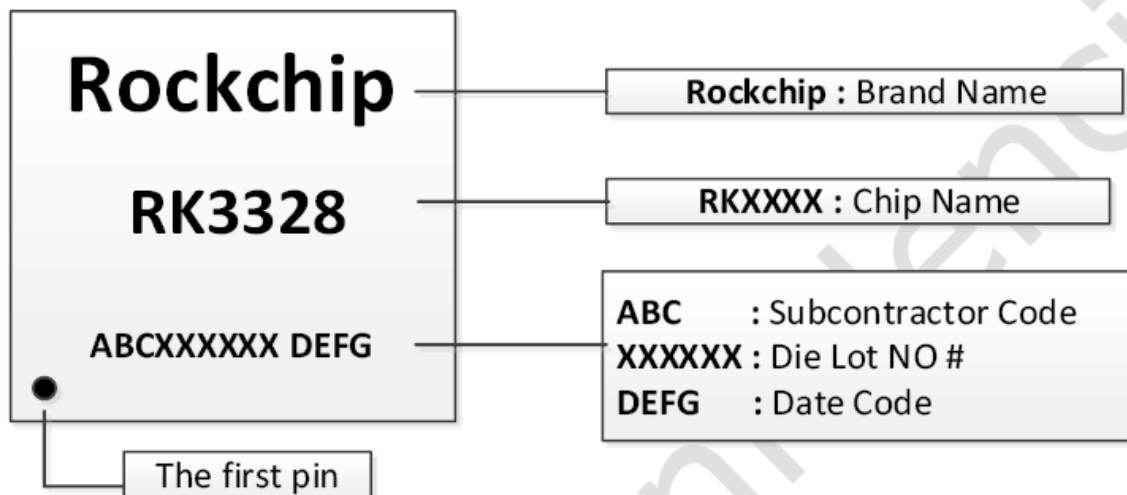


Fig.2-1 Package definition

2.1.3 封装尺寸

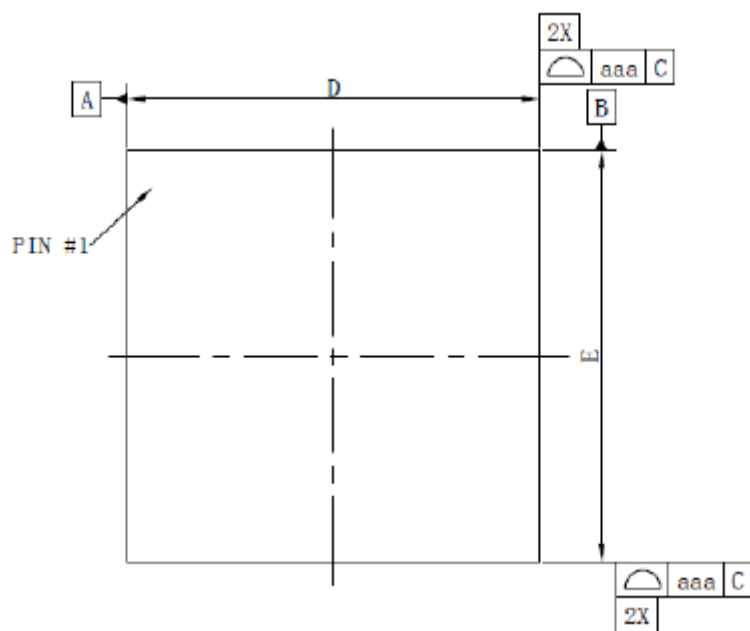


图 2 - 2 RK3328 封装尺寸1

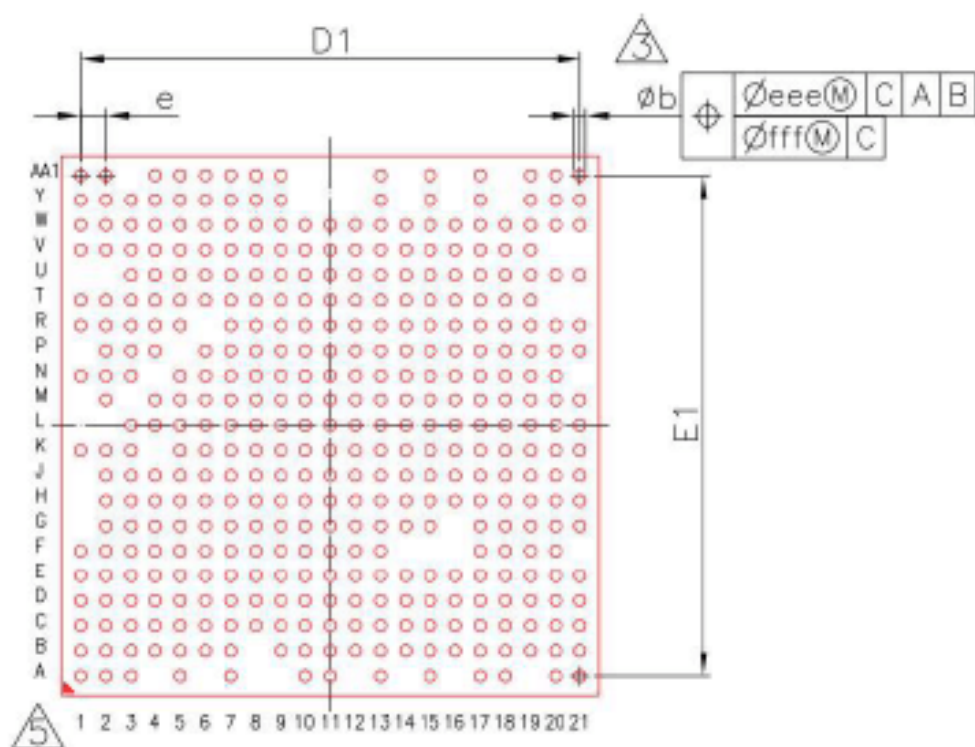
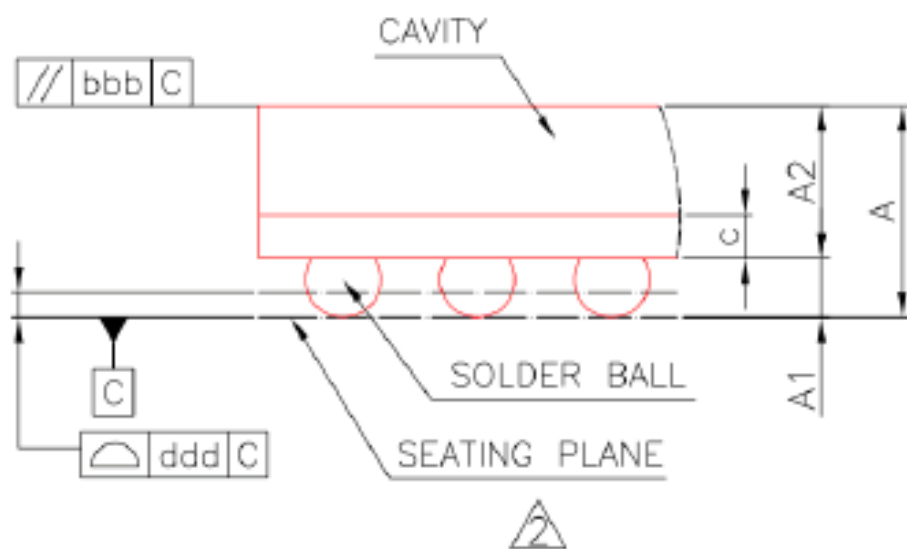


Fig.2-3 Package bottom view



DETAIL A

Fig.2-4 Package side view

图 2-3 RK3328 封装尺寸2

Symbol	Dimension in mm			Dimension in inch		
	MIN	NORMAL	MAX	MIN	NORMAL	MAX
A	1.10	1.17	1.24	0.043	0.046	0.049
A1	0.16	0.21	0.26	0.006	0.008	0.010
A2	0.91	0.96	1.01	0.036	0.038	0.040
C	0.22	0.26	0.30	0.009	0.010	0.012
D	13.90	14.00	14.10	0.547	0.551	0.555
E	13.90	14.00	14.10	0.547	0.551	0.555
D1	---	13.00	---	---	0.512	---
E1	---	13.00	---	---	0.512	---
e	---	0.65	---	---	0.026	---
b	0.25	0.30	0.35	0.010	0.012	0.014
aaa	0.15			0.006		
ccc	0.10			0.004		
ddd	0.08			0.003		
eee	0.15			0.006		
fff	0.08			0.003		

Fig.2-5 Package dimension

**注意**

基准C是由锡球的球形冠所定义的。
尺寸b的测量基于锡球的最大直径，平行于基准C。

2.2 GPIO 类型介绍

2.2.1 GPIO类型

在RK3328实际应用中，有两种GPIO类型：

- 3.3V only，固定配置 3.3V 电平；
- 1.8V/3.3V 可选，即要么固定为 1.8V，要么固定为 3.3V；（如 SDIO 及 EMMC 的 IO 电平）

2.2.2 GPIO驱动能力

RK3328的GPIO驱动能力MIN:2mA;MAX:12mA, 通过软件配置寄存器可调。

2.2.3 GPIO电源

GPIO电源域的电源脚描述如下：

表 2 - 2 RK3328 GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
VCCI01, VCCIO_PMU	3.3V only	VCCI01, VCCIO_PMU	3.3V power for this domain (group of) GPIO.
VCCI02, VCCI03, VCCI04, VCCI05, VCCI06	1.8V/3.3V	VCCI02, VCCI03, VCCI04, VCCI05, VCCI06	1.8V or 3.3V power for this domain (group of) GPIO.

3 原理图设计建议

3.1 最小系统设计

3.1.1 时钟电路

RK3328芯片内部的反馈电路与外接的24MHz晶体与一起构成系统时钟，如图3-1所示。

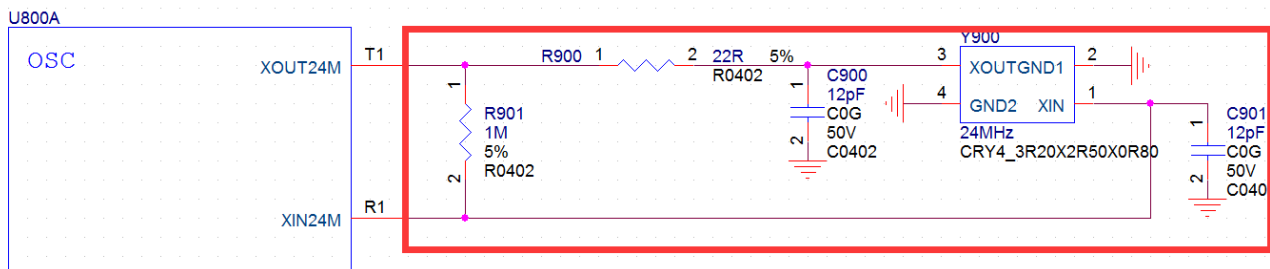


图 3-1 RK3328 晶体连接方式及器件参数



注意

电容C900、C901的值需要根据晶体的实际标称负载电容值选择，12pF为我司选用晶体所对应容值，不为通用值。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过XIN_OSC脚输入，时钟参数如下表3-1所示：

表 3-1 RK3328 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000		MHz	
频率偏差	+/-20		ppm	Frequency tolerance
工作温度	-20	70	°C	

3.1.2 复位电路

RK3328芯片内部集成POR(Power on Reset)电路,低电平有效,电容C1300用来消除抖动,如图3-2所示。



图 3-2 RK3328 RESET 电路

3.1.3 JTAG Debug电路

RK3328芯片的JTAG接口符合IEEE1149.1标准。PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的A7 CPU。

表 3-2 RK3328 JTAG Debug接口信号

信号名	描述
GPI01_A3/SDMMC0_D3/JTAG_TMS_u	JTAG时钟输入，与SDMMC0_D3复用，默认为SDMMC DATA功能
GPI01_A2/SDMMC0_D2/JTAG_TCK_u	JTAG模式选择输入，与SDMMC0_D2复用，默认为SDMMC DATA功能

3.1.4 DDR电路

● 3.1.5.1 DDR控制器介绍

RK3328 DDR控制器接口支持DDR3/DDR3L /LPDDR3/DDR4 SDRAM标准接口，控制器有如下特点：

- 提供一个32bit的DDR控制器接口，分别包含2个DDR SDRAM片选、2个ODT、1组CK，支持数据总线位宽32bit，地址总线最大支持16bit；
- 支持Power Down、Self Refresh等低功耗模式；

● 3.1.5.2 DDR拓扑结构与连接方式

RK3328 DDR接口由于IPTV及OTT自身在解码4K P60 10BIT的视频时的需要，颗粒工作频率接近于800MHZ才能满足要求，故官方目前只推出了DDR3接口的核心模板，支持2*16bit;4*16bit;4*8bit三种方案可选，详细连线方式及拓扑结构，参见RK发布的参考原理图及核心板。

● 3.1.5.3 DDR支持的型号列表

RK3328 DDR接口DDR3/DDR3L最高工作频率支持到800MHz，具体支持型号请参考瑞芯微电子《RK DDR Support List》文档。

3.1.5 eMMC电路

● 3.1.6.1 eMMC控制器介绍

RK3328 eMMC接口，支持eMMC 4.5接口协议，控制器有如下特点：

- 支持单通道eMMC颗粒，8bits模式；
- 支持eMMC4.41, 4.51, 5.0, 5.1接口协议，支持HS200工作模式；

● 3.1.6.2 eMMC拓扑结构与连接方式

eMMC接口支持eMMC接口协议的器件，接口上下拉和匹配设计推荐如表所示。

表 3-3 RK3328 eMMC接口设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连	eMMC数据发送/接收
eMMC_CLK	NA	串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	直连	eMMC命令发送/接收

● 3.1.6.3 eMMC上电时序要求

RK3328芯片eMMC控制器包括两组电源：

- VCCIO：eMMC控制器的Core电源；
- VCCIO_FLASH：eMMC控制器的I/O电源；

eMMC颗粒的上电时序请参考JEDEC标准：

- VCC与VCCQ在上电时序上没有先后要求；
- VCC与VCCQ必须在RK3328的CMD命令发出前上电，并保持稳定的工作电压；

● 3.1.6.4 eMMC支持的型号列表

RK3328 eMMC接口eMMC最高支持HS200模式，具体支持型号请参考瑞芯微电子《RK eMMCSupportList》文档。

3.2 电源设计

3.2.1 电源介绍

● 3.2.1.1 电源需求

- PLL：VDD_10, VCC_1V8
- CPU：VDD_ARM
- GPU：VDD_LOG
- LOGIC：VDD_LOG
- DDR：VCC_DDR

- GPIO: VCC_I0、VCC_18

3.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐上电时序如下：

VDD_10---> VDD_ARM&VDD_LOG---> VCC_DDR---> VCC18&VCC18_EMMC--->VCCIO

3.2.2 电源设计建议

3.2.2.1 待机电路及关机方案

RK3328 OTT BOX及IPTV待机时通过软件关闭大部分模块，红外中断不关闭，便于接收红外信号唤醒系统，电源采用常供电方案。

如客户有通过红外实现开关机的要求，外部需要增加一颗MCU接收红外信号，及对电源进行管理。如模具有电源开关，则硬件直接断电即关机。

3.2.2.2 PLL电源

- RK3328各PLL电源如下图所示，分别为C/DPLL_DVDD_1V0、A/GPLL_DVDD_1V0、PLL_AVDD_1V8三组，由VDD_10及VCC_18提供电源。

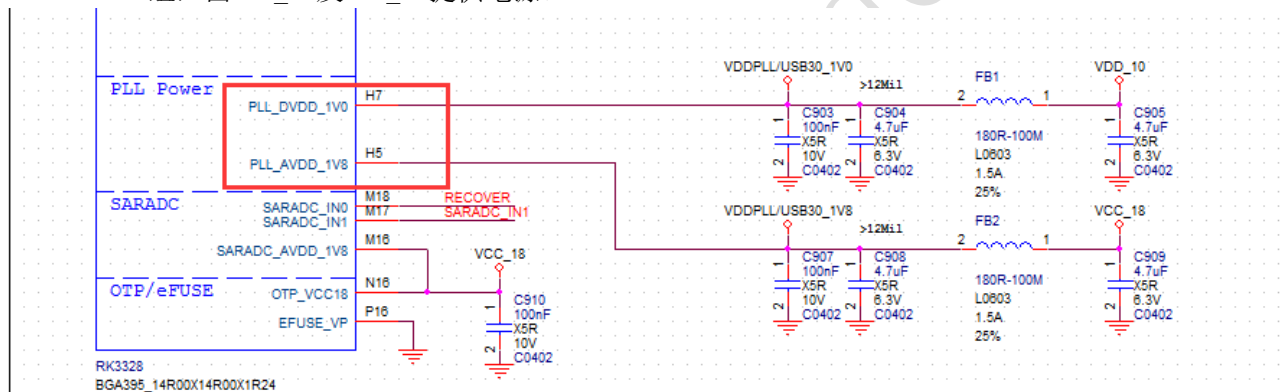


图 3-3 RK3328 PLL电源

电源上建议使用LDO为PLL单独供电，特别是DDR工作频率较高，稳定的PLL电源有助于提高高频下的工作稳定性，且去耦电容应靠近主控脚管脚摆放。

3.2.2.3 CPU电源

RK3328 CPU峰值电流接近1A，均值接近400mA，由外部DC-DC提供电源，分立器件根据工作频率由PWM调整Vfb电压以达到调压的效果，PMU则由I2C接口写寄存器进行电压调整，都支持DVFS动态调频调压功能，请不要删减RK3328参考原理图中VDD_ARM路的电容。Layout时将大电容放置在RK3328芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，如图。

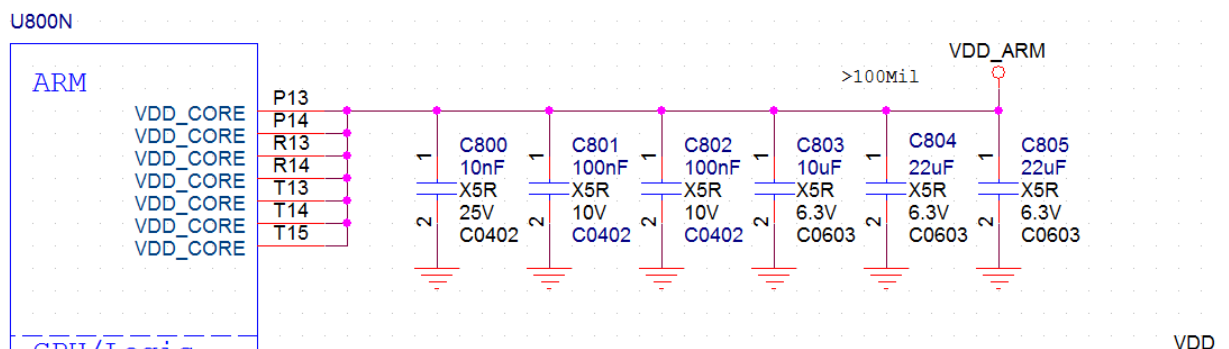


图 3-4 芯片VDD_CPU电源

如下图所示是RK3328芯片中VDD_ARM电源的远端反馈布线，需连接到DC-DC电源的FB端，可有效避免PCB电源线路阻抗引起的损耗，并提高电源动态调整的实时性。

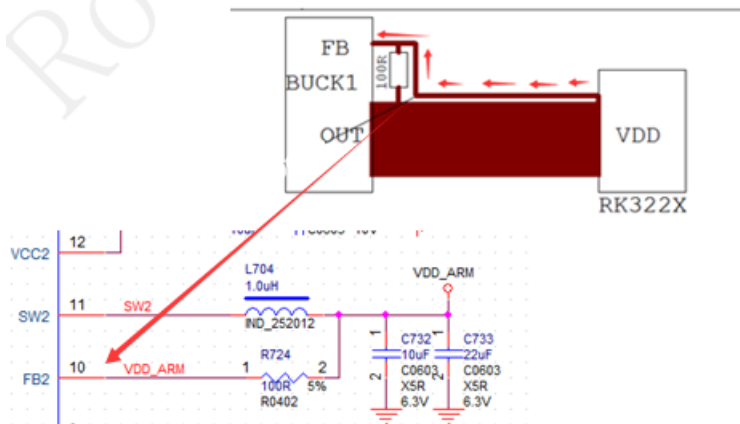


图 3-5 RK3328 芯片VDD_ARM电源反馈

● 3.2.2.4 GPU&LOGIC电源

RK3328的GPU&logic电源合并使用一路DC-DC供电，支持DVFS动态调频调压功能，峰值电流可达1.5A，所以请不要删减RK3328芯片参考设计原理图中的电容。Layout时将大电容放置在RK3328芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，如图。

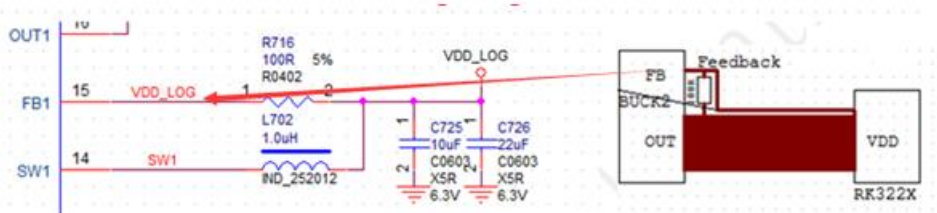


图 3-6 RK3328 芯片VDD_LOG电源

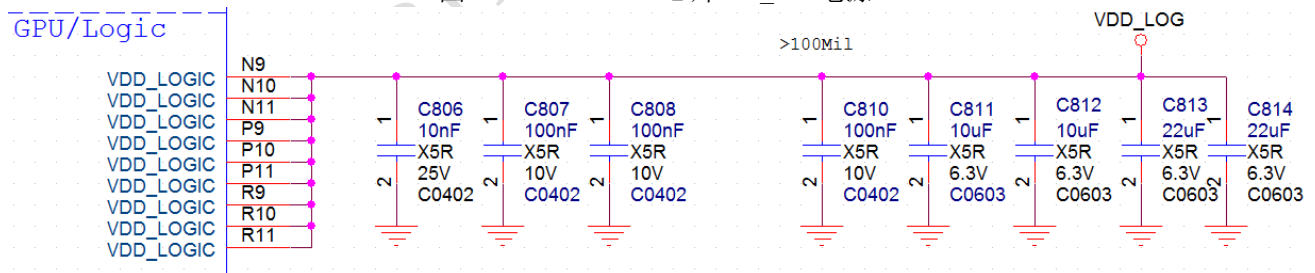


图 3-7 RK3328 芯片VDD_LOG电源的去耦

如下图所示是VDD LOG电源的反馈layout示意图，远端反馈需连接到DC-DC/PMIC电源的FB端，可有效改善因PCB电源线阻抗引起的损耗，并提高电源动态调整的实时性。

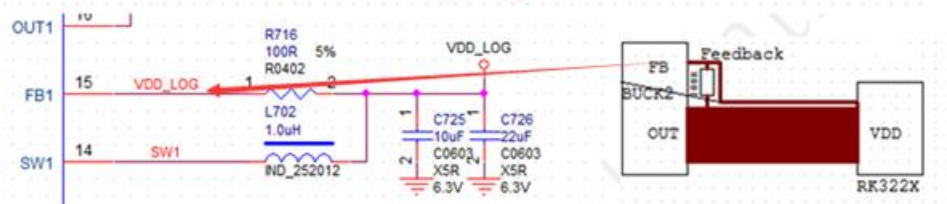


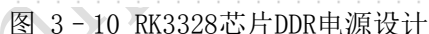
图 3-8 RK3328 芯片VDD_LOG电源反馈

● 3.2.2.6 DDR电源

RK3328芯片的DDR控制器接口符合DDR3/LPDDR3电平标准，内部集成Vref电路，产生参考电压

The schematic diagram illustrates the VCC_DDR power plane. On the left, a vertical bus labeled VCC_DDRIO is connected to various components: F10, F11, F12, F13, G10, G11, G12, G13, H16, J15, J16, K15, and K16. A horizontal power line, labeled VCC_DDR at the right end, runs from this bus. Along this line, several decoupling capacitors are placed: C1000 (10nF, X5R, 25V, C0402) near the bus, followed by C1002 (100nF, X5R, 10V, C0402), C1003 (100nF, X5R, 10V, C0402), C1004 (10uF, X5R, 10V, C0603), and C1005 (10uF, X5R, 10V, C0603) near the VCC_DDR connection. Each capacitor is connected to ground via a via. The ground plane is indicated by a red hatched area at the bottom.

DDR电源根据颗粒的不同，可调整反馈脚的分压值，调整输出电压。



● 3.2.2.7 GPIO电源

GPIO电源请参考2.3.1节。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。详细设计请参考RK3328芯片发布的DEMO设计。

● 3.2.2.8 LED电路及红外

如LED灯比较靠近红外接收头，需要注意dcdc在auto模式时电源纹波频率接近红外的接收频率，然后从led发射出去干扰到红外，将LED灯电源与红外共电源，然后在LED预留并联电容位置。

3.2.3 RK805-1方案介绍

● 3.2.3.1 RK805-1典型应用电路

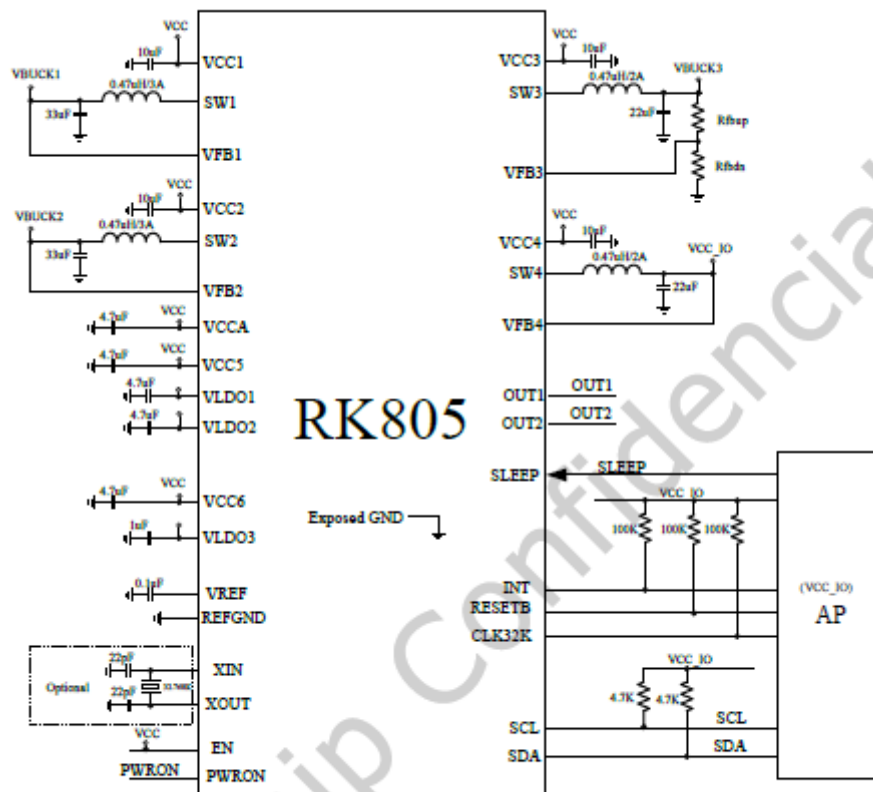


Fig. 1 RK805典型应用图

图 3 - 12 RK3328 RK805-1 典型应用框图

● 3.2.3.2 RK805-1特征

- 输入范围：2.7V 到 5.5V；
- 实时时钟（RTC）
- 小于50uA 的极低待机电流（在32KHz 时钟频率下）
- 2MHz 开关频率的降压DC-DC 转换器
- 电流模式架构提供优异的瞬态响应
- 内部环路补偿和软启动功能
- 可通过I2C 编程的输出电平和输出最大电流控制
- 自主IP 的高转换效率电路架构
- 内置BUCK 和LDO 的Vout 放电通路
- 供电电源：

- 通道1: 同步降压DC-DC转换器, 2.5A max
 - 通道2: 同步降压DC-DC转换器, 2.5A max
 - 通道3: 同步降压DC-DC转换器, 1.5A max
 - 通道4: 同步降压DC-DC转换器, 1.5A max
 - 通道5, 6: 低压差电压调制器, 300mA max
 - 通道7: 低噪声, 低压差电压调制器, 100mA max
 - 固定及可编程可选的电源启动时序控制
 - 封装: 4mmx4mm QFN32(pitch 0.4mm)
- 3.2.3.3 RK3328+RK805-1 Power Tree

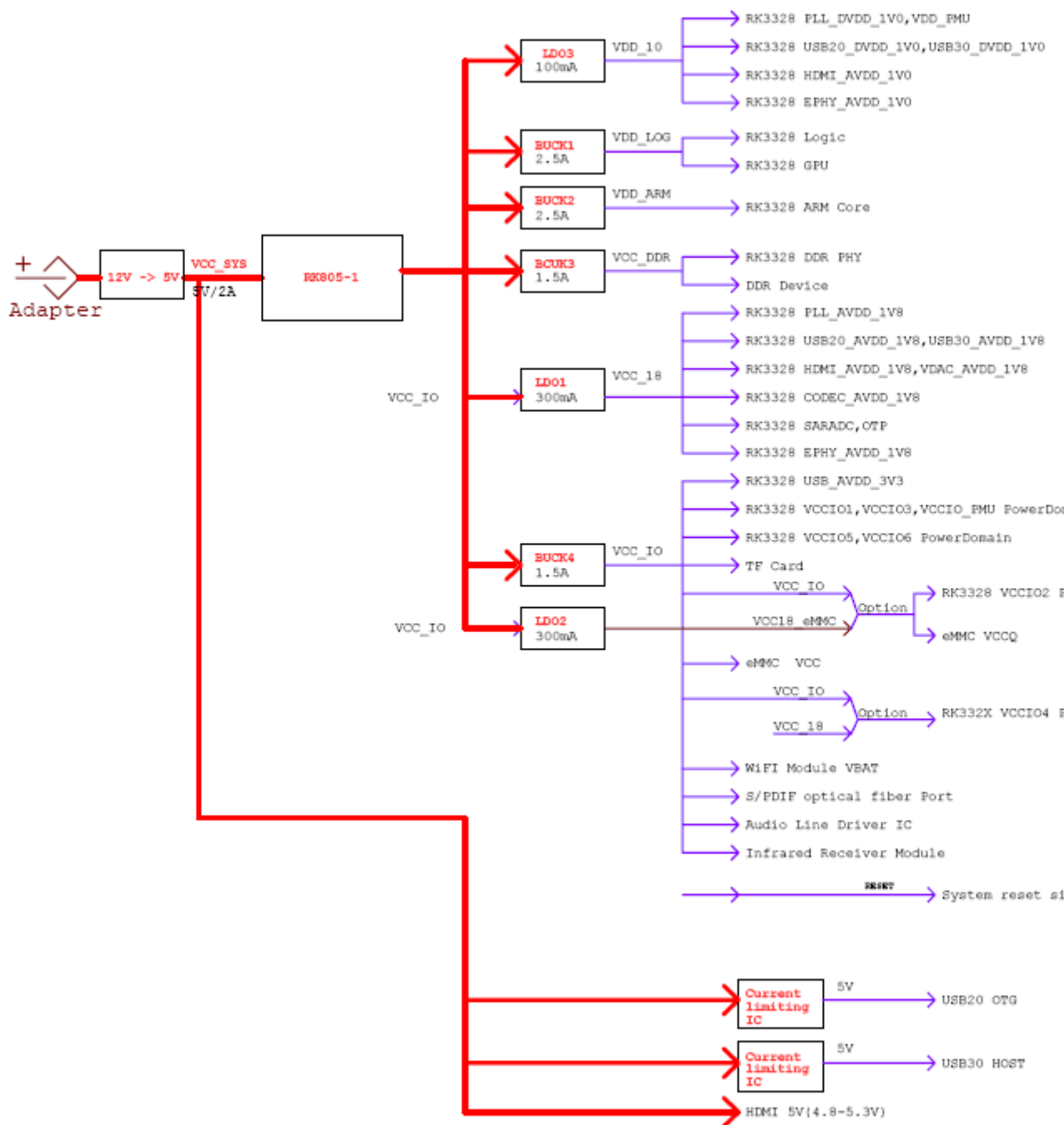


图 3 - 13 RK3328 RK805-1 电源架构

- 3.2.2.4 RK805-1注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体微调；如不用RK805-1的32K时钟给其它设备，则可以省掉此晶体。



注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测这个信号请测CLK32KOUT管脚。

开机 (POWER ON) 使能的条件

如果不存在任何开机使能失效的条件，则在下列情况下系统可以开启或者保持开机状态：

- EN信号从低电平变高电平触发
- EN信号保持高电平，且RTC闹钟中断触发
- EN信号保持高电平，按PWRON键触发

关机 (POWER OFF) 的条件

- EN信号保持低电平。
- 或者芯片温度达到热关断阈值，此时寄存器THERMAL_REG 中的TSD_STS=1。
- 或者VCC 电压低于UVLO 阈值，具体值可以在寄存器0x22 中的VB_UV_SEL中调整：此时寄存器VB_MON_REG 中的VB_UV_STS=1。
- 或者VCC 电压低于低压报警电压，具体值可以在VB_MON_REG 中的VB_LO_SEL中调整，并且VB_LO_ACT设置成0的话，则会触发关机保护
- 或者VCC电压过高，触发系统过压关机保护
- 或者DEV_OFF控制位设置成 1（系统关机时，DEV_OFF 值被清零）。
- 长按PWRON键触发关机
- SLEEP信号有效（如果REG<3:2>=1X）触发关机

SLEEP 使能条件

- SLP_POL=1并且SLEEP 外部PIN为高电平。
- SLP_POL=0并且SLEEP 外部PIN为低电平。
- 或者 DEV_SLP 控制位设置为 1

● 3.2.3.6 RK805-1设计说明

RK805-1具体设计说明，请参考RK RK805-1 datasheet。应用时需特别注意，如果是5V电源直接输入，请一定要在VCC_SYS网络加上TVS管AZ5825-01F，PCB LAYOUT时需要考虑RK805-1的散热需求，具体方案参考RK发布的DEMO设计，底层需要大面积的铺地以保证散热。

3.2.4 电源峰值电流表

下表为RK3328 BOX样机峰值电流测试结果，仅供参考，具体数值请参考我司测试报告。测试条件如下：

- CPU最高频率：1500MHz；
- GPU最高频率：500MHz；
- DDR最高频率：800MHz；
- 示波器打开20MHz带宽限制；

表 3 - 4 RK3328 峰值电流表

PowerName	Voltage (V)	Peak Current (mA)
Adapter	12.28V	445
VDD_LOG	1.127V	845
VDD_ARM	1.37V	925
VCC_DDR	1.54 V	263
VCC_IO	3.29V	316
VDD10	1.0V	36
VCC_18	1.78V	118

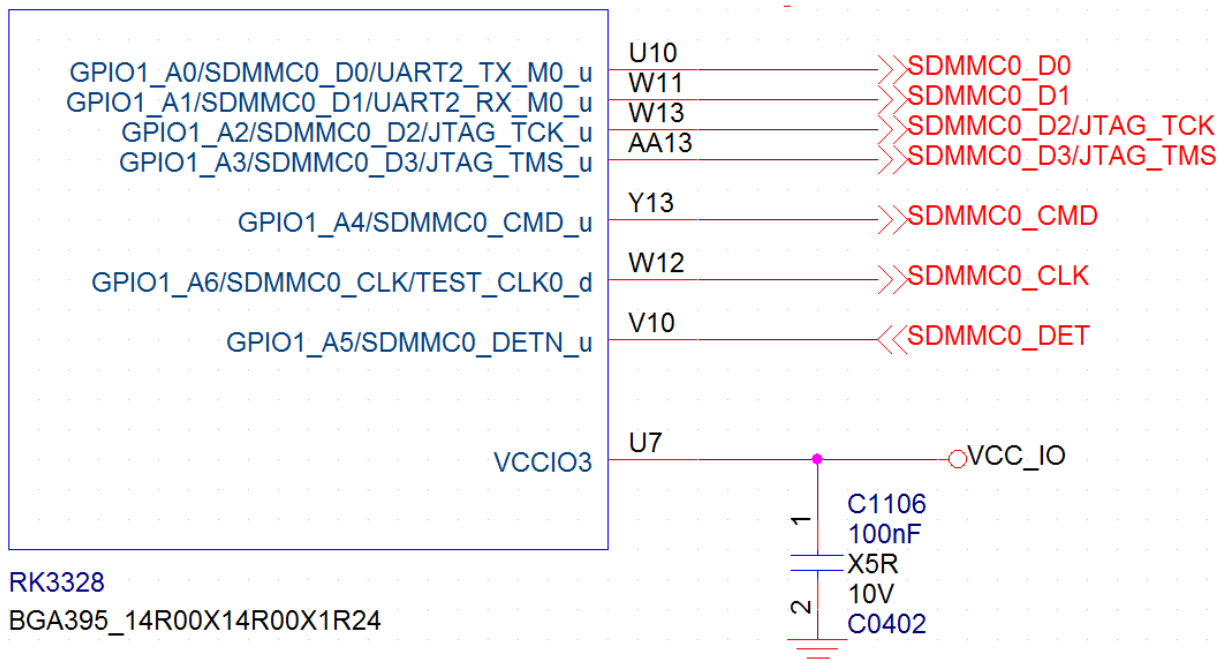
3.3 功能接口电路设计指南

3.3.1 存储卡电路

RK3328提供了两个SDMMC接口控制器，都支持SDMMC 3.0协议。由于无独立IO电源，原理图上只支持SDMMC 2.0协议，如图所示：

- SDMMC0控制器与IO电源复用，故只能支持到SDIO2.0；
- SDMMC0与UART2、JTAG功能复用在一起；

U800D



U800G

- SDMMC0EXT控制器也支持SDMMC 3.0协议，也可以接TF卡使用，目前原理图上没用。

U800G

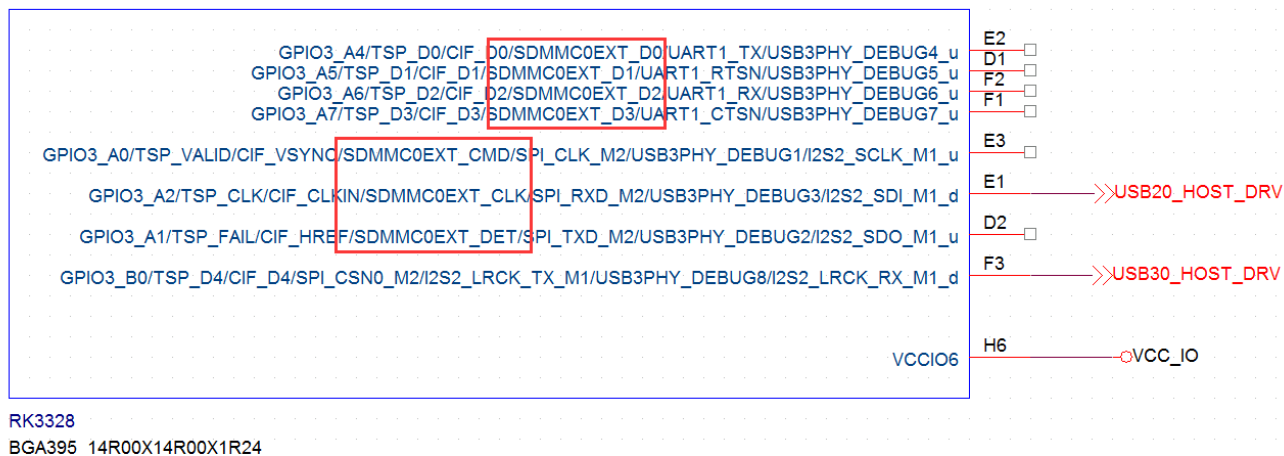


图 3 - 14 RK3328 SDMMC模块电路

SDMMC接口上下拉和匹配设计推荐如表3-6所示。

表 3 - 5 RK3328 SDMMC接口设计

信号	内部上下拉	连接方式 (SDR104高速模式)	描述（芯片端）
SDMMC_DQ[3:0]	上拉	串联22ohm电阻	SD数据发送/接收

SDMMC_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC_CMD	上拉	串联22ohm电阻	SD命令发送/接收

为了满足ESD保护的要求，在电路设计时需要考虑在SDMMC电路上设计保护电路。为了避免保护器件对SDMMC信号造成影响，能够达到良好的保护效果，建议PCB设计时采用如下原则：

- 保护器件建议紧靠 SDMMC连接器端口放置。
- 建议保护器件的寄生电容小于10pF。

SDIO/SDMMC PCB设计

SDIO/SDMMC走线请注意：

- CLK单独走线，并做包地处理；DATA走线间距遵守3W规则；TF卡由于无分立电源只支持到SDMMC2.0, WIFI支持SDIO3.0，最高支持150MHz时钟频率，因此SDIO_D0/1/2/3, SDIO_CLK, SDIO_CMD在PCB layout上要注意避免干扰，保持一致性。如下图所示高亮黄色部分是SDIO布线，PCB布线要保持参考层的完整性（相邻层要保持是同一个平面），避免一些电源等其他信号的干扰，且与同一层的其他线有GND隔离。

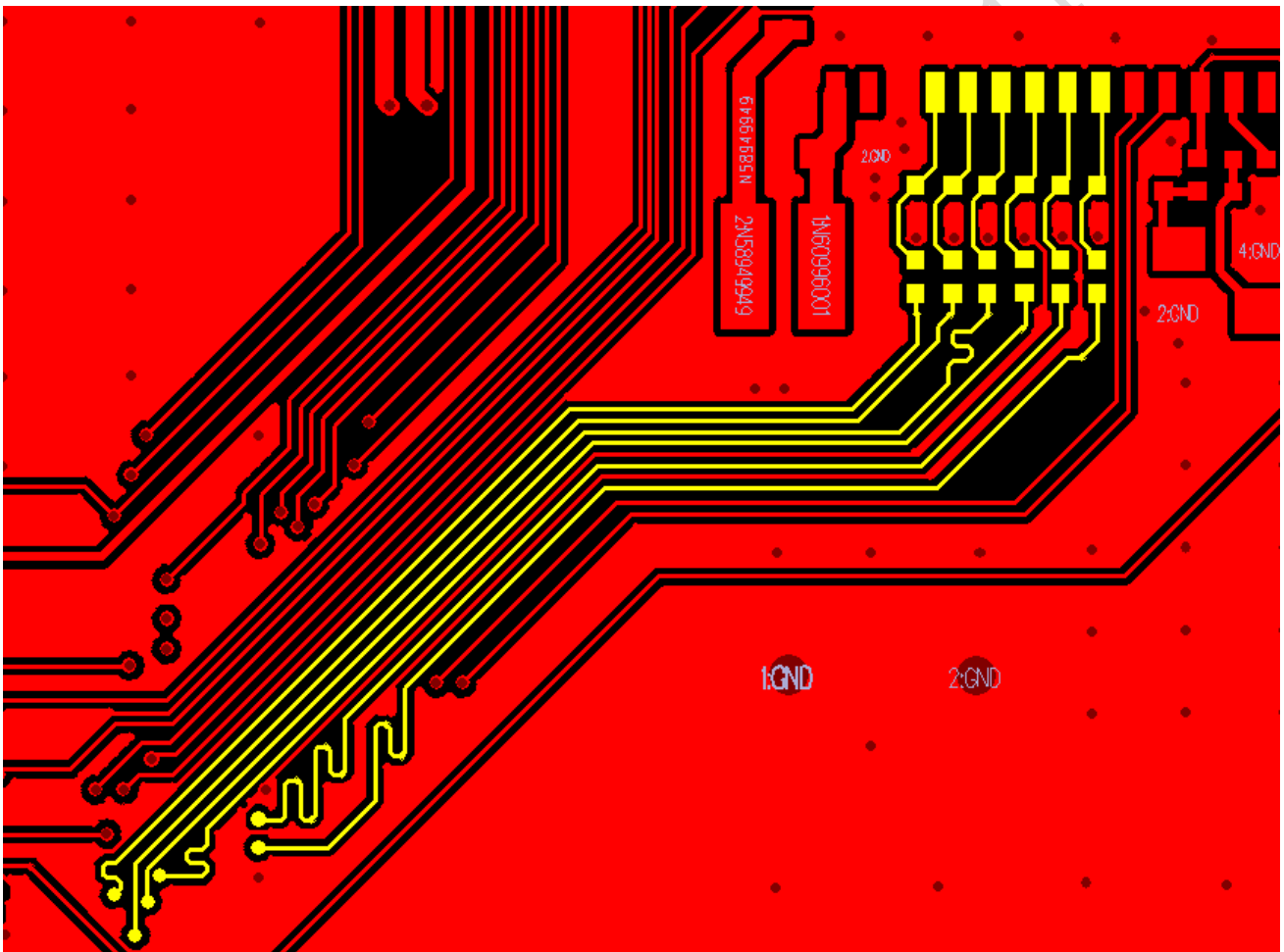


图 3 - 15 RK3328 SDIO/SDMMC 走线要求



图 3 - 16 RK3328 CLK用GND包地处理

- 因为走线较长，走线之间的间距建议8mil；
- 负载电容包括SD卡负载电容以及PCB负载电容两部分，其中SD卡的负载电容协议规定应该是小于10pF；

- 3.0V operation: 50 MHz with 40pF
- 1.8V operation: 208 MHz with 21pF

图 3 - 17 SDRAM负载电容要求

3. Card capacitance range is defined as follows:

Capacitance	Min	Max	Units	Notes
$C_{CARD} (C_{DIE} + C_{PKG})$	5	10	pF	---

Table 6-10 : Card Capacitance Range

图 3 - 18 SD卡负载电容

SDIO/SDMMC 线路要求如表3-7:

表 3 - 6 RK3328 SDIO/SDMMC走线要求

参数	要求
Trace Impedance	50Ω ±10% single ended
Max skew between data signal and clock	<20ps
Max trace length	<3.93 inches

WIFI/BT设计

WIFI是通过SDIO或者是USB与RK3328芯片通讯，BT是通过UART、PCM接口与RK3328芯片通讯。

BT与RK3328芯片是通过UART interface (up to 4Mbps) 通讯，UART的PCBlayout也尽量保持参考层的完整性

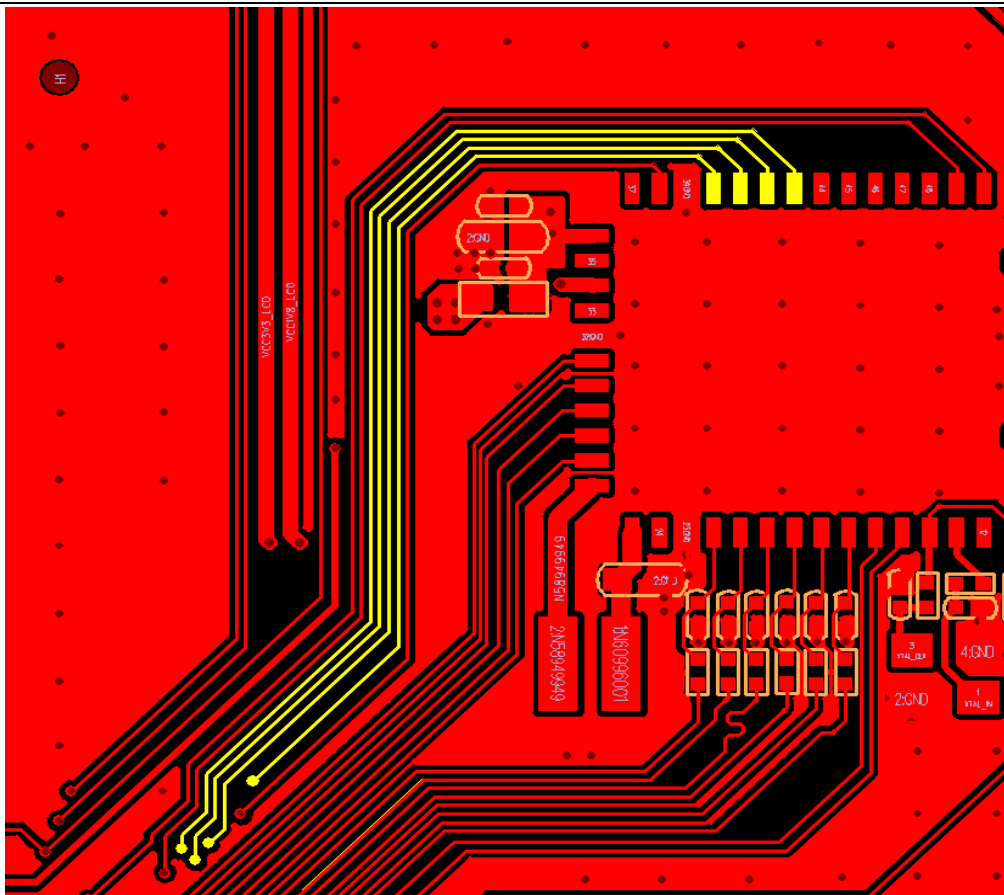


图 3-19 BT UART走线

I2S/PCM在PCB布线上相邻的参考层要保持完整（相邻层要保持是同一个平面），避免一些电源等其他信号的干扰，且与同一层的其他的线有GND隔离。

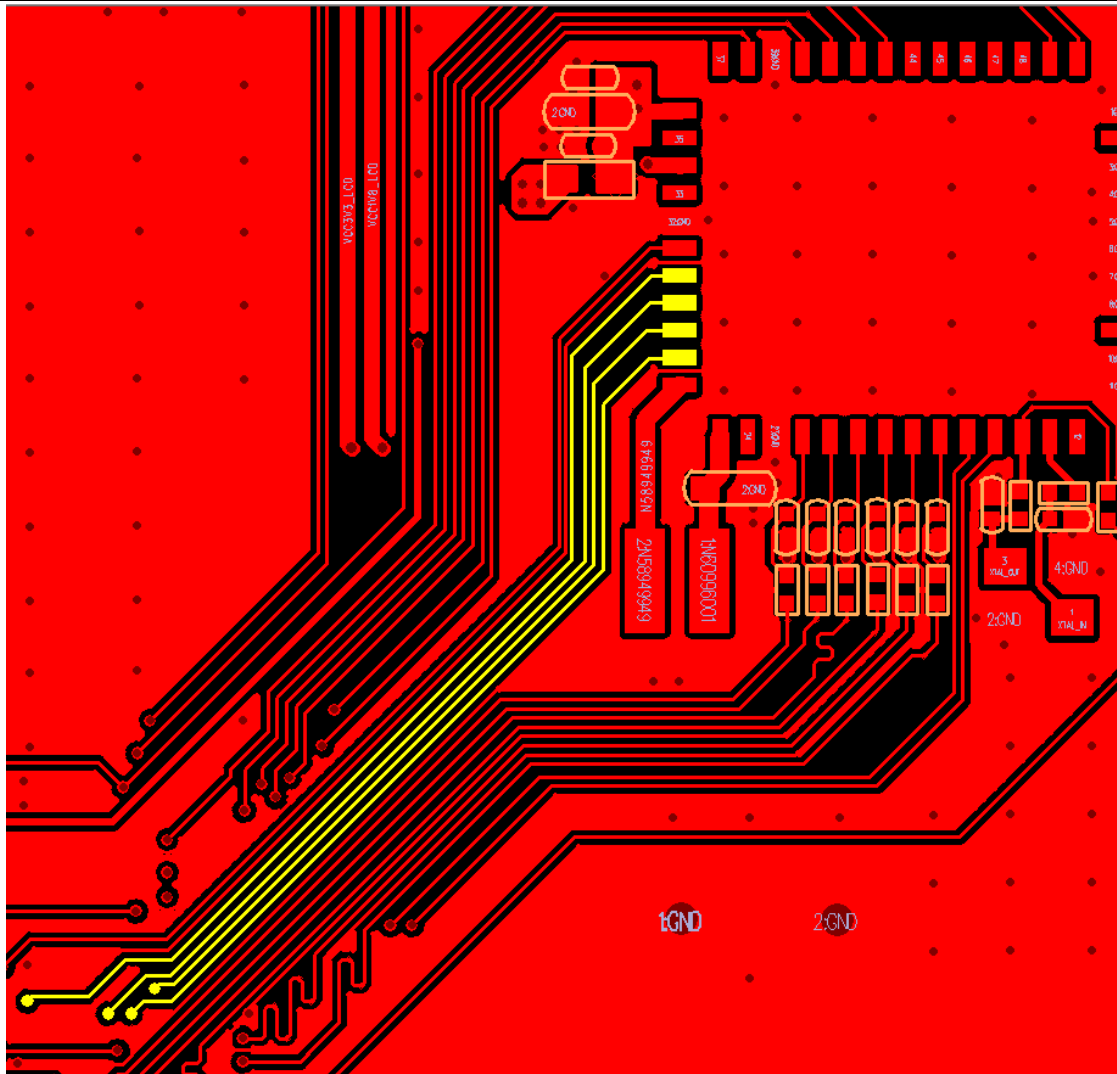
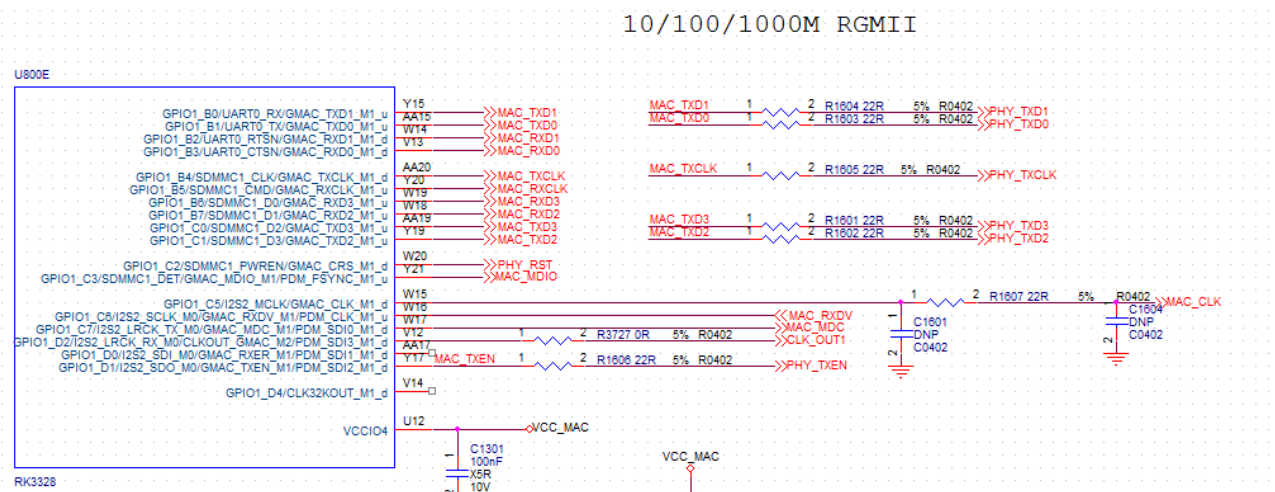
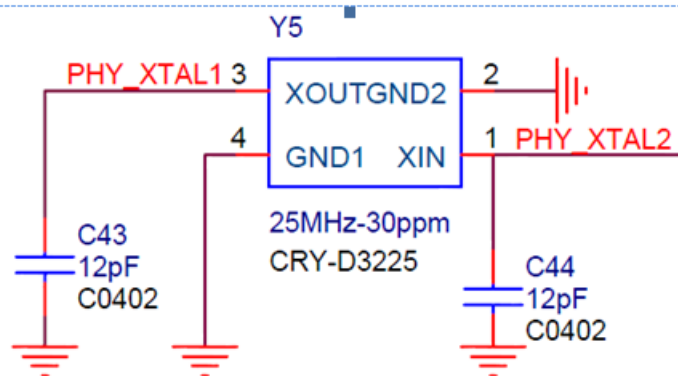


图 3-20 BT PCM走线

3.3.2 以太网口电路

RK3328内部集成了一个千兆以太网的mac和百兆以太网PHY。可以外置千兆以太网phy，实现千兆网络功能；也可以使用芯片内部集成的百兆以太网PHY，实现百兆网络功能。同时使用，可以实现双网口（千兆+百兆）功能。千兆具体设计请参考phy原厂的设计文档，指南中不做过多介绍。Phy所用的工作时钟，可以选择通过外置晶体或是由RK3328芯片的MAC_CLK输出提供。





If use external clock
then the XTAL2 need
connect to GND for RTL8211E.

图 3 - 21 千兆PHY MAC_CLK选择

● 3.3.2.1 1000M MAC

RK3328支持10/100/1000M MAC，现对1000M GMAC部分设计及其注意事项说明如下：

表 3 - 7 RK3328 RGMII接口设计

信号	内部上下拉	连接方式	描述
MAC_TXCLK	下拉	串联22ohm电阻	数据发送的参考时钟
MAC_RXCLK	下拉	串联22ohm电阻	数据接收的参考时钟
MAC_TXD[3:0]	下拉	串联22ohm电阻	数据发送
MAC_RXD[3:0]	下拉	串联22ohm电阻	数据接收
MAC_TXEN	下拉	串联22ohm电阻	发送数据使能
MAC_RXDV	下拉	直连	接收数据有效指示
MAC_MDC	下拉	直连	配置接口时钟
MAC_MDIO	下拉	直连	配置接口I/O
MAC_CLK	下拉	串联22ohm电阻	MAC主时钟输出

- 电源：RK3328 GMAC I/O电压为3.3V (Pin N6)，以太网PHY I/O供电电压需要与GMAC I/O电平保持一致。
- RGMII接口收发信号线上，TX_CLK和RX_CLK是125MHz，为了达到1000Mb的传输速率，TXD和RXD信号线在时钟的双边沿都进行采样，数据使能信 (MAC_TXEN、MAC_RXDV) 必须在数据发出有效前使能。
- 复位：MAC对PHY的复位方式用GPIO来控制，也可以使用RC硬件复位电路，需要注意的是，若是采用RC硬件复位电路，则PHY的电源必须是可控的。

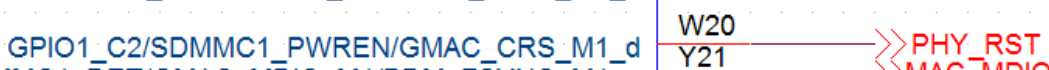


图 3 - 22 RK3328 RGMII复位

- MAC层和PHY之间传送控制和状态信息为MDIO接口，时钟MDC信号和数据MIDO信号，需要注意的是MDIO信号需要上拉，TX也需要增加上拉，如下图：

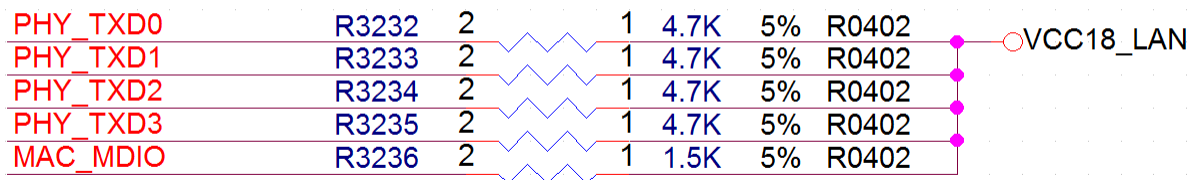


图 3-23 RK3328 RGMII MDIO信号

3.3.2.2 100M MAC

RK3328支持10/100内置集成。现对100M MAC部分设计及其注意事项说明如下：

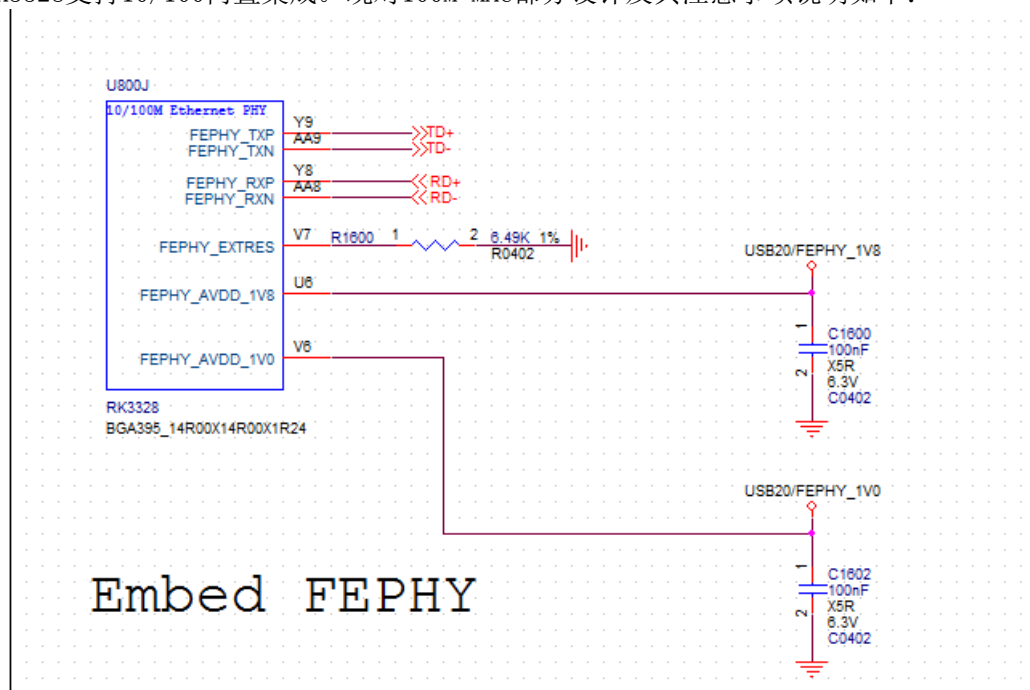


图 3-24 RK3328 百兆网络信号

表 3-8 RK3328 RMII接口设计

信号	内部上下拉	连接方式	说明
FEPHY_TXP	NA	串联10ohm电阻与网络变压器连接	数据发送差分对信号
FEPHY_TXN	NA	串联10ohm电阻与网络变压器连接	
FEPHY_RXP	NA	串联10ohm电阻与网络变压器连接	数据接收差分对信号
FEPHY_RXN	NA	串联10ohm电阻与网络变压器连接	
FEPHY_EXTRES	NA	串接6.49K精密电阻接地	参考电阻

- 电源：RK3328 MAC需要两路供电电源，一路电压为1.8V（PIN Y10）。一路电压为1.0V（PIN R8）。
- 使用内部百兆时，需注意信号上所串接的10ohm电阻不可以省掉，或更改参数，差分信号的上拉电阻需接在网络变压器端，而不是芯片端。

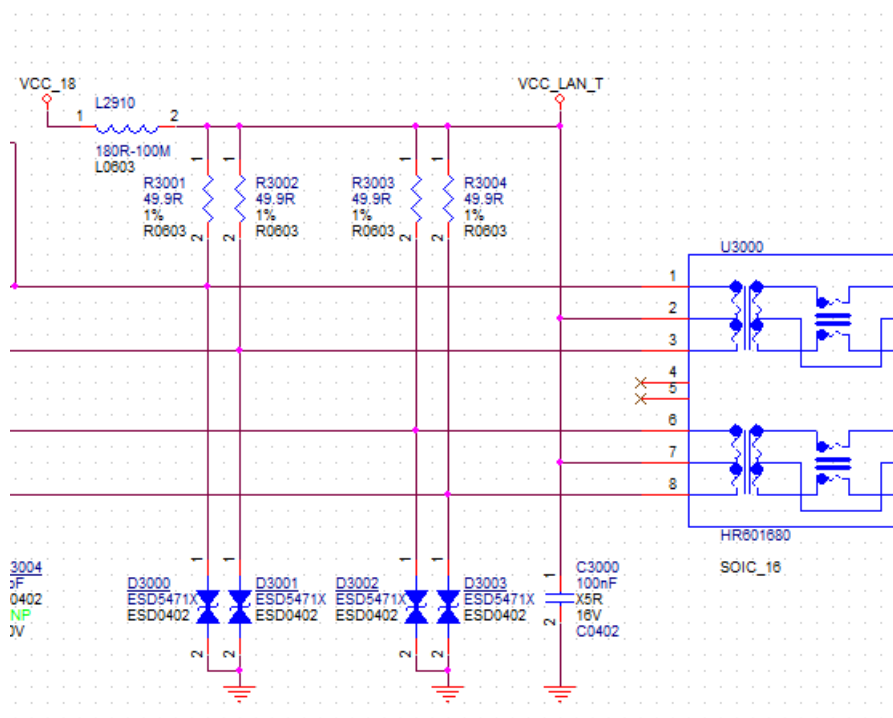
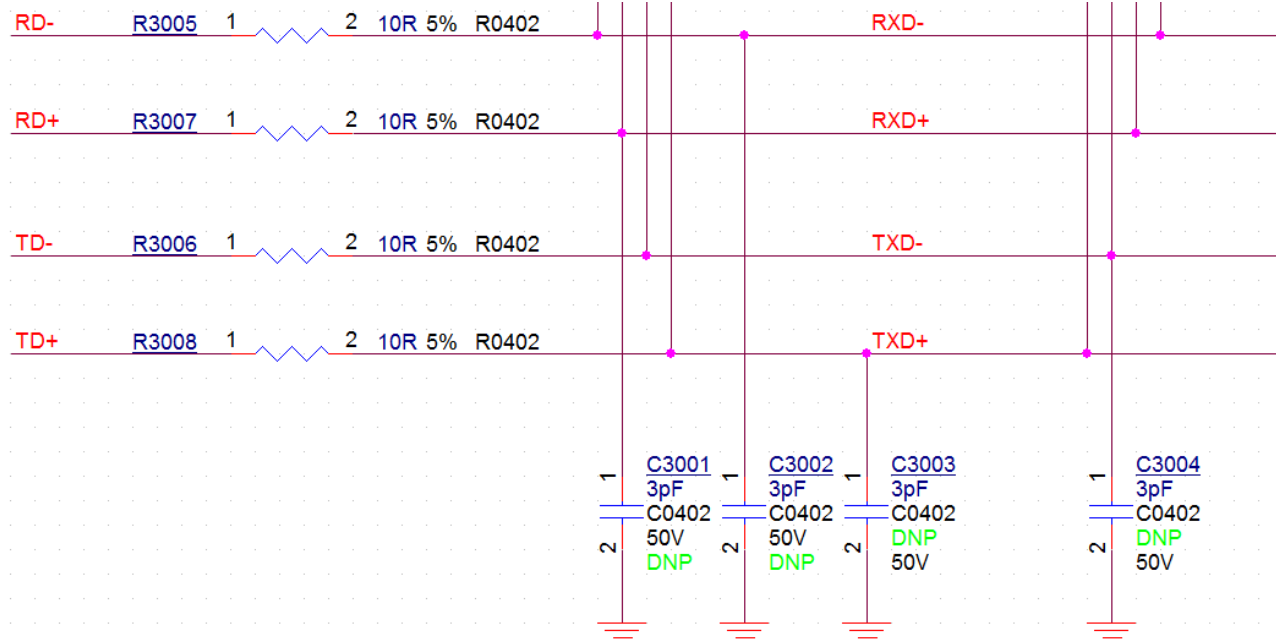


图 3 - 25 RK3328 数据差分对

● 3.3.2.3 浪涌雷击

为了满足ESD保护、浪涌保护的要求，建议在电路设计时考虑到保护电路。为了避免保护器件对PHY走线信号造成影响，并能够达成良好的保护效果，建议PCB设计时采用以下原则：

- 保护器件建议放置在变压器内侧，在变压器和 PHY 之间，靠近变压器放置，差模及ESD通过元器件解决，保护器件建议选用 TVS 管，击穿电压8kV，响应时间小于1ns。

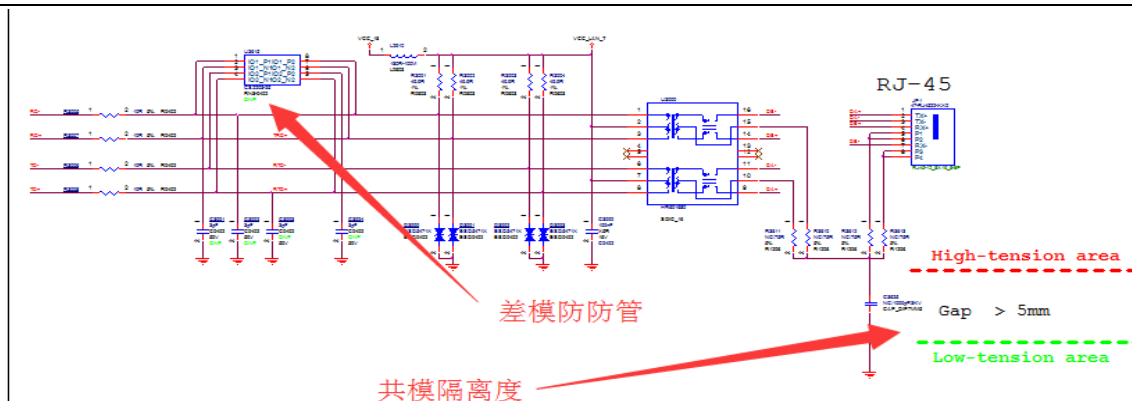


图 3 - 26 RK3328 网口安全设计

- 差模防雷管一体成型的成本会比较贵，也可以选用单颗的ESD器件，规格参数达到以下量级即可。

PROTECTION PRODUCTS

Absolute Maximum Rating

Rating	Symbol	Value	Units
Peak Pulse Power (tp = 8/20μs)	P _{pk}	100	Watts
Maximum Peak Pulse Current (tp = 8/20μs)	I _{pp}	10	Amps
ESD per IEC 61000-4-2 (Air) ESD per IEC 61000-4-2 (Contact)	V _{ESD}	+/- 30 +/- 30	kV
Operating Temperature	T _j	-40 to +85	°C
Storage Temperature	T _{STG}	-55 to +150	°C

图 3 - 27 差模防护管规格参数

- 共模防护通过隔离间距，及网络变压器的交流隔离电压来解决，PCB设计为满足浪涌设计需求，需保证充足的隔离间距，并开隔电槽，一般如共模需过4KV标准，则与RJ45座子相连接的线及器件与GND及变压器次级要保证120mil以上的隔离间距，变压器自身交流隔离电压需达到2.5-3KV以上的量级；如共模需过6KV标准，则与RJ45座子相连接的线及器件与GND及变压器次级要保证220mil以上的隔离间距，变压器自身交流隔离电压需达到5KV以上的量级。

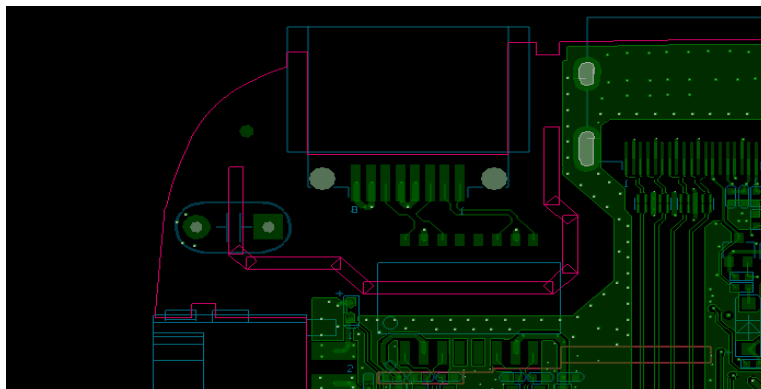


图 3 - 28 RK3328 网口安全PCB设计

PCB设计注意事项:

- 千兆PHY越靠近RK3328，效果会越好，即RGMII走线越短EMI效果越好，必须小于15cm。
- MAC_RXCLK包地处理。

- MAC_RX所串电阻靠近PHY放置。
- RXD[0:3], RXCLK, RXDV走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
- 要有完整的参考面，不能和其它信号线直接平行布线。
- PHYTX串联匹配电阻要靠近RK3328放置：
- PHY_TXCLK包地处理。
- TXD[0:3], TXCLK, TXEN走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
- 要有完整的参考面，不能和其它信号线直接平行布线。
- 下图中的R3211要靠近PHY放置，需包地处理，走线要尽量短，要有完整的参考面。

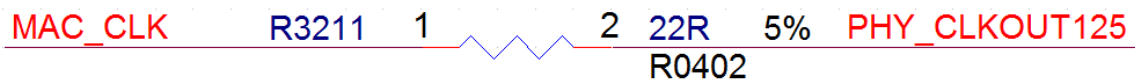


图 3 - 29 MAC CLK分支电阻

- 下图中两路电源去耦电容要尽可能靠近RK3328芯片的PIN脚放置，双面贴的板子两个电容放置在RK3328芯片背面电源管脚处，差分对严格控制好阻抗，要有完整的参考层。

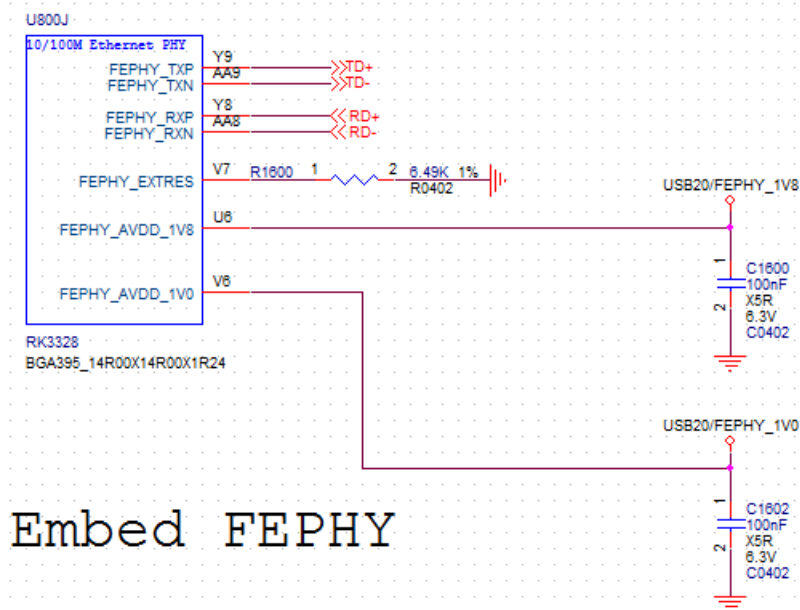


图 3 - 30 MAC 模块电源去耦电容

3.3.3 USB电路

RK3328有2路USB 2.0接口，1路USB 3.0接口。

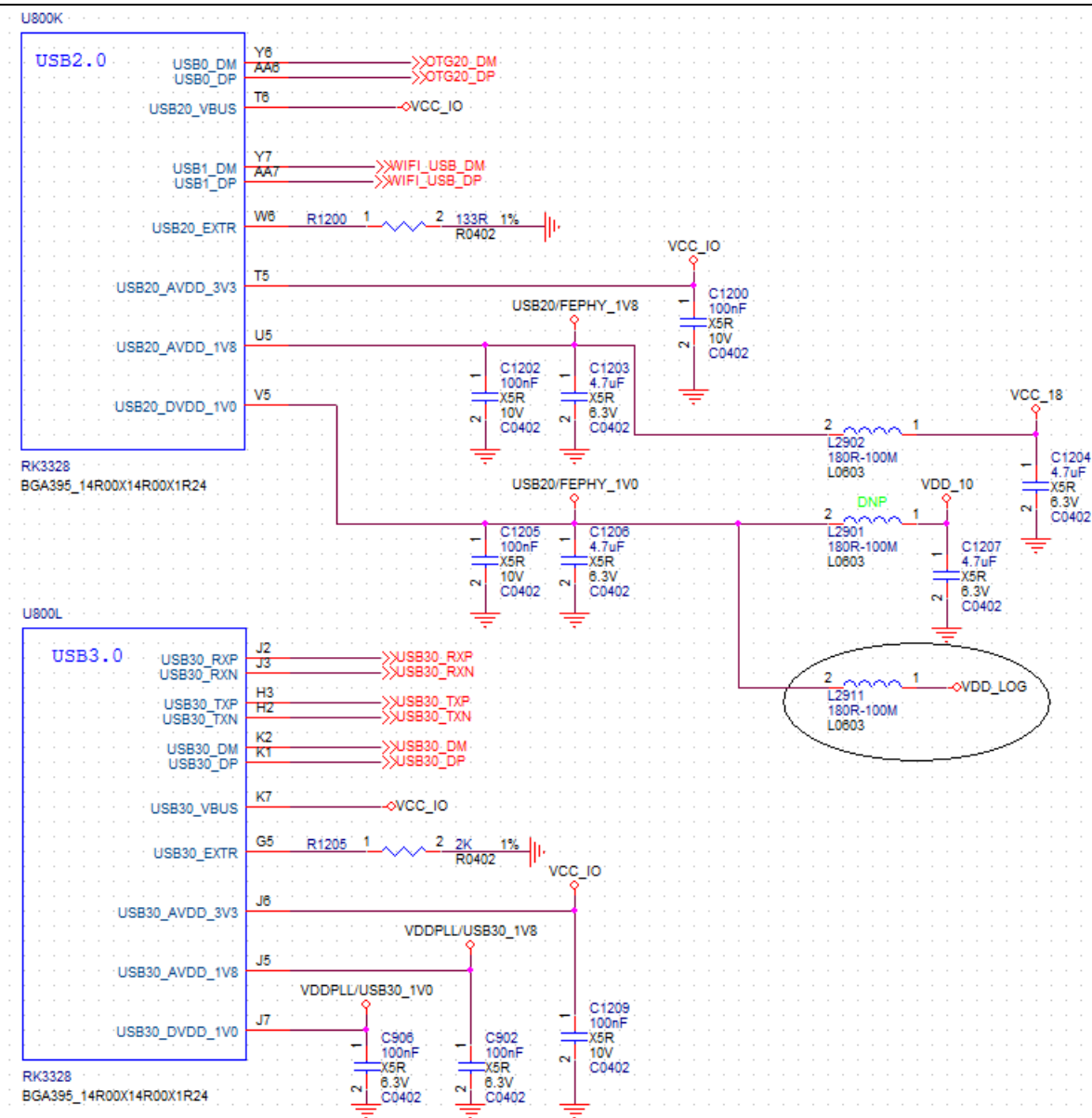


图 3 - 31 RK3328 USB模块

USB2.0接口上下拉和匹配设计推荐如表3-12所示。

表 3 - 9 RK3328 USB2.0接口设计

信号	连接方式	说明
USB0_DP/DM	串接2.2ohm电阻直连	USB2.0 HOST0 &OTG 输入/输出
USB1_DP/DM	串接2.2ohm电阻直连	USB2.0 HOST1 输入/输出
USB0_VBUS	外部接VCCIO	USB VBUS检测脚
USB_EXTR	连接133ohm电阻到GND	USB控制器参考电阻连接PIN

表 3 - 11 RK3328 USB3.0接口设计

信号	连接方式	说明
USB30_TXP/TXN	串接0ohm电阻直连	USB3.0 输出
USB30_RXP/RXN	串接0ohm电阻直连	USB3.0 输入
USB30_DP/DM	串接2.2ohm电阻直连	兼容USB2.0, USB2.0 HOST 输入/输出
USB0_VBUS	外部接VCCIO	USB VBUS检测脚

USB_EXTR	连接2Kohm电阻到GND	USB控制器参考电阻连接PIN
----------	---------------	-----------------

使用中请注意：

- USB0做为系统固件烧写口，不可随意调整；
- OTG与HOST口可以独立使用；
- VBUS做为USB OTG的插入检测，输入检测电压需小于3.3V，且必须要有高电平才可被电脑识别，不可不接；
- USB控制器参考电阻请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；
- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

● 3.3.2.2 ESD

为了满足ESD保护等级要求，在电路设计时需要考虑在USB电路上设计保护电路。为了避免保护器件对USB走线信号造成影响，并能够达到良好的保护效果，建议PCB设计时采用如下原则：

- ESD保护器件建议紧靠USB连接器端口放置；
- ESD保护器件建议选用空气15kV，接触8kV，响应时间小于1ns的器件。
- USB 2.0具有480Mbps的传输速度，所以差分信号对于线路上的寄生电容非常敏感，所以要选择低寄生电容的ESD保护器件，电容要小于1pF。
- USB 3.0具有5Gbps的传输速度，所以差分信号对于线路上的寄生电容非常敏感，所以要选择低寄生电容的ESD保护器件，电容要小于0.4pF。
- USB信号上所串接的2.2ohm电阻不可修改参数或省去。

● 3.3.2.3 USB PCB Layout注意点如下：

- USB的差分信号必须严格按照差分要求走线，拐角不能为直角或锐角，阻抗要求 $Z=90 \pm 10\text{ohm}$ ；

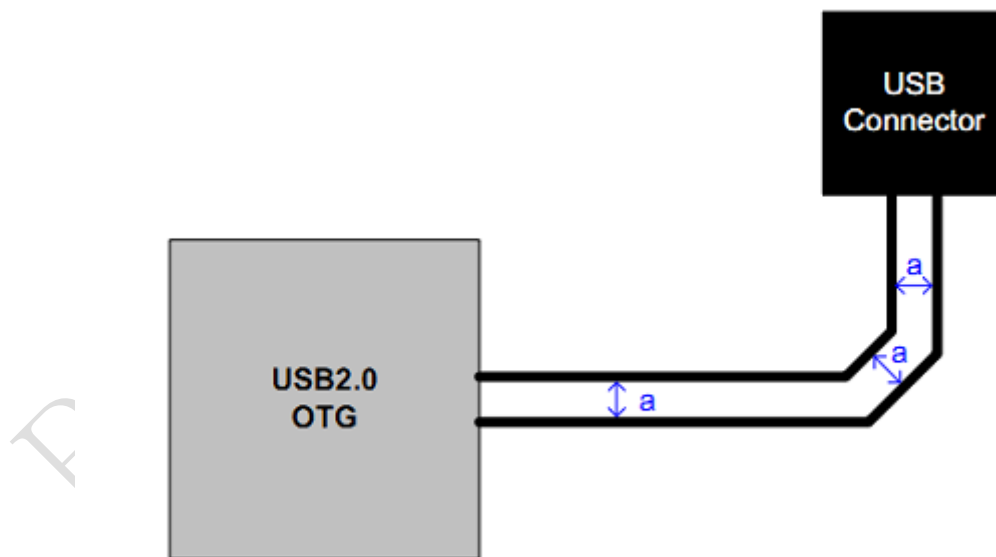


图 3 - 32 USB DM/DP LAYOUT拐角方式

- USB 2.0规范定义的电流为500mA，但是VBUS走线最好能承受1A的电流，以防过流，及减小PCB布线带来的线损。
- USB 3.0规范定义的电流为900mA，但是VBUS走线最好能承受1.5A的电流，以防过流，及减小PCB布线带来的线损。
- ESD保护器件、共模电感和大电容在布局时应尽可能的靠近USB接口，限流开关输入及输出PIN，如有过孔换层尽量多放几个，以减小走线上的阻抗及满足过载能力，并确认限流开关

的接地PIN有良好的接地，至少需要就近PIN焊盘放置4个以上0402类型的过孔，如图3-34。

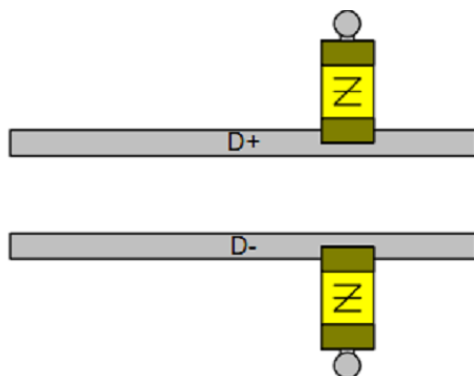


图 3 - 33 ESD器件布局方式

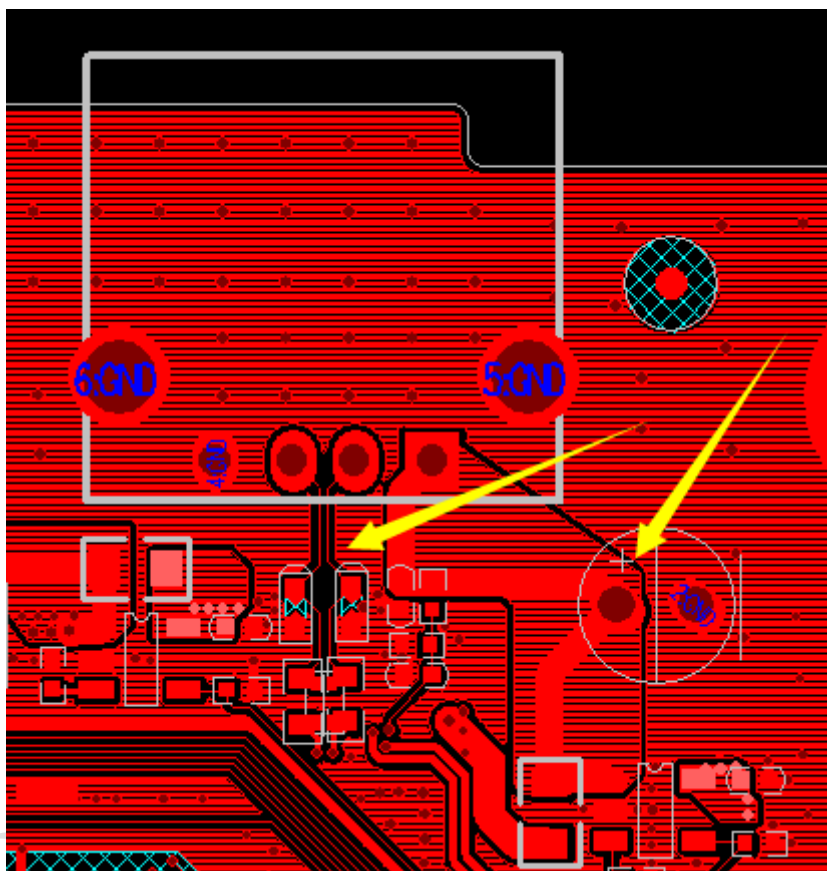
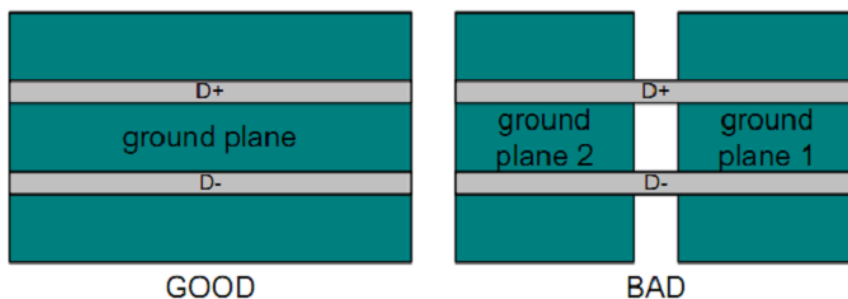


图 3 - 34 USB 电源布局方式

- DM/DP走线中应该尽可能的减少过孔，过孔会造成线路阻抗的不连续，如一定要换层，在差分对换层过孔中心位置加一个地过孔，提供较短的信号回流路径；
- USB建议在表层走线，并保证走线参考面是一个连续完整的参考面，不被分割，如图3-35；



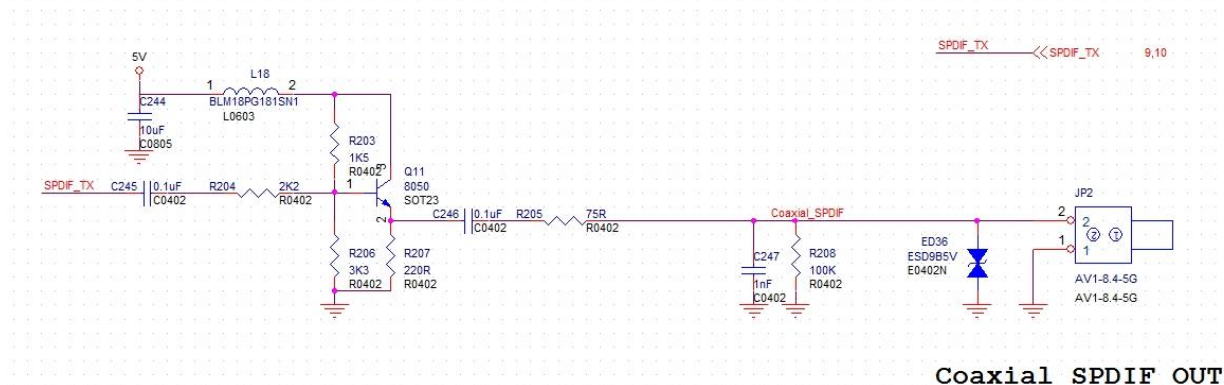


图 3-37 同轴隔直参考电路

3.3.4.2 HDMI OUT

- RK3328提供了一个HDMI接口，支持HDMI 2.0a协议；
- HDMI控制器参考电阻R1400请选用1%精度的电阻，该电阻会影响眼图信号质量。

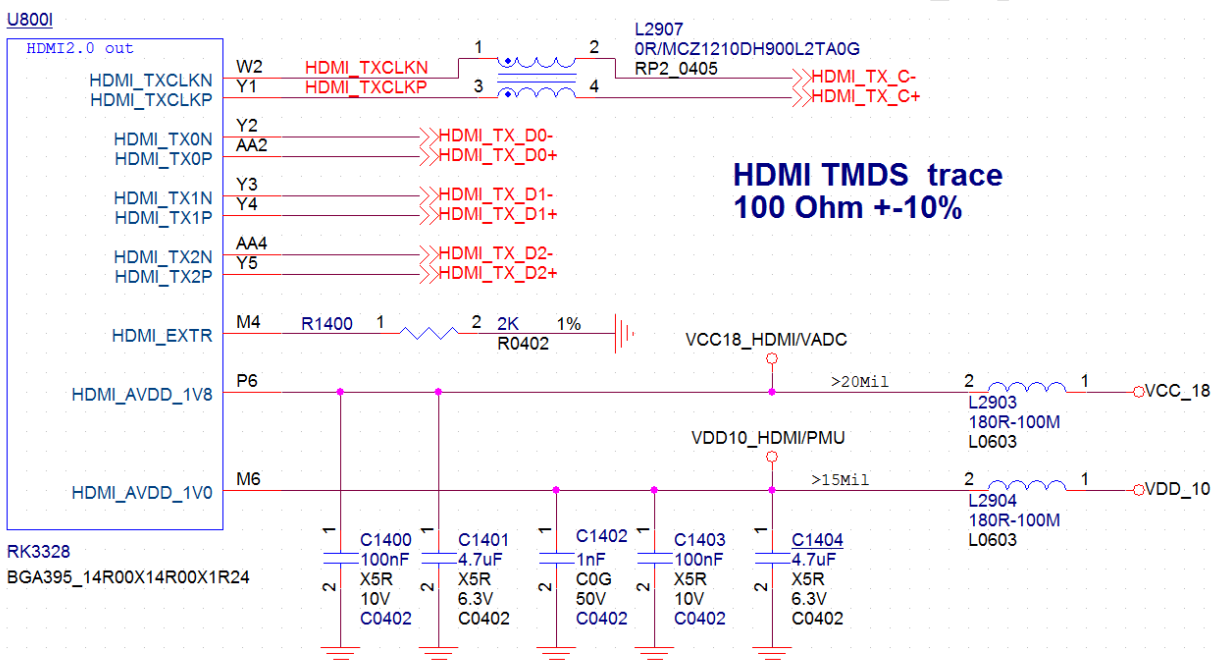
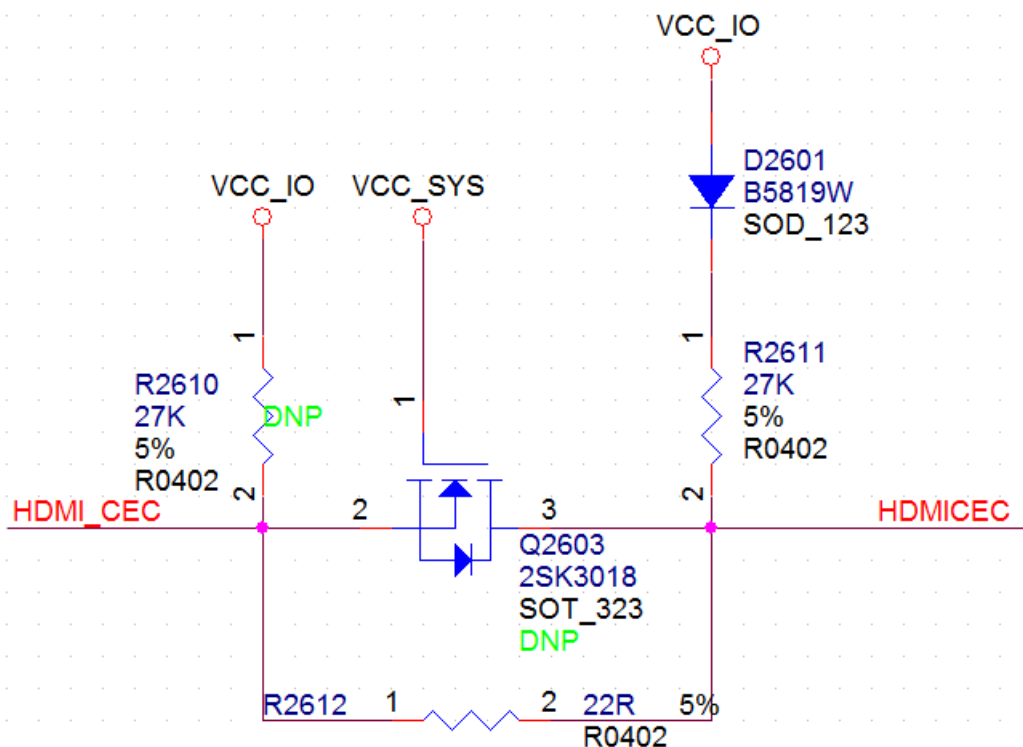


图 3-38 RK3328 HDMI模块

- HDMI 接口电路注意防倒灌设计，详细见RK3328参考设计原理图；



if you want to support of HDMI CEC, mounted
if not, not mounted

图 3 - 39 HDMI CEC放倒灌电路

- RK3328的I2C总线电路;

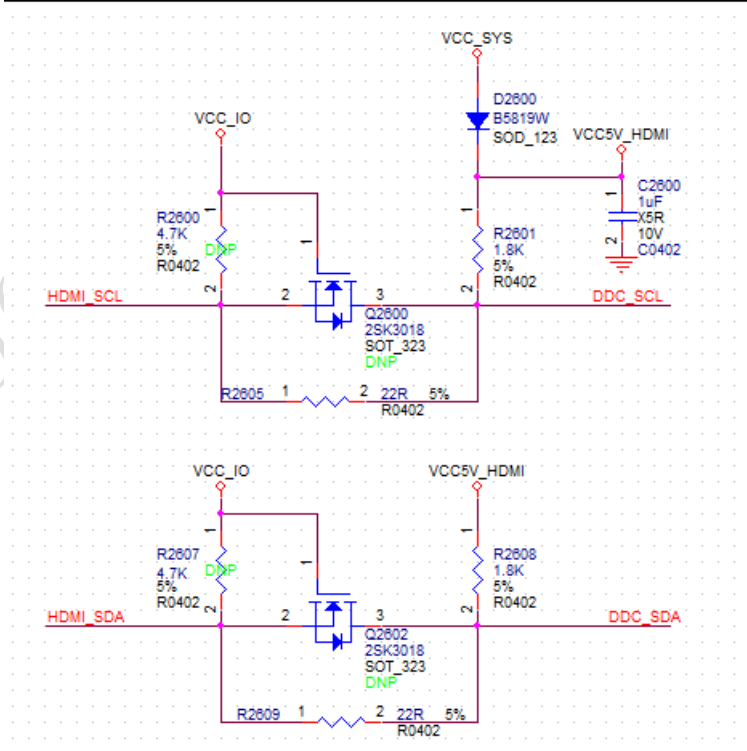


图 3 - 40 HDMI I2C电路

- HDMI 四组差分信号上需要有ESD 保护, ESD 器件靠近HDMI 接口放置, 推荐电容最大不超过0.4pF。

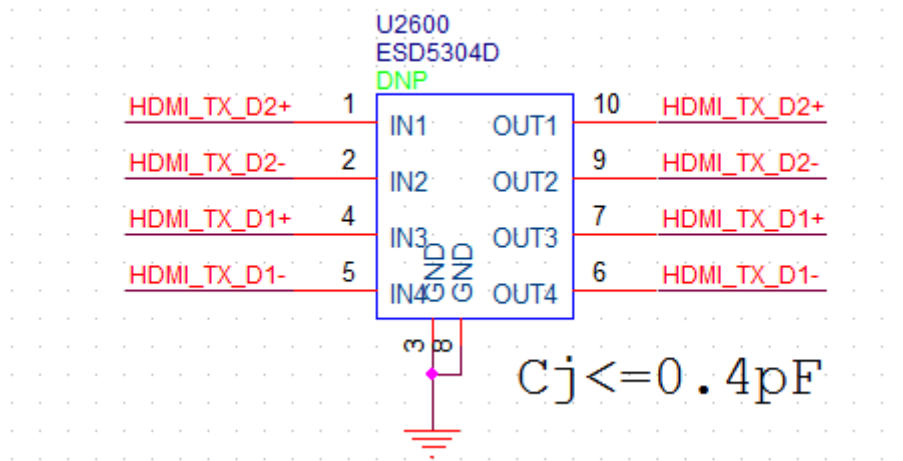


图 3 - 41 HDMI ESD电路

PCB LAYOUT建议:

- ESD器件需靠近HDMI插座放置，TMDS_CLK的共模靠近芯片端放置，以改善信号反射，防止眼图JITTER过大，版本参考原理图备注，如图3-42。

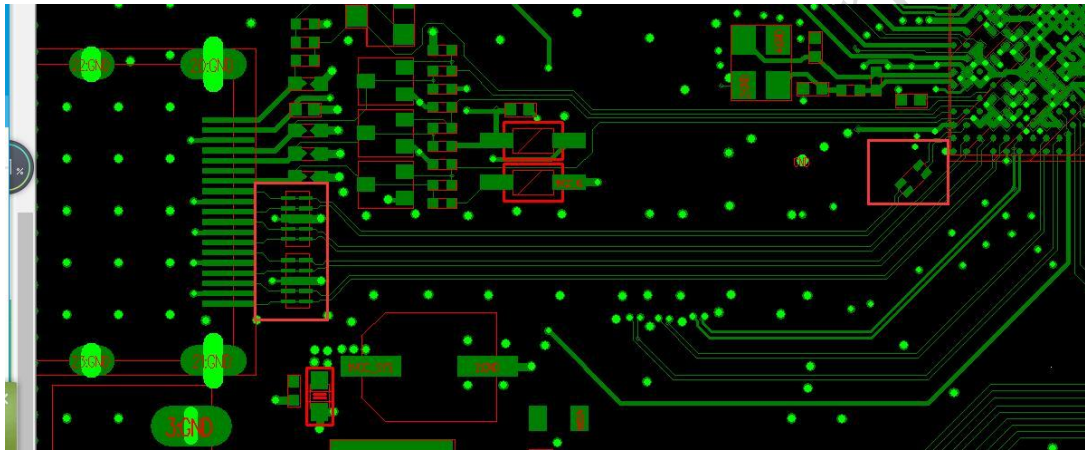


图 3 - 42 HDMI差分对LAYOUT方式

- HDMI的差分信号必须严格按照差分要求走线，走线尽可能的少换层，保持参考平面完整，阻抗要求 $Z=100\pm 10\Omega$ 。
- RK3328的HDMI信号可以直接顺序扇出到HDMI连接座，走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；如果因为模具结构无法避免换层，建议将换层的阻抗变化控制在10%以内，并在每对换层的差分对旁边就近安排一个GND过孔用于信号回流换层。

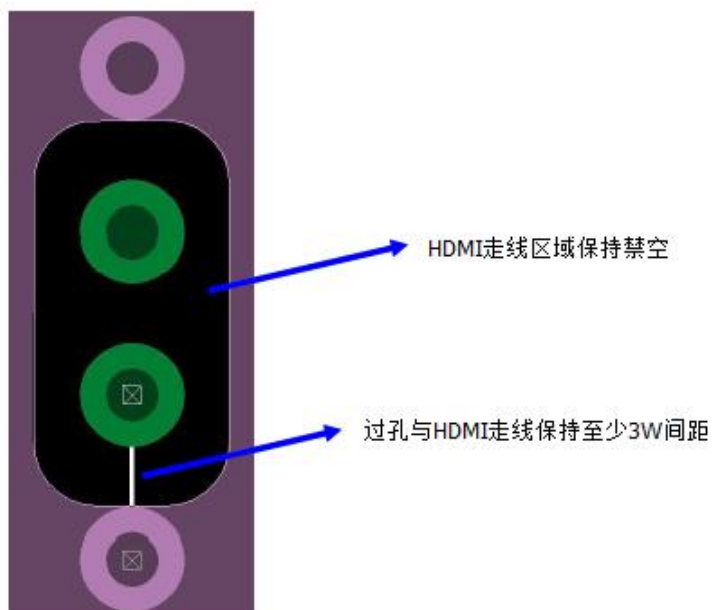


图 3 - 43 差分信号换层过孔放置示

HDMI 线路要求如表3-1:

表 3 - 10 RK3328 HDMI走线要求

参数	要求
Trace Impedance	差分阻抗: $100\Omega \pm 10\%$
Max intra-pair skew	$<4\text{ps}$
Max trace length skew between clock and data pairs	$<80\text{ps}$
Max trace length on carrier board	9.8 inches
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible
The minimum spacing between HDMI and other Signals	At least 3 times the width of HDMI trace
Maximum allowed via	4

3.3.4.3 数字阵列MIC

详见“RK麦克风阵列EVK用户使用指南V02.docx”与“多麦克风阵列应用简介与硬件实现.pptx”两份文档，此处不再作过多介绍。

3.3.5 RECOVER按键电路

RK3328采用SARADC_IN0作为进入RECOVER模式的判断条件（不需要更新LOADER），如图10-1。在有固件的前提下，开机时按下SW900，将SARADC_IN0保持为0V电平，则RK3328进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC_IN0恢复为高电平（3.3V），即可进行固件烧写。

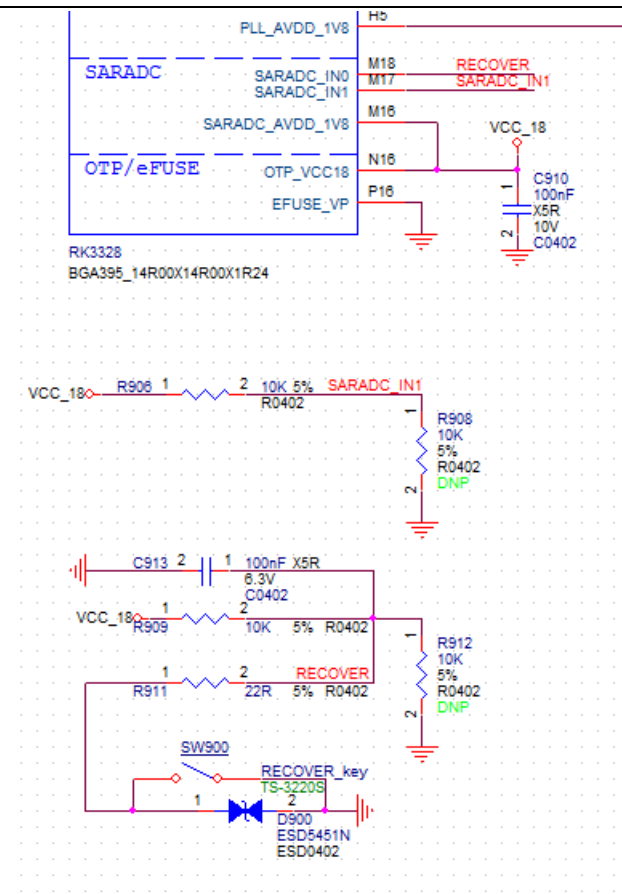


图 3 - 44 RECOVERY按键电路

小贴士:

- **Recover** 模式进入方法不能自行更改;

PCB Layout 建议:

Key PCB Layout注意点如下:

- ESD保护器件请就近靠近按键放置, 以起到静电保护作用, 如图3-45;
- KEY走线与其他信号线用地线隔离, 避免信号线间串扰引起键值误判。

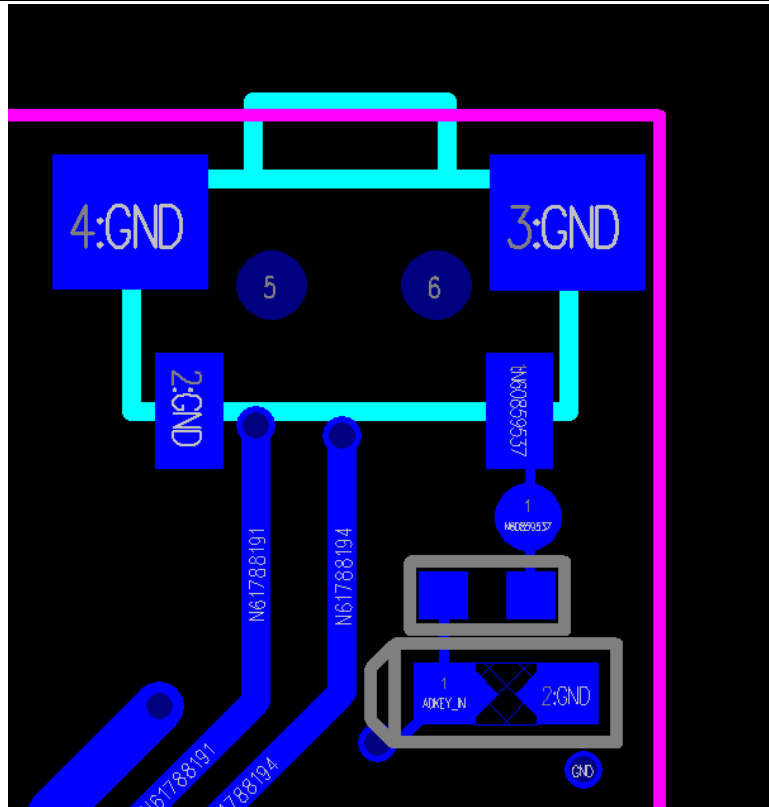


图 3 - 45 RECOVERY按键 LAYOUT布局

3.3.6 Debug电路

为了方便软件在线调试，RK3328专门预留一个用来作Debug的Uart接口（UART2）；在实际产品应用中，不建议使用该功能接口作其它功能使用，并按图3-46所示设计，预留调试接口，方便产品的调试。

Debug UART2

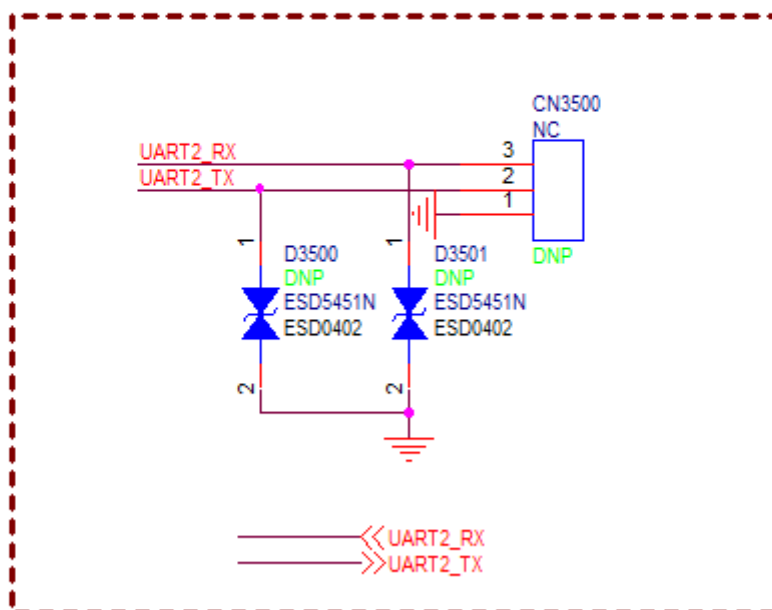


图 3 - 46 Debug电路

如果使用RS232电平转换芯片，需要注意TXD、RXD方向。

PCB Layout建议

较常使用Debug功能的话（如开发板、SDK等），建议在接口增加ESD器件，对芯片提供保护；主板布局时，要方便焊接DEBUG线。

4 最小系统设计建议

4.1 PCB 叠层

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽尺寸以及参考平面之间的相对位置。特定阻抗要求的差分对间的线宽线距则取决于选择的PCB叠层结构。由于最小线宽和线距是取决于PCB类型以及成本要求，受此限制，选择的PCB叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

RK3328推荐使用4层的PCB叠层，以下叠层结构做为范例，可以给客户在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠层结构，请根据PCB厂商给出的规格，重新计算阻抗。

4.1.1 4层板叠层

在4层板叠层设计中，顶层信号L1的参考平面为L2，底层信号L4的参考平面为L3。

Customer Name:				Total Thickness		0.80+/-0.10mm				
Customer P/N:				Measure from		SM-SM				
Layer No.	sig/pln	Copper thk. before process (oz)	Construction		Finished thickness (um)	Finished thickness (mil)	Tolerance	Dk (1GHz)		
S/M					25	0.98	+/-10	3.5		
1	TOP	1	PP 1080X1(RC68%)		35	1.38	+/-10			
2	GND	1	Core		75	2.95	+/-14	3.8		
3	POWER	1	PP 1080X1(RC68%)		35	1.38	+/-10			
4	BOTTOM	1			1265	49.80	+/-30	4.2		
S/M					35	1.38	+/-10			
					75	2.95	+/-14	3.8		
					35	1.38	+/-10			
					25	0.98	+/-10	3.5		
总计:					1605	63.19				
参数描述:										
层数	阻抗属性	线宽 mil	线距 mil	伴随地间距 mil	伴随地宽度 mil	铜厚(成品) OZ	要求阻抗 Ohm	参考层	计算值 Ohm	备注
L1/L4	特性	4.5				1	50	L2/L3	51.4	layout按4mil走线, 板厂自行调整
L1/L4	差分	3.2	4.8			1	100	L2/L3	100.78	layout按4/4mil走线, 板厂自行调整
L1/L4	差分	4	5			1	90	L2/L3	93.4	无伴随地
L1/L4	差分	4	5	5	15	1	90	L2/L3	91.92	
备注: 四层板阻抗模拟计算如上图, 其他厚度1.0MM、1.2MM、1.6MM除压合结构CORE变动, 其他阻抗值不会受影响!										

备注：四层板阻抗模拟计算如上图，其他厚度1.0MM、1.2MM、1.6MM除压合结构CORE变动，其他阻抗值不会受影响！

图 4-1 RK3328 4层板设计建议叠层结构

4.2 最小系统设计建议

4.2.1 Crystal设计

在时钟电路的PCB设计中，请注意：

- 在布局时，晶体电路尽可能地靠近RK3328的时钟管脚放置；
- 信号走线使用4mil走线，并且尽可能的短，以减少走线的负载电容和防止不必要的噪声；
- 时钟走线Xin和Xout以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的稳定性；

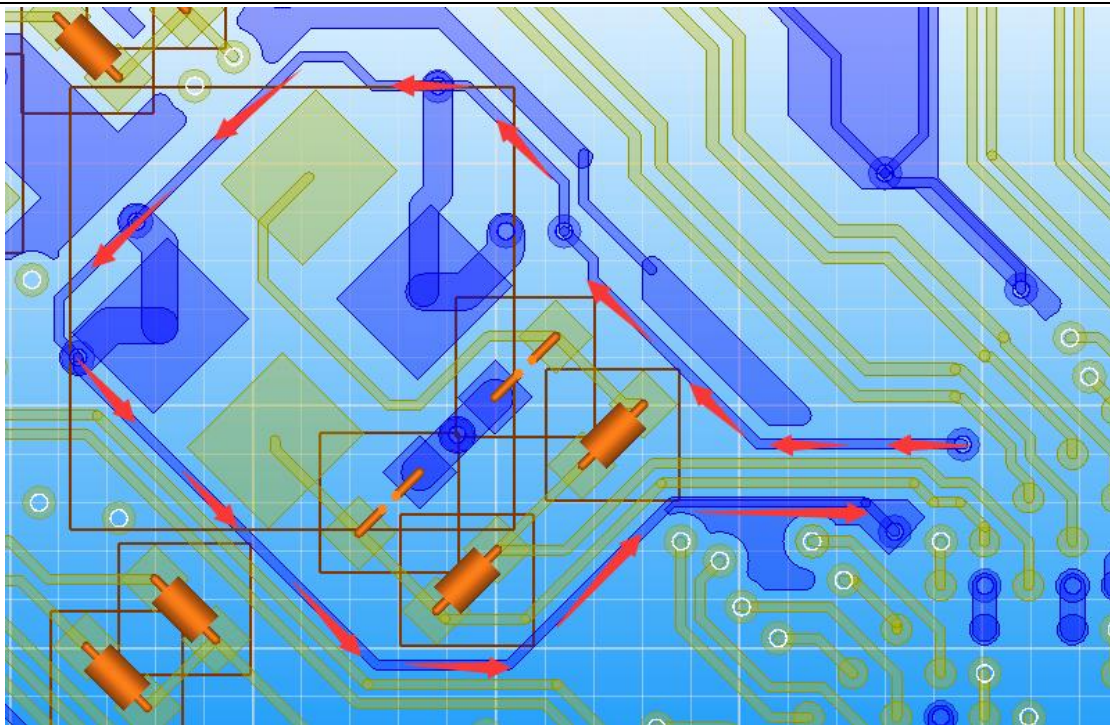


图 4-2 RK3328 晶体地环设计

4.2.2 DDR设计

RK3328官方推荐设计为DDR3，下面主要详述**DDR3**的布局布线要求。

● 4.2.2.1 DDR3

DDR3 Data具有如下的等效电路：

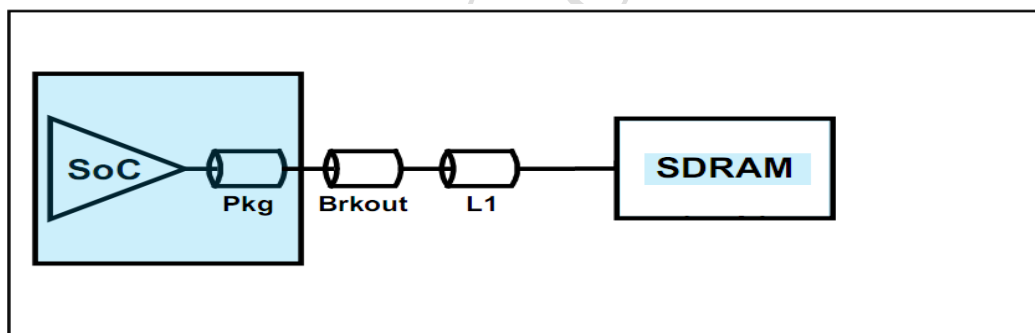


图 4-3 DDR3 DATA信号拓扑等效电路

DDR3 Data走线要求如表4-1：

表 4-1 RK3328 DDR3 Data (DQ/DM/DQS) 走线要求

参数	定义
Signal Group	DQ, DM, DQS
Target Impedance (Z0:DQ; Zdiff: DQS)	DQ: 50 Ohm \pm 10%, DQS: 100 Ohm \pm 10%, DM: 50 Ohm \pm 10%
DQS Routing Trace Width and Spacing within pair	PCB stack-up dependent
DQ Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : ≥ 2 times the width of the trace
DQS to DQ Spacing within same Byte Group	≥ 2 times the width of the trace
Byte Group to Byte Group Spacing, Data to Other Signals Spacing	≥ 2 times the width of the trace
Max intra-pair skew of DQS	1ps
Max skew between DQ and DQS	5ps

DDR3 CLK具有如下的等效电路：

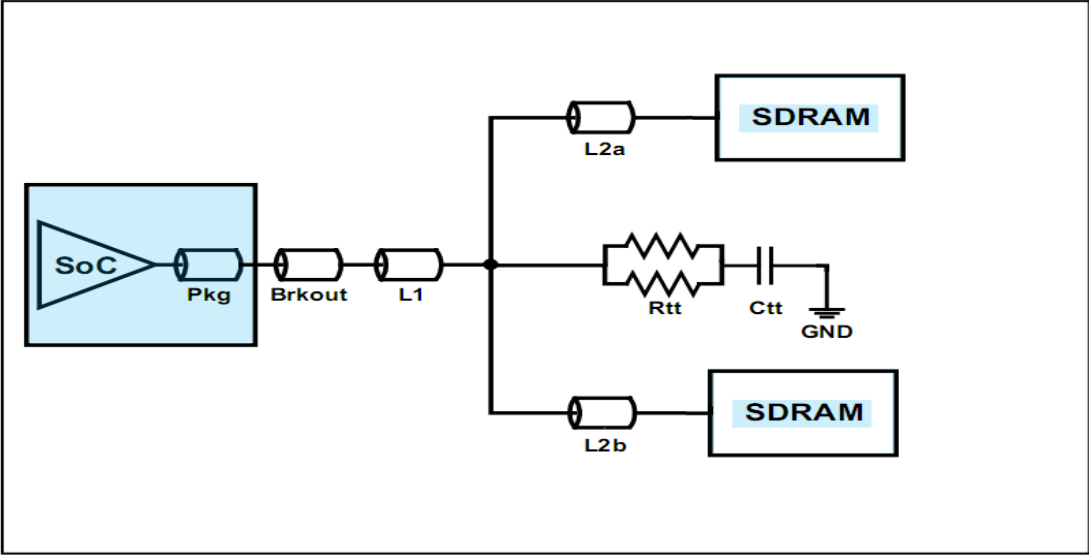


图 4-4 DDR3 CLK信号拓扑等效电路

DDR3 CLK走线要求如表4-2:

表 4-2 RK3328 DDR3 CLK走线要求

参数	定义
Signal Group	CLK
Target Impedance (Diff Z0)	100 Ohm \pm 10%
CLK Routing Trace Width and Spacing within pair	PCB stack-up dependent
CLK Routing Spacing to other Signals	≥ 2 times the width of the trace
Max intra-pair skew of CLK	1ps
Max skew between CLK and DQS	150ps
L2a, L2b	length match L2a and L2b within 1 ps

DDR3 Control具有如下的等效电路:

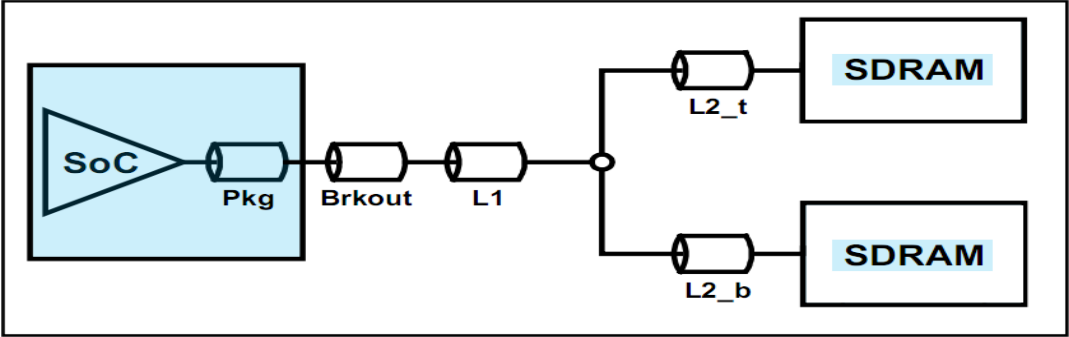


图 4-5 DDR3 Control (CTL) 信号拓扑等效电路

DDR3 Control走线要求如表4-3:

表 4-3 RK3328 DDR3 Control (CTL) 走线要求

参数	定义
Signal Group	CSB, CKE, ODT
Target Impedance (Z0)	50 Ohm \pm 10%
CTL Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : ≥ 2 times the width of the trace
Max skew between CTL and CLK	10ps
L2t, L2b	length match L2t and L2b within 1 ps

DDR3 Command具有如下的等效电路:

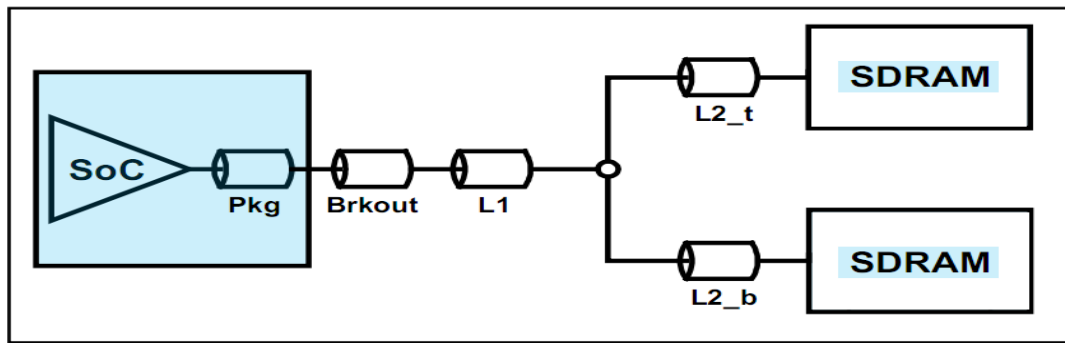


图 4-6 DDR3 Command (CMD) 信号拓扑等效电路

DDR3 Command走线要求如表4-4:

表 4-4 RK3328 DDR3 Command (CMD) 走线要求

参数	定义
Signal Group	DDR3_A[0:15], DDR3_CASB, DDR3_RASB, DDR3_WEB
Target Impedance (Z0)	50 Ohm \pm 10%
CA Routing Trace Width and Spacing	Width : PCB stack-up dependent Spacing : ≥ 2 times the width of the trace
Max skew between CMD and CLK	10ps
L2t, L2b	length match L2t and L2b within 1 ps

4.2.3 存储设计

RK3328支持Nand Flash、eMMC、tSD等FLASH存储设备。使用eMMC控制器及颗粒供电VCCIO_FLASH为1.8V

图 4-7 NAND FLASH典型应用电路

如果使用 eMMC Flash，原理图如图 4-10 所示。eMMC-DATA/CMD 信号线预留 10K 上拉电阻，电源为 VCC_FLASH，默认上拉 CMD 及 D0 的上拉电阻即可，eMMC-CLK 不需要上拉。

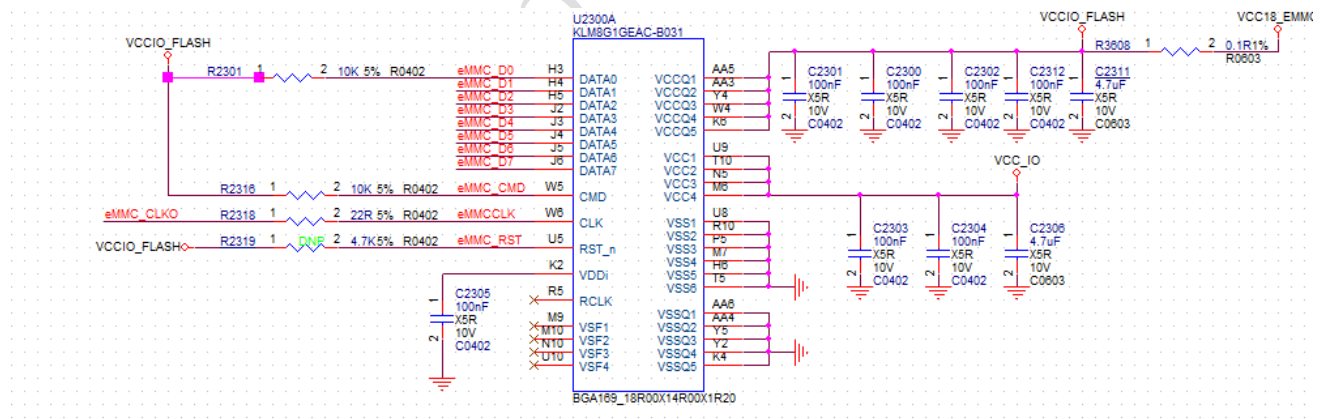


图 4-8 EMMC典型应用电路

为了方便在开发阶段进入MaskRom固件烧写模式（需要更新LOADER），使用eMMC Flash时EMMC_CLK0要预留测试点，如图4-11所示。

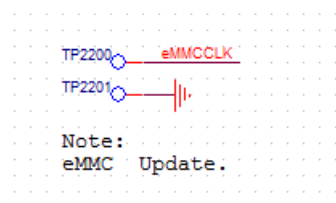


图 4-9 开发阶段快速进烧写测试点

4.3 RF 信号 PCB 设计建议

如果是2X2 MIMO天线接口，两个天线口之间的出线方向需要考虑两个天线的位置，两个天线的位置需要尽量远离，避免干扰。模块的ANT RF线要保持50ohm阻抗线，为了降低干扰和降低线损，ANT RF线相邻的层挖空，且要保持参考层的完整性（保持同一个参考平面），不能跨越电源及其他信号线，RF模块远离HDMI布线，及DDR核心模块布线，避免干扰，RF线要预留调试匹配的位号。如图所示高亮黄色信号线是ANT RF线。

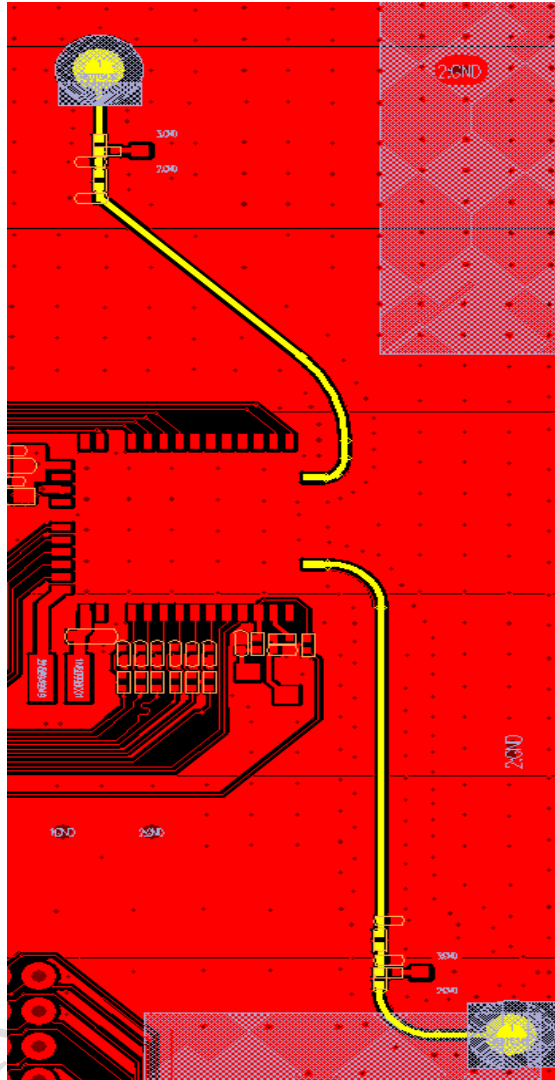


图 4-10 RF天线布局

模块的使用的crystal要靠近模块，避免长的时钟布线，引入干扰，且应远离发热源，避免晶体温漂过大对RF有影响。

4.3.1 天线电路

● 4.3.2.1 概述

无线通信发展迅速，作为系统发送和接收电磁波的前端器件—天线，其性能对整个系统的通讯质量至关重要。根据不同的使用平台和不同的应用终端，其对性能和成本控制等要求也越来越苛刻。从而，天线小型化、多频段和多天线等技术成为PCB设计的热点和难点。

● 4.3.2.2 选用天线类型

随着市场竞争的加剧，硬件设备正以集成化的方向发展。天线也由外置进化内置再进化到嵌入式，根据实际应用的不同，可选用以下四种类型的天线：

- On Board板载式:采用PCB蚀刻一体成型，性能受限，极低成本，应用于蓝牙、WIFI模组集成；
- SMT贴装式:材质有陶瓷、金属片、PCB, 性能成本适中，适用于大批量的嵌入式射频模组；

- IPX外接式：使用PCB或FPC+Cable的组合，性能优秀，成本适中，广泛应用于OTT、终端设备；
- External外置类：塑胶棒状天线，高性能，独立性，成本高，应用于终端设备，无须考虑EMC。

● 4.3.2.3 设计指标

表 4-5 BT/WIFI天线指标

适用标准	BT/IEEE 802.11 b/g/n	IEEE 802.11 a/b/g/n
频率范围	2.4 to 2.49 GHz	2.4 to 2.49 GHz, 5.15 to 5.85 GHz
最大增益	3-4dBi	5-6dBi
天线尺寸	10*5.0*1.0-1.6 (mm)	40*9*1.0-1.6 (mm)
封装尺寸	12*7.0 (mm)	44*11 (mm)
VSWR	2:1	
输入阻抗	50 Ohms	
温度	-40° to +75° C	
湿度	0 to 95%, 不结晶露	

对于MIMO天线的使用，除了需要满足以上性能之外，非常重要的指标是两个或者多个天线之间的隔离度（ $S_{21} < -10$ dB），这是当前小型化MIMO天线设计的难点。

另外，还有一个ECC指标，在WIFI频段中如果S11和S21满足要求，一般没什么问题。但是，四个以上的天线需要着重考虑天线间的布局。

4.4 电源信号 PCB 设计建议

4.4.1 RK3328 Power

● 4.4.1.1 GND

PCB上必须留一层完整的地层，用于散热及保证电源完整性。

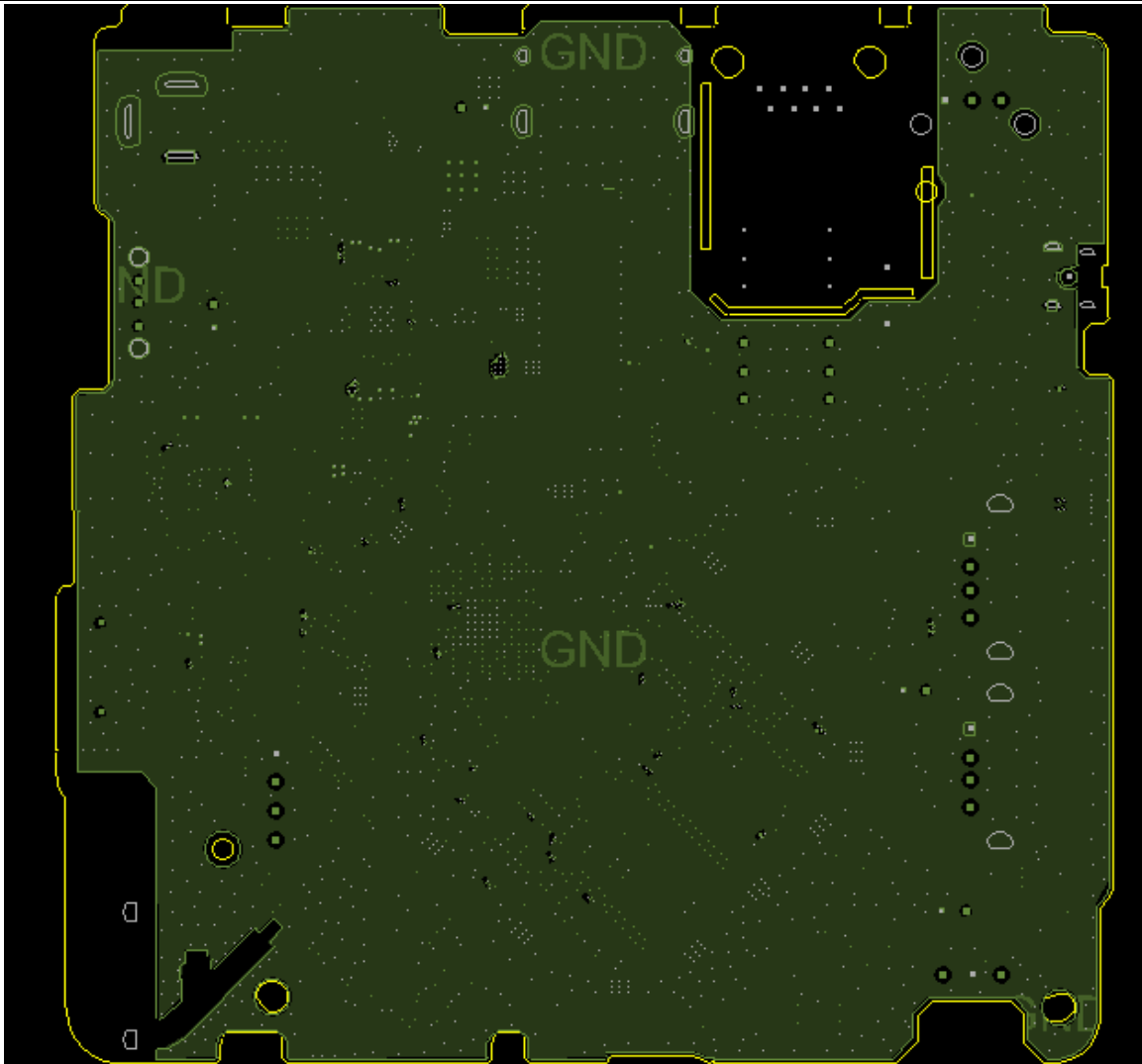


图 4-11 芯片下方完整的地平面
芯片每一个GND PAD要对应打一个GND过孔，如下图。

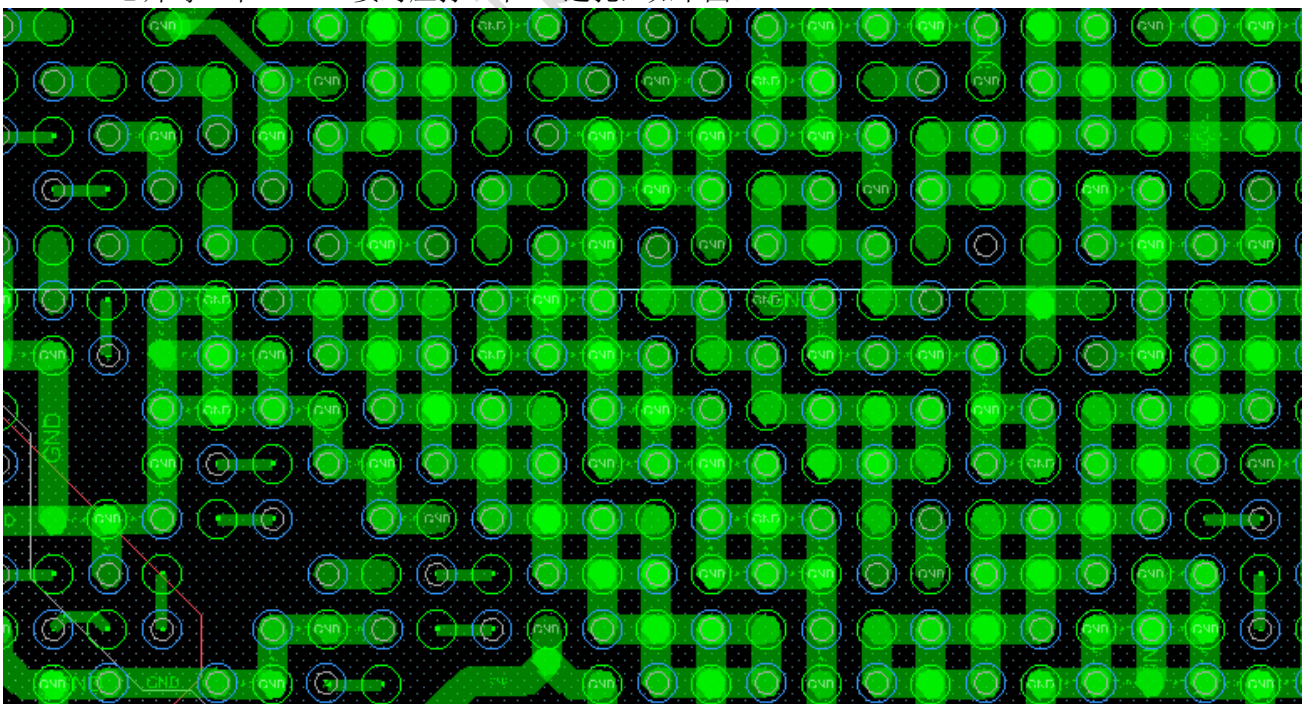


图 4-12 芯片下方GND过孔

- 4.4.1.2 SOC下方

VDD_ARM, VDD_LOG这些大电流电源需要在电源层用铺铜方式走到芯片底下，然后芯片尽可能的一个电源PAD打一个过孔连到电源层上。

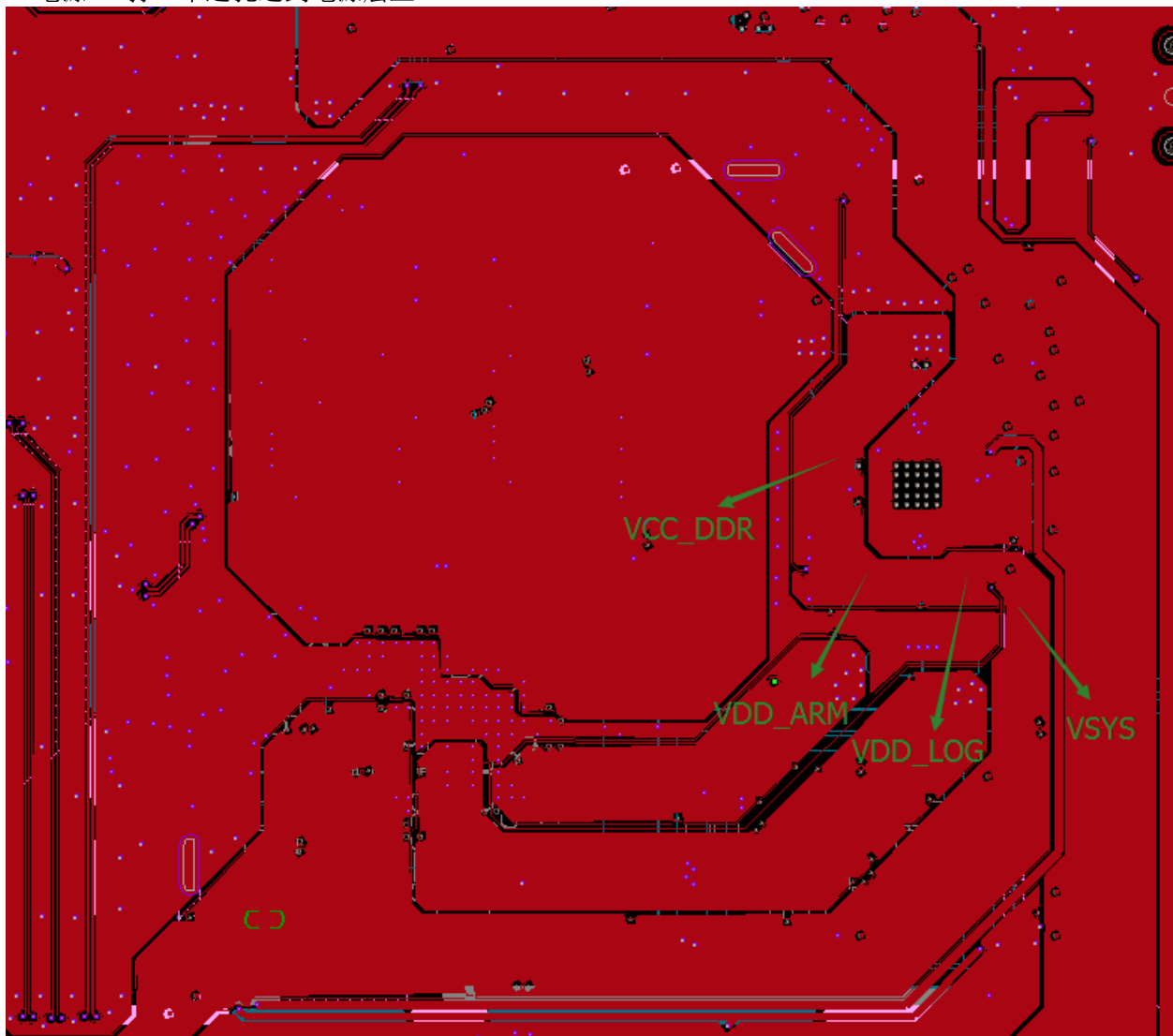


图 4-13 芯片电源层

SOC下方采用双面贴的结构，对提高电源性能有好处，如果有换层要尽可能的多打地过孔（包括电容的GND过孔）。

● 4.4.1.3 DDR DRAM下方

VCC_DDR最好整层电源铺到DRAM下面，这样DRAM的去耦电容比较好放置，不会因为电容位置问题影响到信号走线。



图 4 - 14 DDR下方参考面完整

- 4.4.1.4 小电源供电

芯片各路供电需就近芯片管脚放置去耦电容（如下图）。



图 4 - 15 电源去耦电容放置

4.4.2 PMIC

- 4.4.2.1

EPAD上要打足够多的过孔推荐打5*5 0402类型的25个过孔。

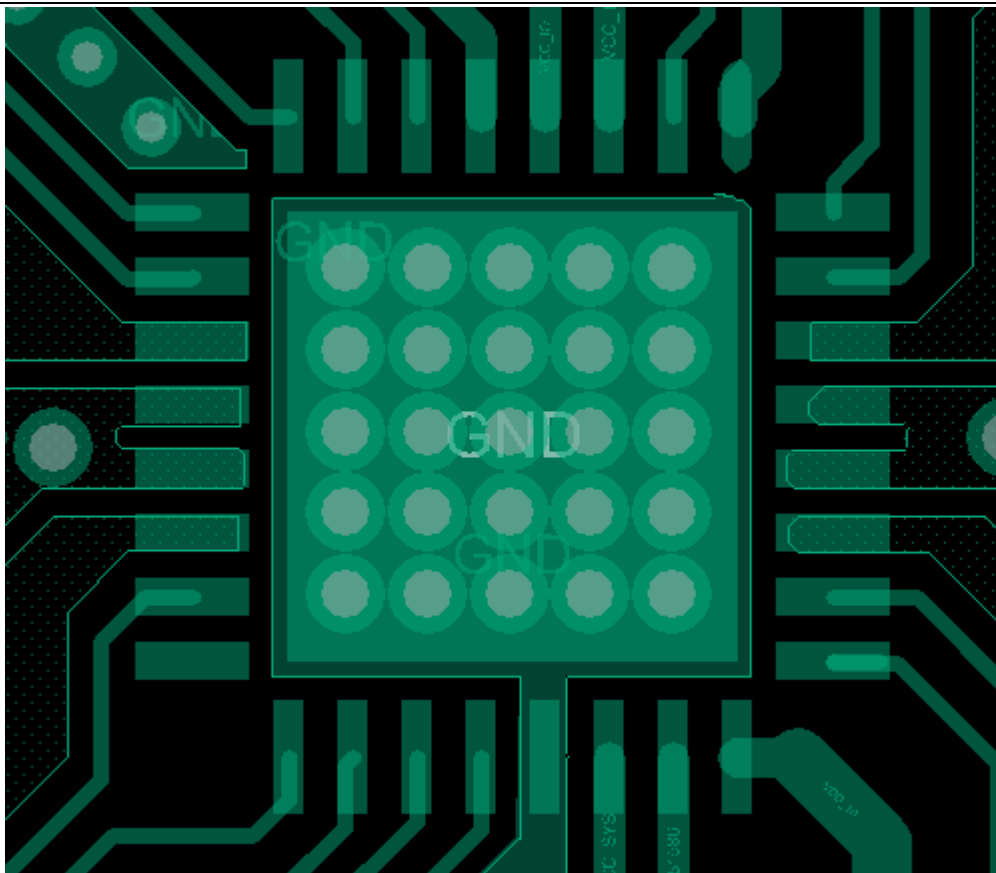


图 4 - 16 PMIC下方过孔

● 4.4.2.2

DC-DC输入输出：VCC_SYS输入电容要靠近RK805-1的输入端，输出电容靠近电感端，无论输入输出电容的正端还是负端都必须有足够的过孔才能保护电容的低ESR，才能保证电容的去耦效果。特别是电容负端的地过孔容易被客户忽略。

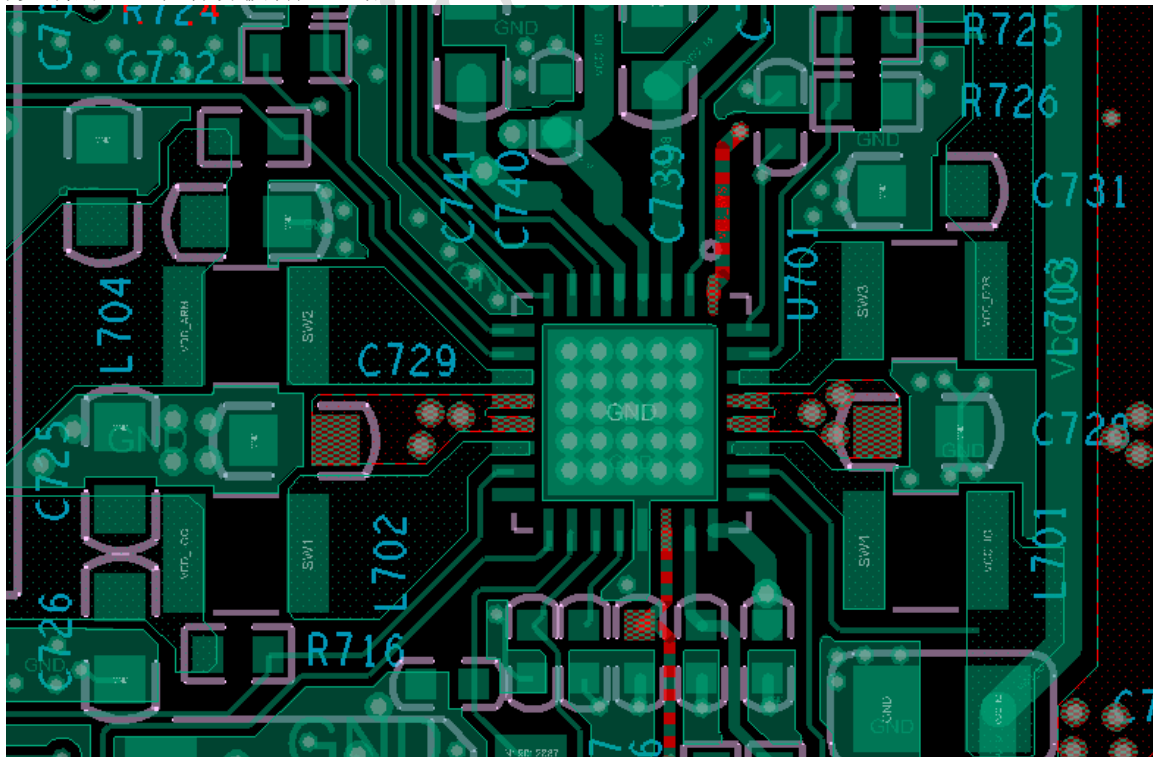


图 4 - 17 DC-DC输入输出过孔

4.4.3 远端反馈补偿

由于电源在Layout时可能会离RK3328芯片有一定距离，通常会将DC-DC的FB端采样端尽量靠近芯片，以补偿PCB上的线路损耗，一般电流大于1A的电源会采用这种方法，如：VDD_ARM, VDD_LOG等。如下图：VFB2管脚要从RK3328芯片下方引回来，采用伴随线的走法。

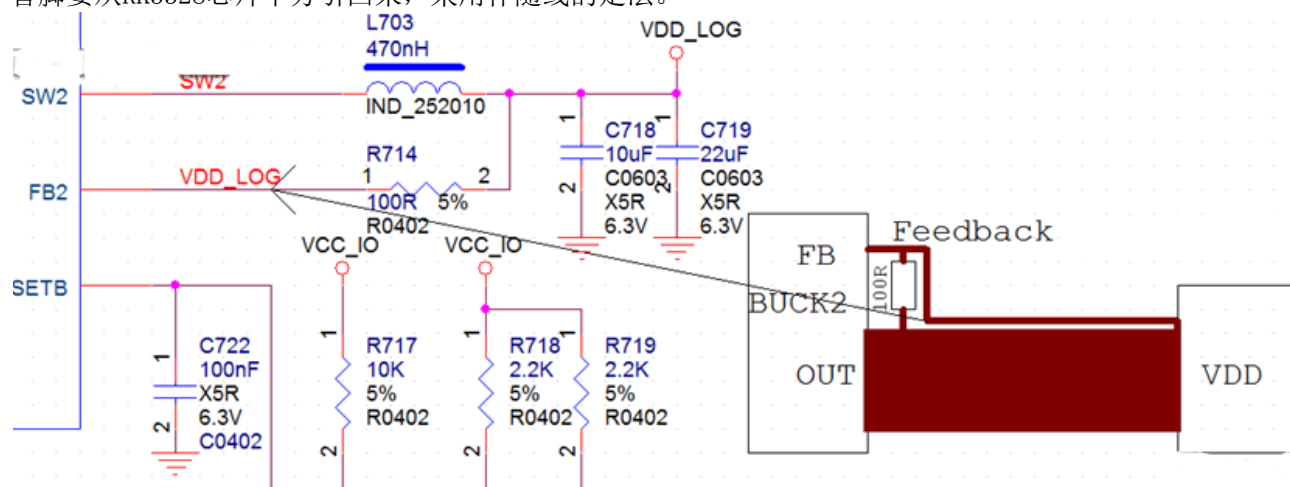


图 4-20 PMIC反馈设计

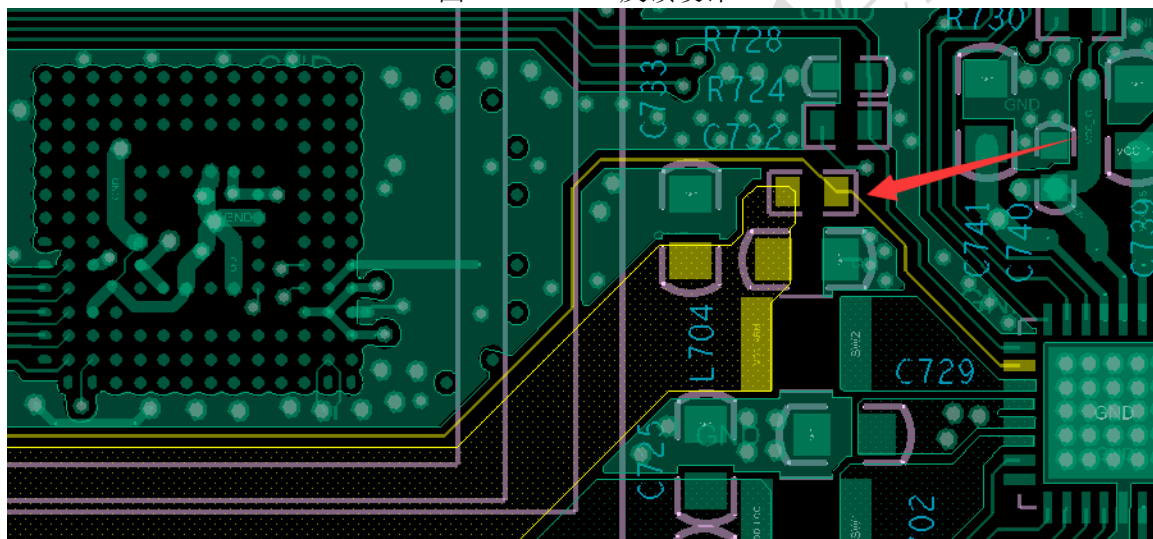


图 4-21 PMIC反馈线走线

5 热设计建议

5.1 热仿真结果

基于EVB的4层板PCB和JEDEC标准的PCB采用有限元建模法 (Finite Element Modeling , FEM), 可以得出热阻的仿真报告。该报告基于JEDEC JESD51-2标准给出, 应用时的系统设计及环境可能与JEDEC JESD51-2标准不同, 需要根据应用条件做出分析。



注意

热阻是在PCB没有散热片条件下的参考值, 具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

5.2 常用的散热方法

RK3328采用4核A7架构, 芯片的典型功率将达到3.2W, 良好的散热对RK3328的产品性能的提高、系统的稳定性、产品的安全性尤其重要。

5.2.1 热量传导的三种常见方式

众所周知, 任何存在温度差的地方, 就会发生热量的传递, 热量就会从高温部分传向低温部分, 直到各自温度相同为止。热量的传导过程可以分成稳态过程 (温度不随时间的变化而改变) 和非稳态过程 (温度随时间的变化而发生变化)。热量的传导常见有如下三种方式:

- 5.2.1.1 热传导 (Conduction)

物体各部分之间不发生相对位移, 依靠分子, 原子及自由原子等微观粒子的热运动而产生的热量传导。如: 物体内部的热量从高温部分传导到低温部分的运动。

- 5.2.1.2 对流传热 (Convection)

是流体 (包括液体和气体) 流动过程中从温度较高处向温度较低处放热的现象。对流又分为强迫对流和自由对流。前者是流体在外界动力 (如泵、风扇、压强差等) 驱动下的运动; 后者是流体因温度分布不均匀诱发密度不均匀而产生浮力作用下的运动。

- 5.2.1.3 辐射传热 (Radiation)

物体通过电磁波来传导能量的方式, 不需要物质作媒介。

5.2.2 系统常见的散热方式

常见的散热方式有主动散热 (Active Cooling) 和被动散热 (Passive Cooling) 两种方式。

主动散热 (Active Cooling): 主动散热比较简单, 就是通过散热片将CPU的热量自然散发到空气中; 因为这是利用物理学热胀冷缩的原理, 空气自然循环的散热。但从散热效果来看, 主动散热没有被动散热的好, 但是发热量不是很大的情况下, RK基本上是采取这种散热的方式, 优点是: 成本低、减少噪声, 无需供电, 节约能源。

被动散热 (Passive Cooling): 就是借助外部的设备强制性地 将散热片发出的热量带走, 如风扇等; 其优点是散热效率高, 体积小; 缺点是引进了燥声和功耗。此方法一般用在发热量比较大的设备上面, 如PC上。

5.2.3 散热设计参考

- 5.2.3.1 PCB导热

可以考虑如下三种方式增强散热:

- 单板发热器件PAD底部打过孔;
- 在单板表面铺连续的铜皮;
- 增加单板含铜量 (使用1oz表面铜厚);

5.2.3.2 结构导热

结构导热可以采用主动散热，即加散热片的方法。

常用散热片的选择有：

- 根据材料一般分为：铝合金，铜合金，铝铜合金，陶瓷；
- 根据工艺一般分为：铝挤压工艺，铸造工艺，机械压合工艺，切销工艺等；

每种材料的导热性能是不同的，目前常用的是散热材料一般是铜和铝合金；铜的散热性好，但价格较贵，纯铝的太软，不能直接使用，因此一般采用铝合金材料，价格低廉，重量轻，但导热性能比铜要差很多；基于低成本考虑推荐选型铝合金材质的散热片。对散热片工艺类型的选择参考以下建议：

- 挤压的散热片要比铸铝散热片好一些。铸铝散热片中金属铝所占的比例为 25 -30 %，其他为碳及其他金属的合金。挤压的散热片中金属铝所占的比例为70 % -80%，其他为碳及其他金属的合金。因此铝挤压散热片的纯度高，热传导能力强，密度小，价格便宜。
- 自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8%左右，这是因为黑色热辐射的效果比白色的要强。
- 散热器的表面处理有电泳涂漆或黑色氧化处理，其目的是提高散热效率及绝缘性能。在自然冷却下可提高10—15%，在通风冷却下可提高3%，电泳涂漆可耐压500—800V。
- 散热器厂家会对不同型号的散热器给出热阻值或给出有关曲线，并且给出在不同散热条件下的不同热阻值。

5.2.4 散热片尺寸计算

如使用铝挤压散热片，散热结构如下图5-1所示：

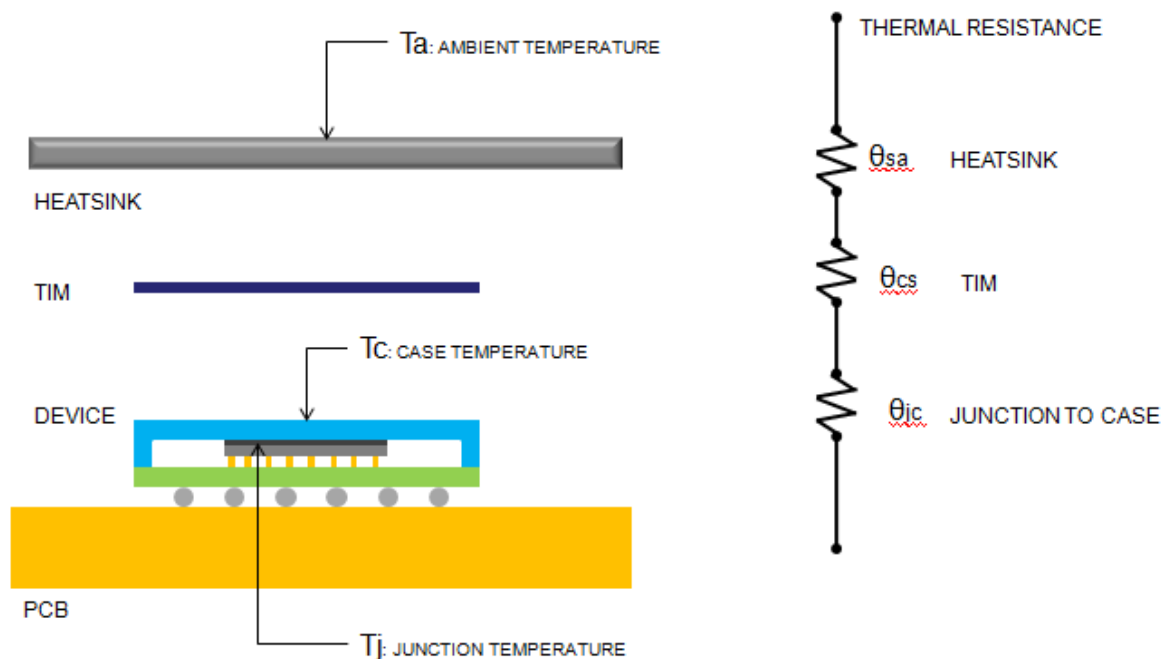


图 5 - 1 散热片散热结构

公式1:

$$R = 1/hA$$

变量说明:

A: 散热片面积

h: 散热系数（与散热片的材质，厚度，密度，温差，风速等参数相关）

由以上公式得出散热片面积越大，热阻越小，由此得出以下经验数据：

2mm厚度的铝制散热片，表面积（平方厘米）与热阻（℃/W）的对应关系如下：

- 500 cm² 对应2.0℃/W;
- 250 cm² 对应2.9℃/W;
- 100 cm² 对应4.0℃/W;
- 50 cm² 对应5.2℃/W;
- 25 cm² 对应6.5℃/W;

公式2:

$$Q = T_j - T_a / (\theta_{sa} + \theta_{cs} + \theta_{jc})$$

根据公式2可推导出芯片所需散热片的热阻计算公式3:

$$\theta_{sa} = (T_j - T_a) / Q - (\theta_{cs} + \theta_{jc})$$

变量说明:

T_j : 芯片最高工作结温 (125℃)

T_a : 产品长期工作最高工作环境温度 (55℃)

Q : RK3328芯片功耗, 单位 瓦

θ_{sa} : 散热片热阻 (需要考虑环境风速)

θ_{cs} : 导热介质TIM (导热胶) 的热阻 (0.11℃/W, $\kappa = 2\text{W/mC}$ 100um 厚度情况下)

θ_{jc} : 芯片封装热阻 (JEDEC PCB板12.73℃/W)

以上公式3得到散热片的热阻要求, 再对比散热片的热阻数据, 可以得出所需要的散热片的散热面积。



注意

✚ 以上是理想状态下的计算, 实际情况中根据使用环境, 散热胶的覆盖率等情况不同, 结果会有所差异。不同散热片类型的面积与热阻对应关系会有很大差异, 需要咨询相应的散热片厂商。

✚ 当散热片面积过大时, 需要考虑接地处理, 并需要注意接地点的长度问题, 否则会带来电磁兼容问题。另外也需要注意避开RF区, 避免由散热片引起的RF信号反射, 导致RF性能变差。

5.3 芯片内部热控制方式

5.3.1 温度控制策略

- RK3328 芯片内部有 T-sensor 监测芯片内部温度; 当芯片温度过高时, 会导致很多模块不稳定, 可能出现各种异常或者死机, 所以在过温时需要采取一些措施降低芯片的温度, RK3328 的温控策略是: 降低 cpu 的频率, 当温度高于设置的门限温度时。
 - 根据高出温度的程度降低 cpu 的频率, 高出的温度越多, 则降得频率越多, 当温度低于门限温度时, 则按相反步骤恢复 cpu 频率。



注意

温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阈值时, 每1秒采集一次温度; 当设备温度超过阈值时, 每20ms采集一次温度并限制频率。

5.3.2 温度控制配置

RK3328 可以提供场景温控策略, 具体配置请参考我司《Rockchip thermal 开发指南》。

6 ESD/EMI防护设计

6.1 概述

本章对于RK3328产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

6.2 术语解释

本章中的术语解释如下：

- Electro-Static discharge (ESD)：静电释放；
- Electromagnetic Interference (EMI)：电磁干扰，包括传导干扰和辐射干扰两部分；

6.3 ESD 防护

- 保证合理的模具设计；端口和插接件部分需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局的时尽量将RK3328芯片及核心部件放在PCB中间，不能放中间需保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

6.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO, RGB, CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- EMI跟ESD对LAYOUT的要求有高度一致性，前诉ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起EMI问题的共模信号；
 - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；

7 焊接工艺

7.1 概述

RK3328芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在用RK3328芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RK3328芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

7.2 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances (ROHS)：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT)：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

7.3 回流焊要求

7.3.1 焊膏成分要求

Solder 合金与flux 比重为90%：10%；体积比为：50%：50%，锡膏冷藏温度2~10℃，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3~5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

7.3.2 SMT曲线

由于RK3328芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020D工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak		
Temperature min (T_{smin})	100 °C	150 °C
Temperature max (T_{smax})	150 °C	200 °C
Time (T_{smin} to T_{smax}) (t_s)	60-120 seconds	60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time at liquidous (t_L)	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.
* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.		
** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.		

图 7-1 回流焊曲线分类

Package Thickness	Volume mm ³ <350	Volume mm ³ 350 - 2000	Volume mm ³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 7-2 无铅工艺器件封装体耐热标准

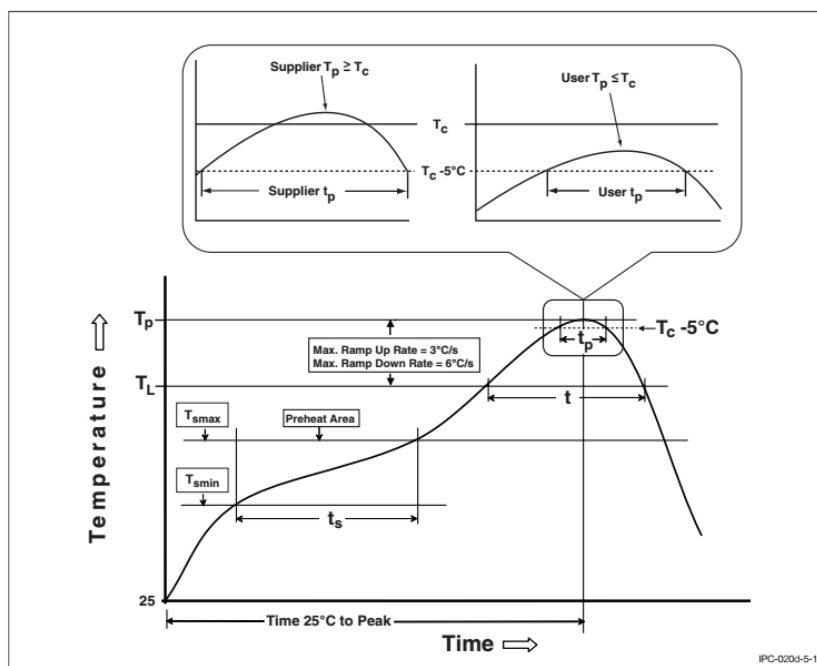
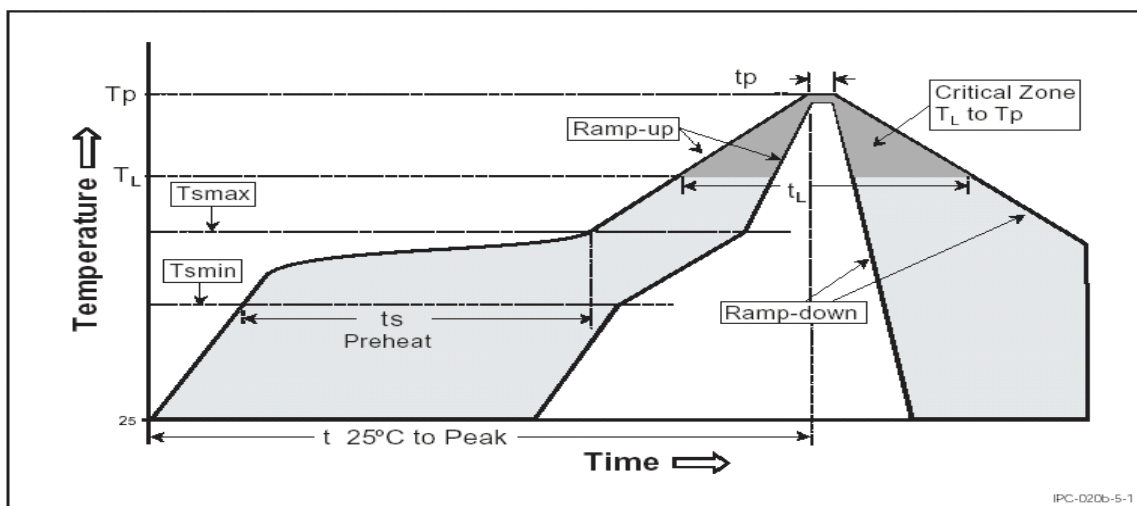


图 7-3 无铅回流焊接工艺曲线

7.3.3 SMT建议曲线

我司建议的SMT曲线如图7-4所示：



Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Average ramp-up rate (T_{smax} to T_p)	2°C/second max	2°C/second max
Preheat		
- Temperature Min (T_{smin})	100°C	150°C
- Temperature Max (T_{smax})	150°C	200°C
- Time (min to max) (t_s)	60-120 seconds	60-180 seconds
Time maintained above:		
- Temperature (T_L)	183°C	217°C
- Time (t_L)	60-150 seconds	60-150 seconds
Peak Temperature (T_p)	225+0/-5°C	245+5/-5°C
Time within 5°C of actual Peak Temperature (t_p)	20 seconds max	30 seconds max
Ramp-down Rate	3°C/second max	3°C/second max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

Note:

1. All temperatures refer to topside of the package, measured on the package body surface.

2. Actual board assembly depends on other parts on board density and follower solder paste manufacturers' guideline.

图 7-4 无铅回流焊接工艺建议曲线参数

8 包装和存放条件

8.1 概述

规定了RK3328的存放和使用规范，以确保产品的安全和正确使用。

8.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC): 湿度指示卡；
- Moisture Sensitivity Level(MSL): 潮敏等级；
- Moisture Barrier Bag(MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage environment: 存放环境；

8.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮带，铝箔，银色不透明，带有湿敏等级的标识；



图 8 - 1 RK3328 芯片干燥真空包装

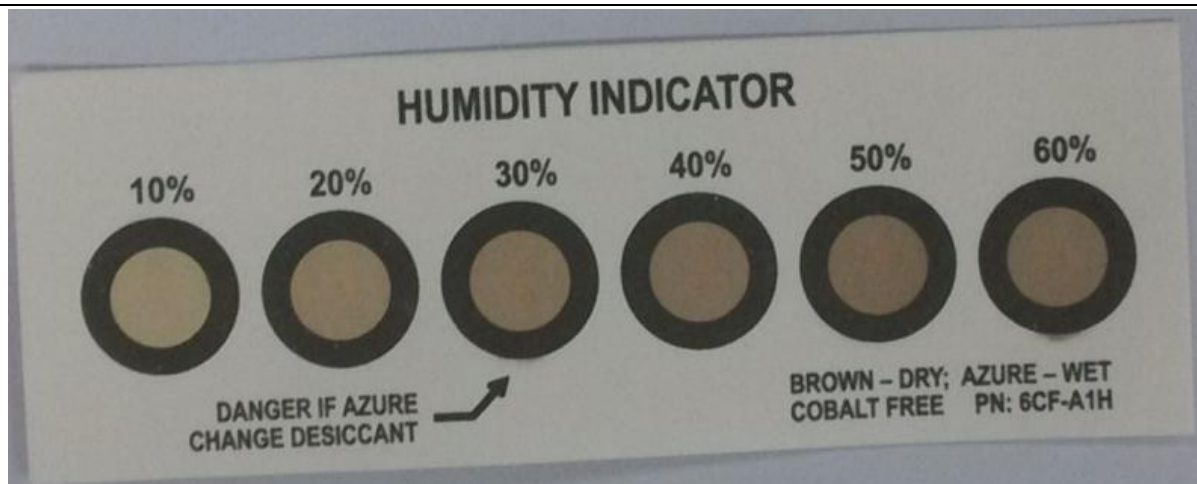


图 8-2 六点湿度卡

8.4 产品存放

8.4.1 存放环境

产品真空包装存放，存储环境温度 $\leq 30^{\circ}\text{C}$ 及相对湿度60%RH下；

8.4.2 存储期限

在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，可达12个月。

8.4.3 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度60%下，请参照如下表8-1。

RK3328芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 8-1 暴露时间参照表 (MSL)

MSL等级	暴露时间
	工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$
2	1年
2a	4周
3	168小时
4	72小时
5	48小时
5a	24小时
6	Mandatory baky before use, must be reflowed within the time limit specified on the table.

8.5 潮敏产品使用

RK3328芯片在下述情况下必须进行烘烤：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 在工厂环境 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ 下，连续或累计暴露时间超过72小时的，或者未保存在 $< 10\% \text{RH}$ 环境下的；

RK3328芯片拆包装后重新烘烤的时间请参考如下表8-2所示， 125°C 需9小时， 90°C 需33小时。所以拆包后请立即使用，如果置于空气中超过72小时，请烘烤后再使用。

表 8-2 Rebake参考表

Package Body	MSL	High Temp Bake @ 125°C + $10/-0^{\circ}\text{C}$		Medium Temp Bake @ 90°C + $8/-0^{\circ}\text{C}$		Low Temp Bake @ 40°C + $5/-0^{\circ}\text{C}$	
		Exceeding	Exceeding	Exceeding	Exceeding	Exceeding	Exceeding

		Floor Life by > 72h	Floor Life by ≤ 72h	Floor Life by > 72h	Floor Life by ≤ 72h	Floor Life by > 72h	Floor Life by ≤ 72h
Thickness ≥ 1.6mm	3	Bake 9 hours	Bake 7 hours	Bake 33 hours	Bake 23 hours	Bake 13 days	Bake 9 days

**注意**

此表中显示的均是受潮后，必须的最小的烘烤时间。
重新烘烤优先选择低温烘烤。

Rockchip Confidential