

座位号

西安电子科技大学

考试时间 120 分钟

试 题

题号	一	二	三	四	五	六	七	附	总分
分数									

1. 考试形式：闭卷

2. 考试日期：2022 年 6 月 24 日 （答题内容请写在装订线外）

一. 选择题（每题 2 分，共 20 分）

- 冯诺依曼计算机硬件能直接执行的只有_____。
A. 符号语言 B. 机器语言 C. 汇编语言 D. 机器语言和汇编语言
- 8 位二进制定点整数，可以表示的最小真值的补码为_____。
A. 00000000 B. 01111111 C. 10000000 D. 11111111
- 如果规格化浮点数的基值已定，则浮点数的精度主要取决于_____。
A. 阶码的位数 B. 阶码的编码形式
C. 尾数的位数 D. 尾数的编码形式
- 若 $[X]_{\text{补}} = 1.x_1x_2x_3x_4$ ，则当_____时， $X > -1/2$ 成立。
A. x_1 必须为 1， $x_2x_3x_4$ 至少有一个为 1 B. x_1 必须为 1， $x_2x_3x_4$ 任意
C. x_1 必须为 0， $x_2x_3x_4$ 至少有一个为 1 D. x_1 必须为 0， $x_2x_3x_4$ 任意
- 指令 MOV AX, [2000H] 中源操作数的寻址方式是_____。
A. 立即寻址 B. 直接寻址
C. 寄存器间接寻址 D. 基址变址寻址
- 掉电后，下面说法中正确的是_____。
A. SRAM 的数据不会丢失 B. EEPROM 的数据不会丢失
C. EPROM 的数据会丢失 D. DRAM 的数据不会丢失
- 下面关于 CISC 和 RISC 计算机特征的描述中，错误的是_____。
A. CISC 机器指令类型很多 B. RISC 内部寄存器很多
C. RISC 寻址方式很多 D. CISC 执行一条指令用的时钟周期很多
- 在 8086CPU 中，执行指令 PUSH AX 后，内容发生改变的寄存器是_____。
A. AX B. BX C. SS D. SP
- CPU 执行程序时，_____中存放着 CPU 刚取回的指令，供指令译码使用。
A. AR B. DR C. IR D. PC
- 下面关于 Cache 和虚拟存储器的描述中，正确的是_____。
A. Cache 和虚拟存储器对系统程序和应用程序都是透明的
B. Cache 对系统程序是透明的，虚拟存储器对系统程序是不透明的
C. Cache 和虚拟存储器对系统程序都是透明的
D. Cache 对系统程序是不透明的，虚拟存储器对应用程序是透明的

二. 简要分析与设计题（任选其中 3 小题，每小题 7 分，本题共 21 分）

1. 若机器字长为 8 位，已知 $[X]_{\text{补}} = 11001010$ ，求： $[2X]_{\text{补}}$ 、 $[X/2]_{\text{补}}$ 和 $[-X]_{\text{补}}$ 。
2. 某微程序控制器采用的微指令字长为 28 位。微命令生成部分由 5 个字段构成，各字段所包括的互斥微命令分别为 3 个、14 个、5 个、7 个和 8 个。另外控制产生后继（次）地址的条件有 4 种。试设计该微指令的格式，说明各个字段（包括次地址等字段）的划分方法，并指出控制存储器的最大容量为多少？
3. 8088CPU 系统总线上有地址信号 A0-A19、数据信号 D0-D7。内存 40000H 到 4FFFFH 共有多少 KB？若采用 $32K \times 1b$ 的 DRAM 芯片构成该内存应采用哪种扩展方式？共需要多少片？
4. 简述微指令设计中，字段译码法相比直接表示法的优势。

三. (本题 15 分) 设规格化浮点数字长为 16 位, 尾数采用定点小数补码, 10 位 (含 1 位符号位); 阶码采用定点整数移码, 6 位 (含 1 位符号位)。

(1) 分析该规格化浮点数的尾数、阶码的表示范围;

(2) 分析该规格化浮点数所能表示的最大正数、最小正数、最大负数、最小负数;

(3) 若 $X = -0.001101 \times 2^{-010}$, 其中尾数和阶码均为二进制, 请采用本题的格式定义, 给出 $[X]_{\text{浮}}$ 的规格化浮点数表示。

四. (本题 12 分) 已知 $X = 0.1011$, $Y = -0.1110$, 请用布斯 (Booth) 法求 $[X*Y]_{补}$, 要求写出运算步骤, 结果用补码表示。

任课教师:

学号:

姓名:

班级:

装
订
线

装
订
线

装
订
线

五 . (本题 12 分)某计算机的 Cache 的容量为 2KB,采用直接映像方式,每个块为 256B,内存为 4MB,按字节编址。

请问:

- (1) 主存和 cache 的地址分别有多少位,各字段如何划分?
- (2) 已知地址变换表如下,

0	127H
1	471H
2	389H
3	624H
4	238H
5	895H
6	278H
7	312H

- ① 主存地址 238956H 的单元,会调入 cache 中的哪一块(块号从 0 开始编号)?
试判断是否命中?若命中则给出变换后的 Cache 地址。
- ② 主存地址 312789H 的单元,会调入 cache 中的哪一块(块号从 0 开始编号)?
试判断是否命中?若命中则给出变换后的 Cache 地址。

六. (本题 10 分)

某 CPU 构成的计算机框图如图。其内部总线及内部寄存器均为 16 位；主存储器按 16 位编址。

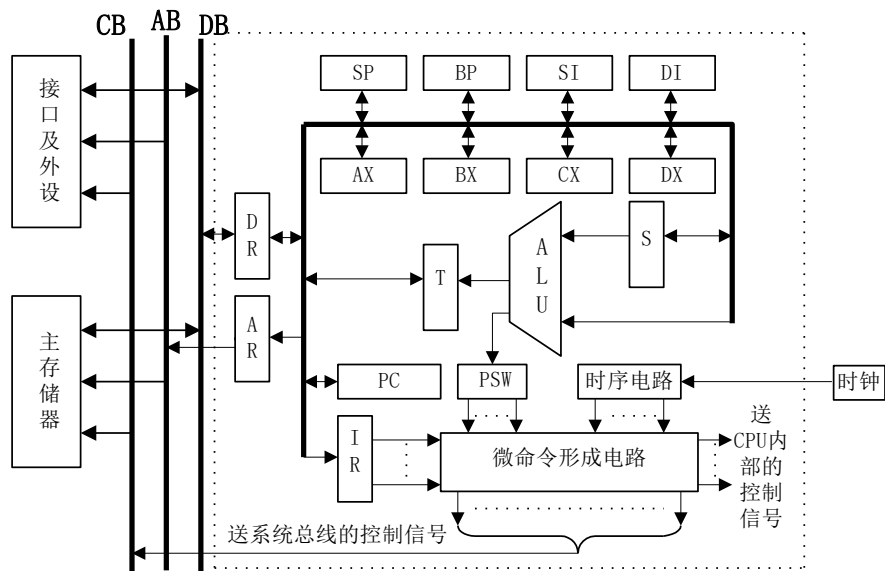
该计算机取指令阶段的微操作流程为：

PC→AR

AR→AB, RD, PC+1

DB→DR

DR→IR



请参照此流程，用微操作或控制信号或两者混合，，写出实现加法指令 ADD [SI], AX 的微操作流程。

七. (本题 10 分) 读下面的程序

```
START: MOV    AX, 4000H
        MOV    DS, AX
        MOV    SI, 2000H
        MOV    DX, [SI]
        MOV    BX, 0
        INC    SI
        INC    SI
        MOV    CX, 99
AGAIN:  MOV    AX, [SI]
        CMP    AX, DX
        JBE    NEXT1
        MOV    BX, DX
        MOV    DX, AX
        JMP    NEXT2
NEXT1:  CMP    AX, BX
        JBE    NEXT2
        MOV    BX, AX
NEXT2:  INC    SI
        INC    SI
        LOOP   AGAIN
        HLT
```

说明 (1) 该程序完成的功能

(2) 程序结束时, DX 和 BX 的结果是什么?

附加题（本题 10 分） 附加题成绩仅作为参考

在 8086 系统总线上，用下图所示 SRAM 芯片构成 80000H~8FFFFH 的内存区域，试画连接电路图。

