

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

概述

MAX9276/MAX9280吉比特多媒体串行链路(GMSL)解串器通过50Ω同轴电缆或100Ω屏蔽双绞线(STP)电缆接收来自GMSL串行器的数据，在LVCMOS输出端口输出解串后的数据。

MAX9280具有HDCP内容保护，其它功能与MAX9276相同。解串器与任意支持同轴电缆输出的GMSL串行器配对使用，例如，MAX9293 HDMI/MHL串行器。器件设置为STP输入时，向下兼容任意GMSL串行器；

TDM模式下，音频通道支持L-PCM I2S立体声和最多八个通道的L-PCM。支持32kHz至192kHz采样率，采样深度为32位。

嵌入式控制通道在UART-UART和UART-I²C模式下工作在9.6kbps至1Mbps，I²C-I²C模式下工作在高达1Mbps。利用控制通道，μC在任何时间均可设置串行器、解串器和外围寄存器，独立于视频时钟和HDCP管理工作(MAX9280)。器件包含两个GPIO端口，可用作显示屏上电控制和背光切换等功能。GPIO输入的连续采样支持显示屏设备的触摸屏控制中断请求。

对于更长的传输电缆，解串器提供可编程均衡器。并行输出提供可编程扩频，串行输入满足ISO 10605和IEC 61000-4-2 ESD标准。处理器核供电电压范围为：3.0V至3.6V，I/O供电电压范围为：1.7V至3.6V。

器件采用无铅、56引脚、8mm x 8mm TQFN封装，带有裸焊盘，引脚间距为0.5mm。

应用

- 高分辨率汽车导航
- 后排座娱乐信息终端
- 兆像素及摄像系统

订购信息在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX9276.related。

优势和特性

- 理想用于高清视频应用
 - 驱动低成本50Ω同轴电缆和FAKRA连接器或100Ω STP
 - 104MHz宽带模式支持1920x720p/60Hz、24位彩色显示屏
 - 电缆均衡，全速工作时传输距离长达15m
 - 高达192kHz采样率和32位采样深度，支持7.1通道HD音频
 - 音频时钟取自于音频源或音频接收器
 - 颜色查找表，用于γ修正
 - CNTL[3:0]控制输出
- 多速率传输，提高系统灵活性
 - 串行码率高达3.12Gbps
 - 6.25MHz至104MHz像素时钟
 - UART、UART/I²C或I²C混合模式下，控制通道支持9.6kbps至1Mbps传输速率，带时钟展宽功能
- 降低EMI屏蔽要求
 - 可编程扩频功能有效降低EMI
 - 跟踪输入的扩展频谱
 - 高灵敏度模式，最大程度抑制控制通道噪声
- 用于系统上电和验证的外设功能
 - 内置PRBS检测器，用于串行链路的BER测试
 - 可编程选择8个默认器件地址
 - 2个专用GPIO端口
 - 专用“Up/Down”GPI，用于触摸屏中断等其它功能
 - 远程/本地休眠模式唤醒
- 满足严格的汽车和工业要求
 - -40°C至+105°C工作温度范围
 - ±10kV接触放电ESD保护和±15kV ISO 10605和IEC 61000-4-2气隙放电ESD保护

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

目录	
概述	1
应用	1
优势和特性	1
Absolute Maximum Ratings	7
Package Thermal Characteristics	7
DC Electrical Characteristics	7
AC Electrical Characteristics	11
典型工作特性	15
引脚配置	17
引脚说明	17
功能框图	20
详细说明	24
寄存器映射	24
输出位映射	29
串行链路信号和数据格式	29
宽带模式	32
音频通道	32
音频通道输入	32
音频通道输出	35
音频应用的附加MCLK输出	36
音频输出时钟源	36
反向控制通道	36
控制通道和寄存器编程	37
UART接口	37
过UART连接I2C器件(仅传送命令字节)	39
UART旁路模式	39
I2C接口	40
START和STOP条件	40
位传输	40
应答	41
从地址	41
总线复位	41
写操作格式	42
读操作格式	43
与远端器件的I2C通信	43
I2C地址转换	43
GPO/GPI控制	44
线路均衡器	44

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

目录(续)

扩频	44
手动设置扩频分频器	44
HS/VS/DE跟踪	45
串行输入	45
同轴模式分配器	45
电缆类型配置输入	45
颜色查找表	46
编程和验证LUT数据	46
LUT颜色转换	46
LUT位宽	46
LUT编程推荐步骤	47
高抗扰性反向控制通道模式	48
休眠模式	48
关断模式	48
配置链路	48
链路启动过程	49
宽带数字内容保护(HDCP)	51
加密使能	51
加密同步	51
中继支持	51
HDCP安全认证过程	52
HDCP协议汇总	52
中继器网络示例——两个 μ C	56
新器件连接时的检测和动作	59
启动安全认证通告及使能下行链路加密	59
应用信息	60
PRBS自检	60
误码检测	60
ERR输出	60
自动故障复位	60
双 μ C控制	60
更改时钟频率	60
快速检测同步丢失	60
提供帧同步(摄像头应用)	61
用软件设置器件地址	61
三电平配置输入	61
屏蔽配置	61
与其它GMSL器件的兼容性	61

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

目录(续)

密匙存储器.....	61
HS/VS/DE反相.....	61
WS/SCK反相.....	61
GPIO.....	62
交错并行输出.....	62
内部输入下拉.....	62
选择I ² C/UART上拉电阻.....	62
交流耦合.....	62
交流耦合电容的选择.....	62
供电电路和旁路.....	63
电源表.....	63
电缆和连接器.....	63
电路板布局.....	63
ESD保护.....	64
典型应用电路.....	73
订购信息.....	73
芯片信息.....	73
封装信息.....	73
修订历史.....	74

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

图例

图1. 反向控制通道输出参数	21
图2. 差分输入测试电路	21
图3. 最差码型输出	22
图4. I ² C时序参数	22
图5. 并行时钟输出要求	22
图6. 输出上升、下降时间	23
图7. 解串器延时	23
图8. GPI至GPO延时	23
图9. 锁存时间	24
图10. 上电延时	24
图11. 输出I ² S时序参数	24
图12. 24位模式串行数据格式	30
图13. 32位模式串行数据格式	31
图14. 宽带模式串行数据格式	31
图15. 音频通道输入格式	32
图16. 8通道TDM (24位采样, 补零)	34
图17. 6通道TDM (24位采样, 无补零)	34
图18. 立体声I ² S (24位采样, 补零)	34
图19. 立体声I ² S (16位采样, 无补零)	35
图20. 音频通道输出格式	35
图21. 基本模式下的GMSL UART协议	37
图22. 基本模式下的GMSL UART数据格式	38
图23. SYNC字节(0x79)	38
图24. ACK字节(0xC3)	38
图25. 带有寄存器地址(I ² CMETHOD = 0)时, GMSL UART和I ² C之间的格式转换	38
图26. 带有寄存器地址(I ² CMETHOD = 1)时, GMSL UART和I ² C之间的格式转换	39
图27. START和STOP条件	40
图28. 位传输	40
图29. 应答	41
图30. 从地址	41
图31. I ² C写操作的格式	42
图32. 写多个寄存器的格式	42
图33. I ² C读操作的格式	43
图34. 2:1同轴分配器连接图	45
图35. 同轴模式连接图	45
图36. LUT数据流	47
图37. 状态图	50
图38. 中继器网络示例——一个中继器和两个 μ C (Tx = GMSL串行器, Rx = 解串器)	56

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

图例(续)

图39. 人体模式ESD测试电路.....	64
图40. IEC 61000-4-2接触放电ESD测试电路.....	64
图41. ISO 10605接触放电ESD测试电路.....	64

表例

表1. 寄存器默认上电设置(见 表26 和 表27).....	25
表2. 器件默认地址(寄存器0x00、0x01).....	29
表3. 输出映射.....	30
表4. 数据率选择表.....	32
表5. 各种PCLKOUT频率下的最大音频WS频率(kHz).....	33
表6. f _{SRC} 设置.....	36
表7. I ² C码率范围.....	43
表8. 电缆均衡器升压等级.....	44
表9. 输出扩频.....	44
表10. 调制系数和最大SDIV设置.....	44
表11. 配置输入映射.....	45
表12. 像素数据格式.....	46
表13. 反向控制通道模式.....	48
表14. 高抗扰性高速模式要求.....	48
表15. 视频显示启动过程.....	49
表16. 图像检测应用的启动过程(CDS = 高电平).....	50
表17. 启动、HDCP安全认证及常规工作(解串器不是中继器)——HDCP安全认证协议第一部分.....	52
表18. 链路完整性检查(常规)——使能加密后每128帧执行一次.....	54
表19. 可选增强链路完整性检查——使能加密后每16帧执行一次.....	55
表20. HDCP安全认证和常规工作(一个中继器, 两个μC)——HDCP安全认证协议第一部分和第二部分.....	56
表21. MAX9276/MAX9280功能兼容性.....	61
表22. 交错输出延时.....	62
表23. IOVDD电流仿真结果.....	63
表24. HDCP工作的附加供电电流(仅限MAX9280).....	63
表25. 推荐GMSL连接器和电缆.....	63
表26. 寄存器表(见 表1).....	65
表27. HDCP寄存器表(仅限MAX9280, 见 表1).....	71

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

Absolute Maximum Ratings (Note 1)

AVDD to EP	-0.5V to +3.9V
DVDD to EP	-0.5V to +3.9V
IOVDD to EP	-0.5V to +3.9V
IN+, IN- to EP	-0.5V to +1.9V
All Other Pins to EP	-0.5V to (V _{IOVDD} + 0.5V)
IN+, IN- Short Circuit to Ground or Supply	Continuous

Continuous Power Dissipation (T _A = +70°C)	
TQFN (derate 47.6mW/°C above +70°C).....	3809.5mW
Junction Temperature.....	+150°C
Storage Temperature.....	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Note 1: EP connected to PCB ground.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 2)

TQFN

Junction-to-Case Thermal Resistance (θ _{JC})	1°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA})	21°C/W

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

DC Electrical Characteristics

(V_{AVDD} = V_{DVDD} = 3.0V to 3.6V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground (GND), T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V, T_A = +25°C.)(Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (ADD_, HIM, I2CSEL, GPI, PWDN, MS)						
High-Level Input Voltage	V _{IH1}		0.65 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL1}			0.35 x V _{IOVDD}		V
Input Current	I _{IN1}	V _{IN} = 0V to V _{IOVDD}	-10		+20	μA
THREE-LEVEL LOGIC INPUTS (BWS, CX/TP)						
High-Level Input Voltage	V _{IH}		0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL}			0.3 x V _{IOVDD}		V
Mid-Level Input Current	I _{INM}	(Note 4)	-10		10	μA
Input Current	I _{IN}		-150		150	μA
SINGLE-ENDED OUTPUTS (WS, SCK, SD, DOUT_, CNTL_, INTOUT, PCLKOUT)						
High-Level Output Voltage	V _{OH1}	I _{OUT} = -2mA	DCS = '0'	V _{IOVDD} - 0.3		V
			DCS = '1'	V _{IOVDD} - 0.2		
Low-Level Output Voltage	V _{OL1}	I _{OUT} = 2mA	DCS = '0'		0.3	V
			DCS = '1'		0.2	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
OUTPUT Short-Circuit Current	I _{OS}	DOUT_	V _O = 0V, DCS = '0'	V _{IOVDD} = 3.0V to 3.6V	15	25	39	mA
				V _{IOVDD} = 1.7V to 1.9V	3	7	13	
			V _O = 0V, DCS = '1'	V _{IOVDD} = 3.0V to 3.6V	20	35	63	
				V _{IOVDD} = 1.7V to 1.9V	5	10	21	
		PCLKOUT	V _O = 0V, DCS = '0'	V _{IOVDD} = 3.0V to 3.6V	15	33	50	
				V _{IOVDD} = 1.7V to 1.9V	5	10	17	
			V _O = 0V, DCS = '1'	V _{IOVDD} = 3.0V to 3.6V	30	54	97	
				V _{IOVDD} = 1.7V to 1.9V	9	16	32	
OPEN-DRAIN INPUT/OUTPUT (GPIO0, GPIO1, RX/SDA, TX/SCL, \overline{ERR} , LOCK)								
High-Level Input Voltage	V _{IH2}				0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL2}				0.3 x V _{IOVDD}			V
Input Current	I _{IN2}	(Note 5)	RX/SDA, TX/SCL	-100	+5		μA	
			LOCK, \overline{ERR} , GPIO_	-80	+5			
Low-Level Output Voltage	V _{OL2}	I _{OUT} = 3mA	V _{IOVDD} = 1.7V to 1.9V			0.4	V	
			V _{IOVDD} = 3.0V to 3.6V			0.3		
Input Capacitance	C _{IN}	Each pin (Note 6)			10			pF
OUTPUT FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage (V _{IN+}) - (V _{IN-})	V _{RODH}	Forward channel disabled, Figure 1	Legacy reverse control channel mode	30	60		mV	
			High immunity mode	50	100			
Differential Low Output Peak Voltage (V _{IN+}) - (V _{IN-})	V _{RODL}	Forward channel disabled, Figure 1	Legacy reverse control channel mode	-60	-30		mV	
			High immunity mode	-100	-50			
Single-Ended High Output Peak Voltage	V _{ROSH}	Forward channel disabled	Legacy reverse control channel mode	30	60		mV	
			High immunity mode	50	100			
Single-Ended Low Output Peak Voltage	V _{ROSL}	Forward channel disabled	Legacy reverse control channel mode	-60	-30		mV	
			High immunity mode	-100	-50			

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DIFFERENTIAL INPUTS (IN+, IN-)							
Differential High Input Threshold (Peak) Voltage (V _{IN+}) - (V _{IN-})	V _{IDH(P)}	Figure 2	Activity detector medium Threshold, (0x0B D[6:5] = 01)	60			mV
			Activity detector low Threshold, (0x0B D[6:5] = 00)	47.5			
Differential Low Input Threshold (Peak) Voltage (V _{IN+}) - (V _{IN-})	V _{IDL(P)}	Figure 2	Activity detector medium Threshold, (0x0B D[6:5] = 01)	-60			mV
			Activity detector medium Threshold, (0x0B D[6:5] = 00)	-47.5			
Input Common-Mode Voltage ((V _{IN+}) + (V _{IN-}))/2	V _{CMR}			1	1.3	1.6	V
Differential Input Resistance (Internal)	R _{IN}			80	100	130	Ω
SINGLE-ENDED INPUTS (IN+, IN-)							
Single-Ended High Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{ISH(P)}	Activity detector medium threshold, (0x0B D[6:5] = 01)		43			mV
		Activity detector low threshold, (0x0B D[6:5] = 00)		33			
Single-Ended Low Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{ISL(P)}	Activity detector medium threshold, (0x0B D[6:5] = 01)		-43			mV
		Activity detector medium threshold, (0x0B D[6:5] = 00)		-33			
Input Resistance (Internal)	R _I			40	50	65	Ω
POWER SUPPLY							
Total Supply Current (AVDD + DVDD + IOVDD) (Note 7) (Worst-Case-Pattern, Figure 3)	I _{WCS}	BWS = low, f _{PCLKOUT} = 16.6MHz	2% spread active	C _L = 5pF	131	164	mA
				C _L = 10pF	136	169	
			Spread spectrum disabled	C _L = 5pF	122	153	
				C _L = 10pF	127	158	
		BWS = low, f _{PCLKOUT} = 33.3MHz	2% spread active	C _L = 5pF	144	179	
				C _L = 10pF	153	189	
			Spread spectrum disabled	C _L = 5pF	133	167	
				C _L = 10pF	142	177	
		BWS = low, f _{PCLKOUT} = 66.6MHz	2% spread active	C _L = 5pF	175	216	
				C _L = 10pF	190	233	
			Spread spectrum disabled	C _L = 5pF	159	197	
				C _L = 10pF	174	214	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
Total Supply Current (AVDD + DVDD + IOVDD) (Note 7) (Worst-Case-Pattern, Figure 3)	I _{WCS}	BWS = low, f _{PCLKOUT} = 104MHz	2% spread active	C _L = 5pF		212	255	mA
				C _L = 10pF		234	278	
			Spread spectrum disabled	C _L = 5pF		190	228	
				C _L = 10pF		212	251	
		BWS = mid, f _{PCLKOUT} = 36.6MHz	2% spread active	C _L = 5pF		154	191	
				C _L = 10pF		164	203	
			Spread spectrum disabled	C _L = 5pF		143	177	
				C _L = 10pF		154	189	
		BWS = mid, f _{PCLKOUT} = 104MHz	2% spread active	C _L = 5pF		231	277	
				C _L = 10pF		257	305	
			Spread spectrum disabled	C _L = 5pF		209	249	
				C _L = 10pF		234	277	
Sleep Mode Supply Current	I _{CCS}					70	265	μA
Power-Down Current	I _{CCZ}	P _{WDN} = GND				20	195	μA
ESD PROTECTION								
IN+, IN- (Note 8)	V _{ESD}	Human body model, R _D = 1.5kΩ, C _S = 100pF				±8		kV
		IEC 61000-4-2, R _D = 330Ω, C _S = 150pF	Contact discharge		±10			
			Air discharge		±12			
		ISO 10605, R _D = 2kΩ, C _S = 330pF	Contact discharge		±10			
			Air discharge		±20			
All Other Pins (Note 9)	V _{ESD}	Human body model, R _D = 1.5kΩ, C _S = 100pF				±4		kV

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

AC Electrical Characteristics

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
PARALLEL CLOCK OUTPUT (PCLKOUT)								
Clock Frequency	fPCLKOUT	BWS = low, DRS = ‘1’		8.33		16.66	MHz	
		BWS = low, DRS = ‘0’		16.66		104		
		BWS = mid, DRS = ‘1’		18.33		36.66		
		BWS = mid, DRS = ‘0’		36.66		104		
		BWS = high, DRS = ‘1’		6.25		12.5		
		BWS = high, DRS = ‘0’		12.5		78		
Clock Duty Cycle	DC	tHIGH/tT or tLOW/tT (Note 6)		40	50	60	%	
Clock Jitter	tJ	Period jitter, peak-to-peak, spread off, 3.12Gbps, PRBS pattern, UI = 1/fPCLKOUT (Note 6)		0.05			UI	
I2C/UART PORT TIMING								
I2C/UART Bit Rate				9.6		1000	kbps	
Output Rise Time	tR	30% to 70%, CL = 10pF to 100pF, 1kΩ pullup to VIOVDD		20		150	ns	
Output Fall Time	tF	70% to 30%, CL = 10pF to 100pF, 1kΩ pullup to VIOVDD		20		150	ns	
I2C TIMING (Figure 4)								
SCL Clock Frequency	fSCL	Low fSCL range: (I2CMSTBT = 010, I2CSLVSH = 10)		9.6		100	kHz	
		Mid fSCL range: (I2CMSTBT 101, I2CSLVSH = 01)		> 100		400		
		High fSCL range: (I2CMSTBT = 111, I2CSLVSH = 00)		> 400		1000		
START Condition Hold Time	tHD:STA	fSCL range	Low	4.0			μs	
			Mid	0.6				
			High	0.26				
Low Period of SCL Clock	tLOW	fSCL range	Low	4.7			μs	
			Mid	1.3				
			High	VIOVDD = 1.7V to < 3V (Note 11)		0.6		
				VIOVDD = 3.0V to 3.6V		0.5		
High Period of SCL Clock	tHIGH	fSCL range	Low	4.0			μs	
			Mid	0.6				
			High	0.26				
Repeated START Condition Setup Time	tSU:STA	fSCL range	Low	4.7			μs	
			Mid	0.6				
			High	0.26				

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Data Hold Time	$t_{HD:DAT}$	f_{SCL} range	Low	0			μs
			Mid	0			
			High	0			
Data Setup Time	$t_{SU:DAT}$	f_{SCL} range	Low	250			μs
			Mid	100			
			High	50			
Setup Time for STOP Condition	$t_{SU:STO}$	f_{SCL} range	Low	4.0			μs
			Mid	0.6			
			High	0.26			
Bus Free Time	t_{BUF}	f_{SCL} range	Low	4.7			μs
			Mid	1.3			
			High	0.5			
Data Valid Time	$t_{VD:DAT}$	f_{SCL} range	Low			3.45	μs
			Mid			0.9	
			High	$V_{IOVDD} = 1.7V$ to $< 3V$ (Note 12)		0.55	
				$V_{IOVDD} = 3.0V$ to $3.6V$		0.45	
Data Valid Acknowledge Time	$t_{VD:ACK}$	f_{SCL} range	Low			3.45	μs
			Mid			0.9	
			High	$V_{IOVDD} = 1.7V$ to $< 3V$ (Note 13)		0.55	
				$V_{IOVDD} = 3.0V$ to $3.6V$		0.45	
Pulse Width of Spikes Suppressed	t_{SP}	f_{SCL} range	Low			50	ns
			Mid			50	
			High			50	
Capacitive Load Each Bus Line	C_b					100	pF
SWITCHING CHARACTERISTICS							
PCLKOUT Rise-and-Fall Time, Figure 5	t_R, t_F	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$ (Note 6)	DCS = '1', $C_L = 10pF$	0.4		2.2	ns
			DCS = '0', $C_L = 5pF$	0.5		2.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$ (Note 1)	DCS = '1', $C_L = 10pF$	0.25		1.8	
			DCS = '0', $C_L = 5pF$	0.3		2.0	
Parallel Data Rise-and-Fall Time, Figure 6	t_R, t_F	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$ (Note 1)	DCS = '1', $C_L = 10pF$	0.5		3.1	ns
			DCS = '0', $C_L = 5pF$	0.6		3.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$ (Note 6)	DCS = '1', $C_L = 10pF$	0.3		2.2	
			DCS = '0', $C_L = 5pF$	0.4		2.4	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Deserializer Delay	t _{SD}	(Note 14) Figure 7	Spread spectrum enabled			6960	Bits
			Spread spectrum disabled			2160	
Reverse Control Channel Output Rise Time	t _R	No forward channel data transmission, Figure 1		180		400	ns
Reverse Control Channel Output Fall Time	t _F	No forward channel data transmission, Figure 1		180		400	ns
GPI to GPO Delay	t _{GPIO}	Deserializer GPI to serializer GPO (cable delay not included), Figure 8				350	μs
Lock Time	t _{LOCK}	Figure 9	Spread spectrum enabled			3	ms
			Spread spectrum disabled			2	
Power-Up Time	t _{PU}	Figure 10				3.5	ms
I ² S/TDM OUTPUT TIMING (Note 6)							
WS Jitter	t _{jWS}	t _{WS} = 1/f _{WS} , (cycle-to-cycle), rising-to-falling edge or falling-to-rising edge	f _{WS} = 48kHz or 44.1kHz		1.2e-3 x t _{WS}	1.5e-3 x t _{WS}	ns
			f _{WS} = 96kHz		1.6e-3 x t _{WS}	2e-3 x t _{WS}	
			f _{WS} = 192kHz		1.6e-3 x t _{WS}	2e-3 x t _{WS}	
SCK Jitter (2-Channel I ² S)	t _{jSCK1}	t _{SCK} = 1/f _{SCK} , (cycle-to-cycle), rising-to-rising edge	n _{SCK} = 16 bits, f _{SCK} = 48kHz or 44.1kHz		13e-3 x t _{SCK}	16e-3 x t _{SCK}	ns
			n _{SCK} = 24 bits, f _{SCK} = 96kHz		39e-3 x t _{SCK}	48e-3 x t _{SCK}	
			n _{SCK} = 32 bits, f _{SCK} = 192kHz		0.1 x t _{SCK}	0.13 x t _{SCK}	
SCK Jitter (8-Channel TDM)	t _{jSCK2}	t _{SCK} = 1/f _{SCK} , (cycle-to-cycle), rising-to-rising edge	n _{SCK} = 16 bits, f _{SCK} = 48kHz or 44.1kHz		52e-3 x t _{SCK}	64e-3 x t _{SCK}	ns
			n _{SCK} = 24 bits, f _{SCK} = 96kHz		156e-3 x t _{SCK}	192e-3 x t _{SCK}	
			n _{SCK} = 32 bits, f _{SCK} = 192kHz		0.4 x t _{SCK}	0.52 x t _{SCK}	
Audio Skew Relative to Video	t _{ASK}	Video and audio synchronized			3 x t _{WS}	4 x t _{WS}	μs
SCK, SD, WS Rise-and-Fall Time	t _R , t _F	20% to 80%	C _L = 10pF, DCS = 1	0.3		3.1	ns
			C _L = 5pF, DCS = 0	0.4		3.8	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SD, WS Valid Time Before SCK (2-Channel I ² S)	t_{DVB1}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns
SD, WS Valid Time After SCK (2-Channel I ² S)	t_{DVA1}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns
SD, WS Valid Time Before SCK (8-Channel TDM)	t_{DVB2}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns
SD, WS Valid Time After SCK (8-Channel TDM)	t_{DVA2}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns

Note 3: Limits are 100% production tested at $T_A = +25^\circ C$. Limits over the operating temperature range are guaranteed by design and characterization, unless otherwise noted.

Note 4: To provide a mid level, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 5: I_{IN} MIN due to voltage drop across the internal pullup resistor.

Note 6: Not production tested. Guaranteed by design.

Note 7: HDCP not enabled (MAX9280 only). IOVDD current is not production tested. See [Table 24](#) for additional supply current when HDCP is enabled

Note 8: Specified pin to ground.

Note 9: Specified pin to all supply/ground.

Note 10: Not production tested, guaranteed by bench characterization.

Note 11: The I²C bus standard t_{LOW} (min) = $0.5\mu s$.

Note 12: The I²C bus standard $t_{VD:DAT}$ (max) = $0.45\mu s$.

Note 13: The I²C bus standard $t_{VD:ACK}$ (max) = $0.45\mu s$.

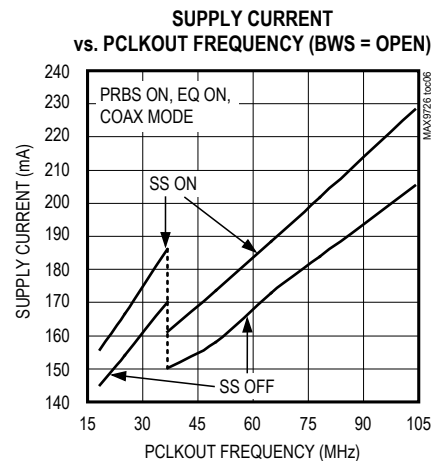
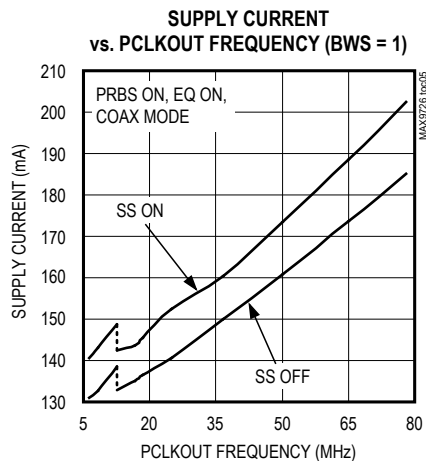
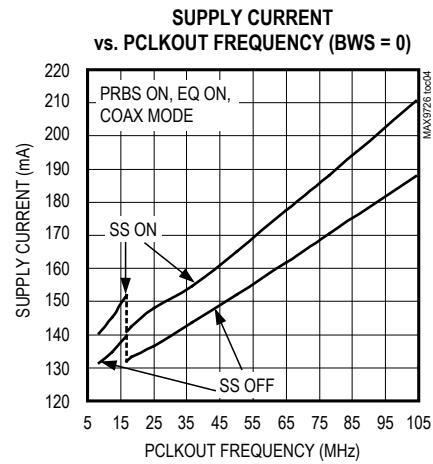
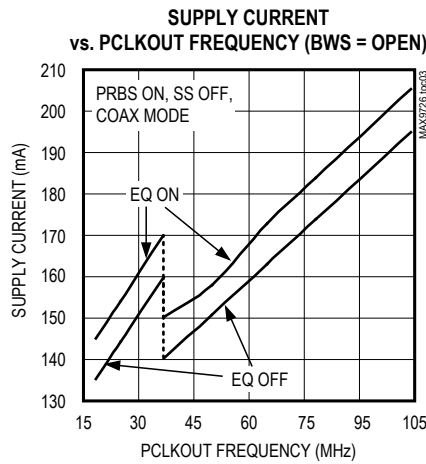
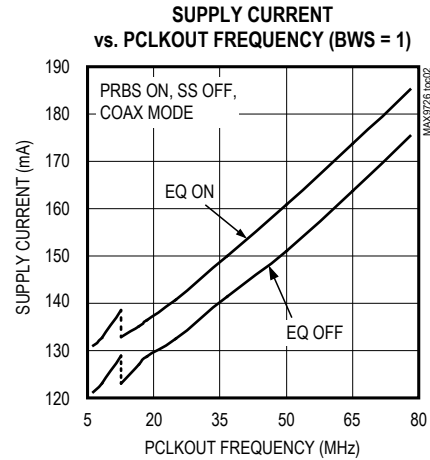
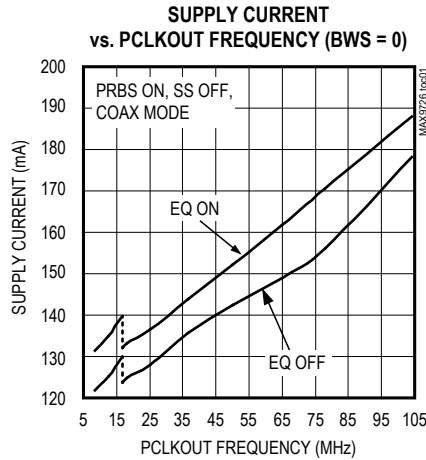
Note 14: Measured in serial link bit times. Bit time = $1/(30 \times f_{PCLKIN})$ for BWS = '0' or open. Bit time = $1/(40 \times f_{PCLKIN})$ for BWS = '1'.

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

典型工作特性

($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

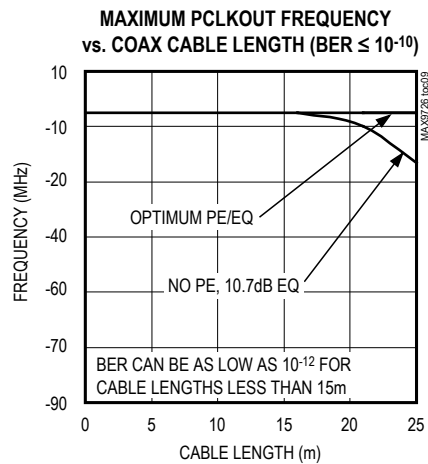
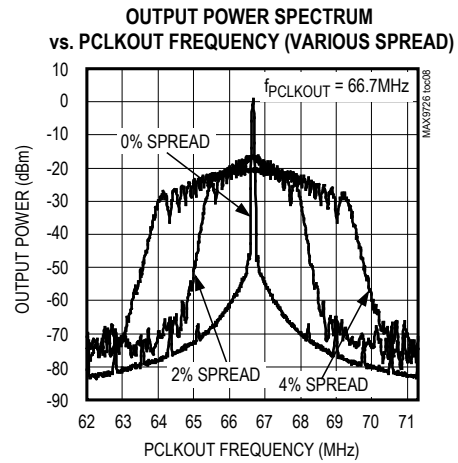
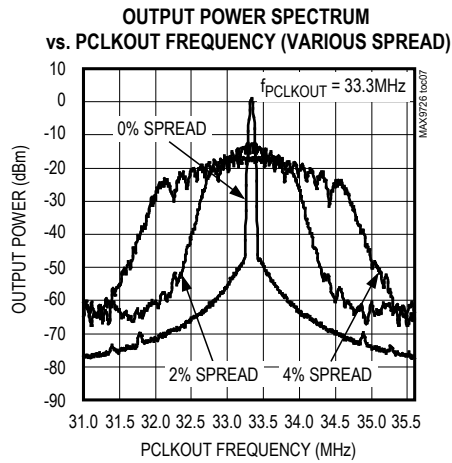


MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

典型工作特性(续)

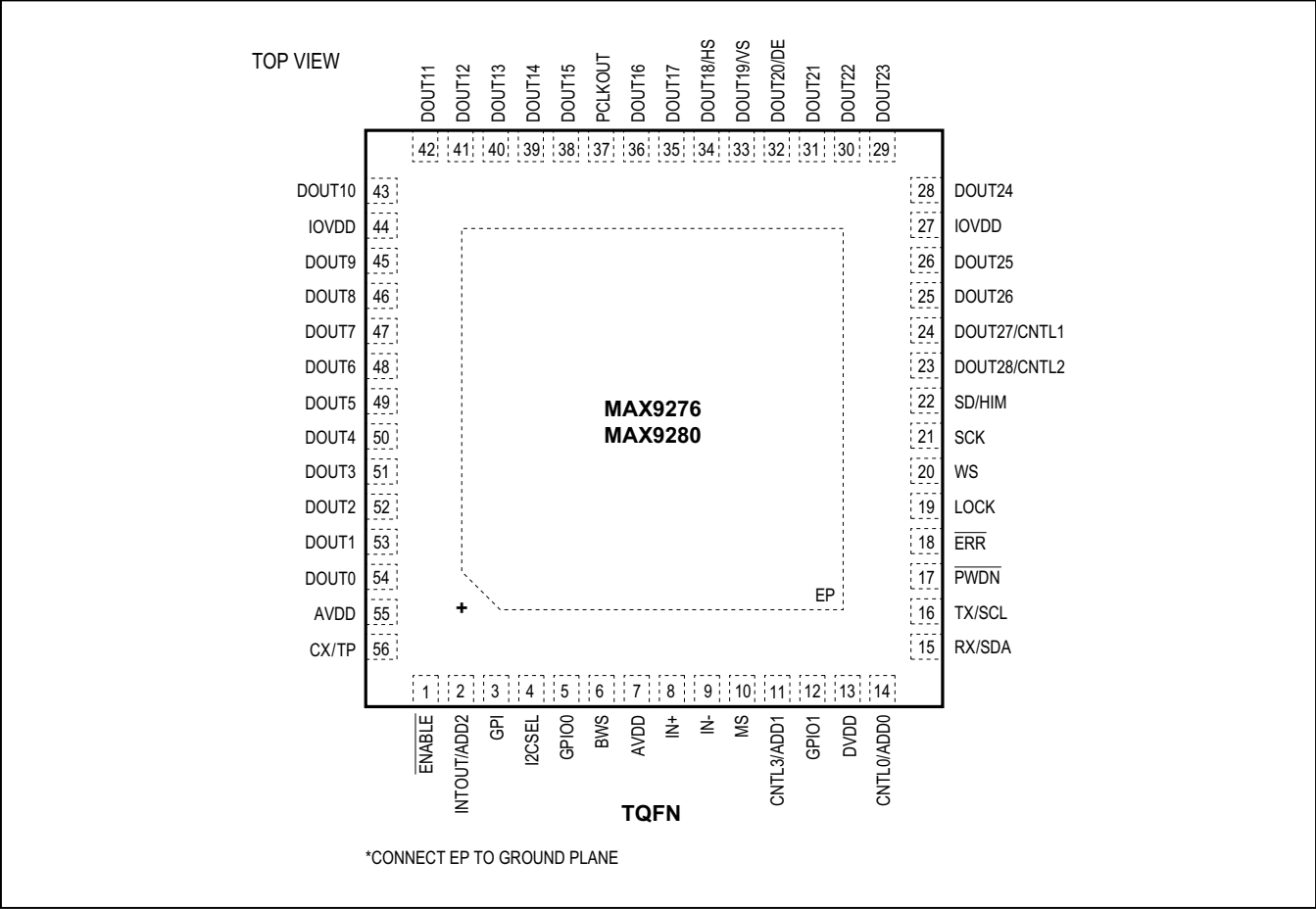
($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

引脚配置



引脚说明

引脚	名称	功能
1	$\overline{\text{ENABLE}}$	低电平有效并行输出使能输入，内部下拉至EP。将 $\overline{\text{ENABLE}}$ 设置为电平时，使能PCLKOUT DOUT_和CNTL_输出；将 $\overline{\text{ENABLE}}$ 设置为高电平时，将PCLKOUT、DOUT_和CNTL_置于高阻态。
2	INTOUT/ADD2	A/V状态寄存器中断输出/地址选择输入，内部下拉至EP。上电时或从关断模式($\text{PWDN} = \text{低电平}$)恢复时作为ADD2输入，上电后自动切换至INTOUT输出。 ADD2：上电时或从关断模式($\text{PWDN} = \text{低电平}$)恢复时，锁存位值，参见表2。通过30k Ω 电阻将INTOUT/ADD2连接至IOVDD，将其置为高电平；保持开路，置为低电平。 INTOUT：表示A/V状态寄存器中有新数据。读取A/V状态寄存器时，INTOUT复位。
3	GPI	通用输入，内部下拉至EP。解串器GPO(或INT)输出跟随GPI变化。
4	I2CSEL	I ² C选择。控制通道接口协议选择输入，内部下拉至EP。I2CSEL = 高电平时，选择I ² C接口；I2CSEL = 低电平时，选择UART接口。
5	GPIO0	漏极开路通用输入/输出，内部通过60k Ω 电阻上拉至IOVDD。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

引脚说明(续)

引脚	名称	功能
6	BWS	三电平总线宽度选择输入，将串行链路两端的BWS设置为相同电平。BWS=低电平时，为24位模式；BWS = 高电平时，为32位模式；BWS = 开路时，为宽带模式。
7, 55	AVDD	3.3V模拟电源。利用0.1μF和0.001μF电容将AVDD旁路至EP，电容尽量靠近器件放置，小电容靠近AVDD。
8	IN+	同相同轴/双绞线串行输出。
9	IN-	反相同轴/双绞线串行输出。
10	MS	模式选择，内部下拉至EP。MS = 低电平时，选择基本模式；MS = 高电平时，选择旁路模式。
11	CNTL3/ADD1	辅助控制信号输出/地址选择输入，内部下拉至EP。上电时或从关断模式($\overline{\text{PWDN}}$ = 低电平)恢复时，作为ADD1输入，上电后自动切换至CNTL3输出。 ADD1：上电时或从关断模式($\overline{\text{PWDN}}$ = 低电平)恢复时，锁定位值，参见表2。通过30kΩ电阻将CNTL3/ADD1连接至IOVDD设置为高电平，保持开路设置为低电平。 CNTL3：仅在宽带模式(BWS = 开路)下使用。使能HDCP时，CNTL3不加密(仅限MAX9280)。
12	GPIO1	漏极开路通用输入/输出，内部通过60kΩ电阻上拉至IOVDD。
13	DVDD	3.3V数字电源，利用0.1μF和0.001μF电容将DVDD旁路至EP，电容尽量靠近器件放置，小电容靠近DVDD。
14	CNTL0/ADD0	辅助控制信号输出/地址选择输入，内部下拉至EP。上电时或从关断模式($\overline{\text{PWDN}}$ = 低电平)恢复时作为ADD0输入，上电后自动切换至CNTL0输出。 ADD0：上电时或从关断模式($\overline{\text{PWDN}}$ = 低电平)恢复时，锁定位值，参见表2。通过30kΩ电阻将CNTL0/ADD0连接至IOVDD，置为高电平；保持开路，置为低电平。 CNTL0：仅在宽带模式(BWS = 开路)下使用。使能HDCP时，CNTL0不加密(仅限MAX9280)。
15	RX/SDA	UART接收/I ² C串行数据输入/输出，内部通过30kΩ电阻上拉至IOVDD。功能由I2CSEL上电时的状态决定。 RX/SDA具有开漏驱动器，需要上拉电阻。 RX：串行器UART的输入。 SDA：串行器I ² C主机/从机的数据输入/输出。
16	TX/SCL	UART接收/I ² C串行数据输入/输出，内部通过30kΩ电阻上拉至IOVDD。功能由I2CSEL上电时的状态决定。 TX/SCL具有开漏驱动器，需要上拉电阻。 TX：串行器UART输出。 SCL：串行器I ² C主机/从机的时钟输入/输出。
17	$\overline{\text{PWDN}}$	低电平有效关断输入，内部下拉至EP。将 $\overline{\text{PWDN}}$ 置为低电平时，进入关断模式，以降低功耗。
18	$\overline{\text{ERR}}$	误码输出，误码检测和/或校验指示开漏输出，内部通过30kΩ电阻上拉至IOVDD； $\overline{\text{PWDN}}$ 为低电平时， $\overline{\text{ERR}}$ 为高电平。
19	LOCK	漏极开路锁存输出，内部通过30kΩ电阻上拉至IOVDD。LOCK = 高电平时，表示PLL正确地锁存到串行字边界并为之对齐；LOCK = 低电平时，表示PLL没有锁存，或者同步到错误的串行字边界。 $\overline{\text{PWDN}}$ = 低电平时，LOCK为高电平。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

引脚说明(续)

引脚	名称	功能
20	WS	I ² S/TDM字选择输入/输出，上电时作为I ² S输出(解串器提供时钟)。AUDIOMODE位置为1时，将WS改为输入，内部下拉至GND，通过外部提供WS (系统提供时钟)。
21	SCK	I ² S/TDM串行时钟输入/输出，上电时作为I ² S输出(解串器提供时钟)。AUDIOMODE位置为1时，将SCK改为输入，内部下拉至GND，通过外部提供WS (系统提供时钟)。
22	SD/HIM	I ² S/TDM串行数据输出/高抗扰性模式输入。 上电时或从关断模式($\overline{\text{PWDN}}$ = 低电平)恢复时作为HIM输入，内部下拉至EP；上电后自动切换至SD输出。 HIM：上电时或从关断模式($\overline{\text{PWDN}}$ = 低电平)恢复时，锁存HIGHIMM默认值，高电平有效。通过30k Ω 电阻将SD/HIM连接至IOVDD设置为高电平，保持开路设置为低电平。上电后可将HIGHIMM设置为不同值，串行器中的HIGHIMM必须设置为相同值。 SD：禁止I ² S/TDM编码串行数据，将SD用作附加控制/数据输出，在所选PCLKOUT信号沿有效。使能HDCP时进行加密(仅限MAX9280)。
23	DOUT28/CNTL2	并行数据/辅助控制信号输出，在所选PCLKOUT信号沿有效。 24位模式(BWS = 低电平)下，DOUT28/CNTL2保持为高阻态。 DOUT28仅在32位模式(BWS = 高电平)下使用；使能HDCP时，DOUT28不加密(MAX9280)。 CNTL2仅在宽带模式(BWS = 开路)下使用；使能HDCP时，CNTL2不加密(MAX9280)。
24	DOUT27/CNTL1	并行数据/辅助控制信号输出，在所选PCLKOUT信号沿有效。 24位模式(BWS = 低电平)下，DOUT27/CNTL1保持为高阻态。 DOUT27仅在32位模式(BWS = 高电平)下使用；使能HDCP时，DOUT27不加密(MAX9280)。 CNTL1仅在宽带模式(BWS = 开路)下使用；使能HDCP时，CNTL1不加密(MAX9280)。
25, 26, 28–31	DOUT[26:21]	并行数据输出，在所选PCLKOUT信号沿有效，使能HDCP时进行加密(MAX9280)。DOUT[26:21]仅在32位和宽带模式(BWS = 高电平或开路)下使用；24位模式下，DOUT[26:21]保持高阻态。
27, 44	IOVDD	I/O电源，1.8V至3.3V逻辑I/O电源。利用0.1 μ F和0.001 μ F电容将IOVDD旁路至EP，电容尽量靠近器件放置，小电容靠近IOVDD。
32	DOUT20/DE	并行数据/器件使能输出，在所选PCLKOUT信号沿有效；上电后默认为并行数据输出。使能HDCP时或处于宽带模式(BWS = 开路)时，器件使能输出(MAX9280)。
33	DOUT19/VS	并行数据/场同步输出，在所选PCLKOUT信号沿有效；上电后默认为并行数据输出。使能HDCP时或处于宽带模式(BWS = 开路)时，使能场同步输出(MAX9280)。
34	DOUT18/HS	并行数据/行同步输出，在所选PCLKOUT信号沿有效；上电后默认为并行数据输出。使能HDCP时或处于宽带模式(BWS = 开路)时，使能行同步输出(MAX9280)。

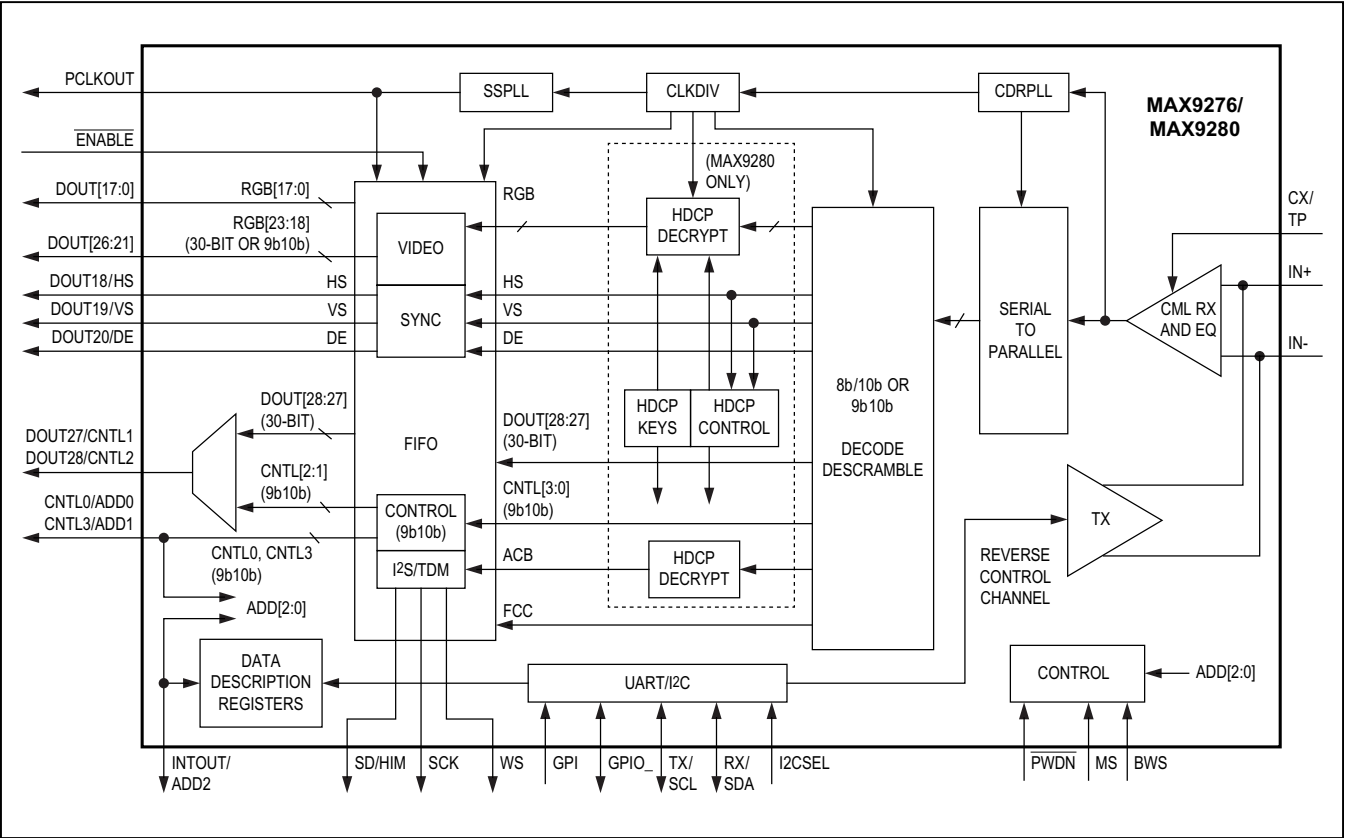
MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

引脚说明(续)

引脚	名称	功能
35, 36, 38–43, 45–54	DOUT[17:0]	并行数据输出，在所选PCLKOUT信号沿有效，使能HDCP时进行加密(MAX9280)。
37	PCLKOUT	用于DOUT[28:0]的并行时钟输出，将并行数据锁存到另一器件的输入。
56	CX/TP	三电平同轴电缆/双绞线选择输入，详细功能请参考表11。
—	EP	裸焊盘，EP内部连接至器件地。 必须 通过过孔阵列将EP连接至PCB接地区域，以改善散热，保证器件的电气性能。

功能框图



MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

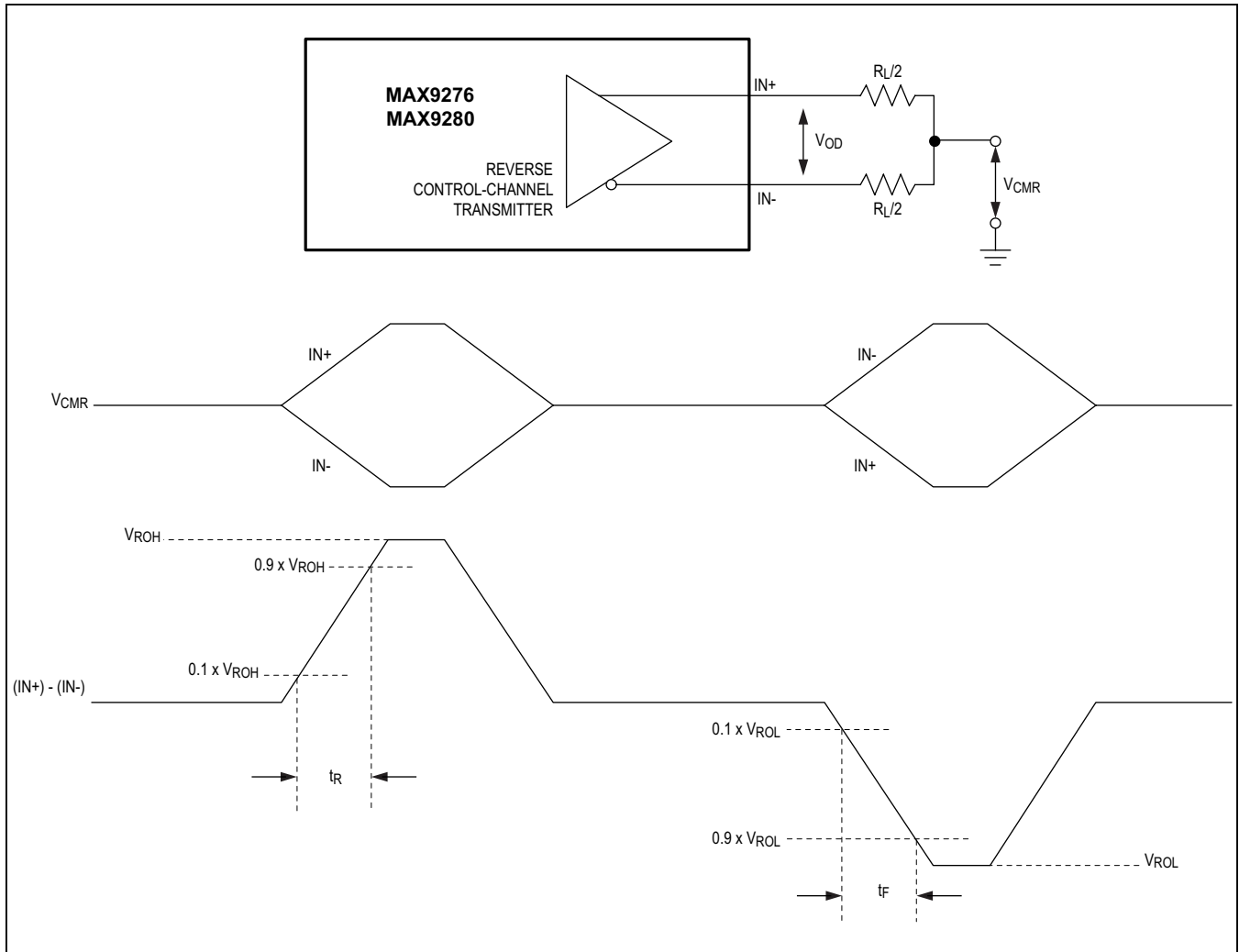


图1. 反向控制通道输出参数

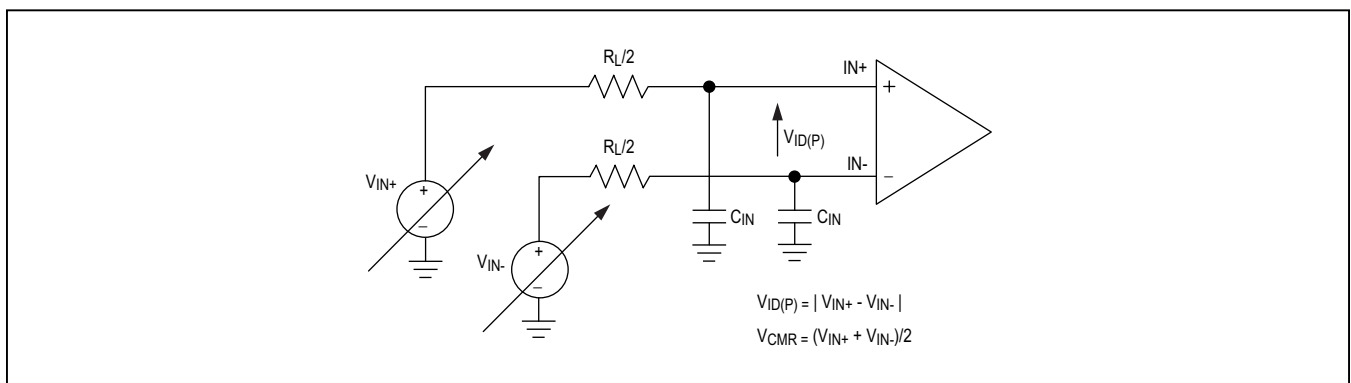


图2. 差分输入测试电路

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

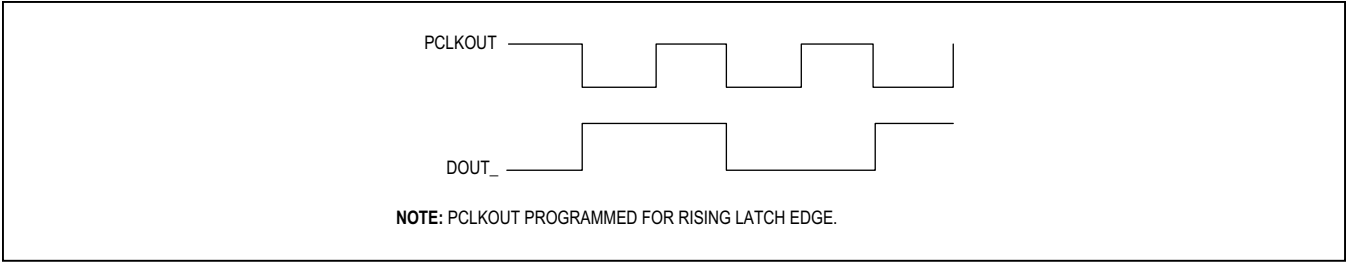


图3. 最差码型输出

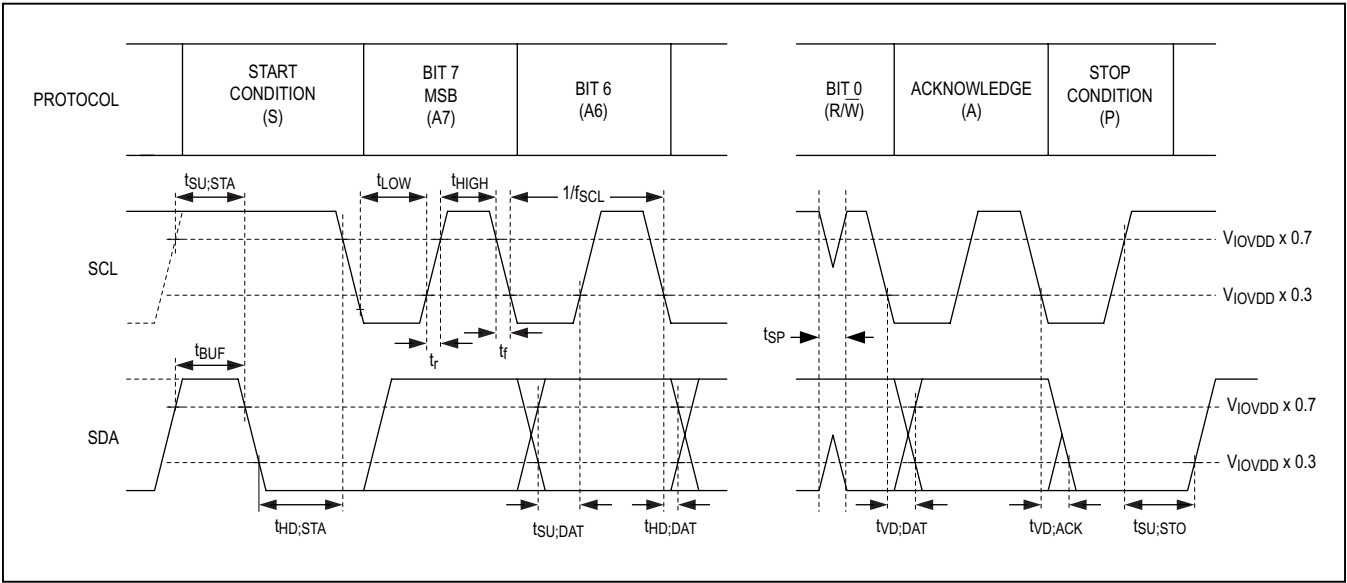


图4. I²C时序参数

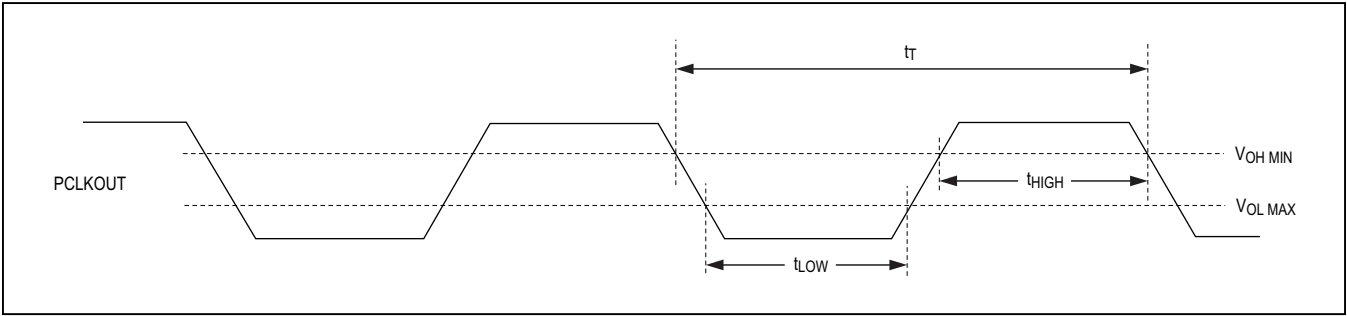


图5. 并行时钟输出要求

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

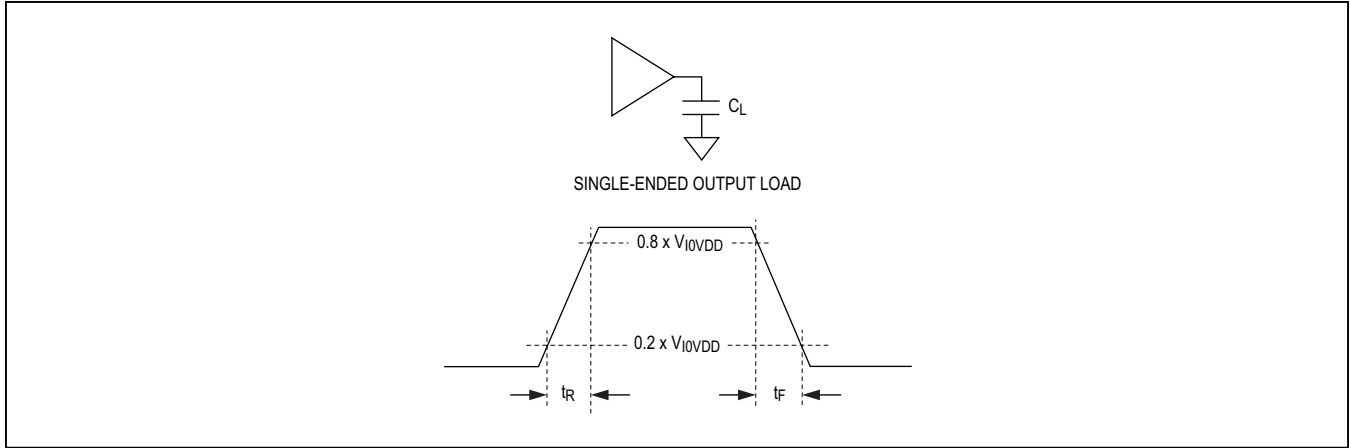


图6. 输出上升、下降时间

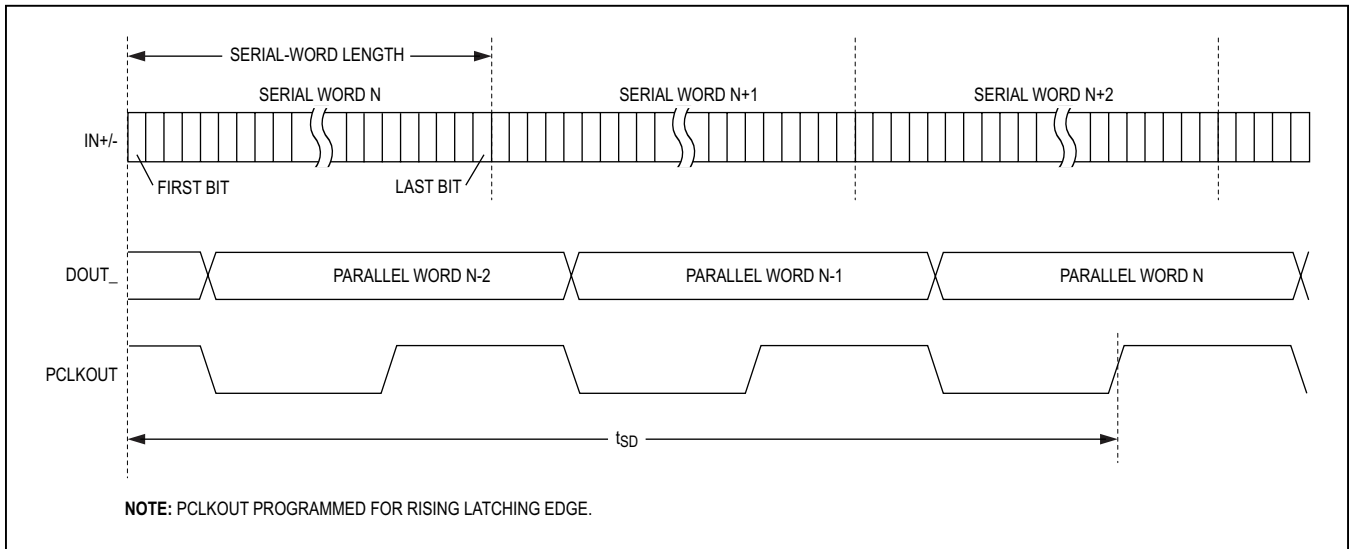


图7. 解串器延时

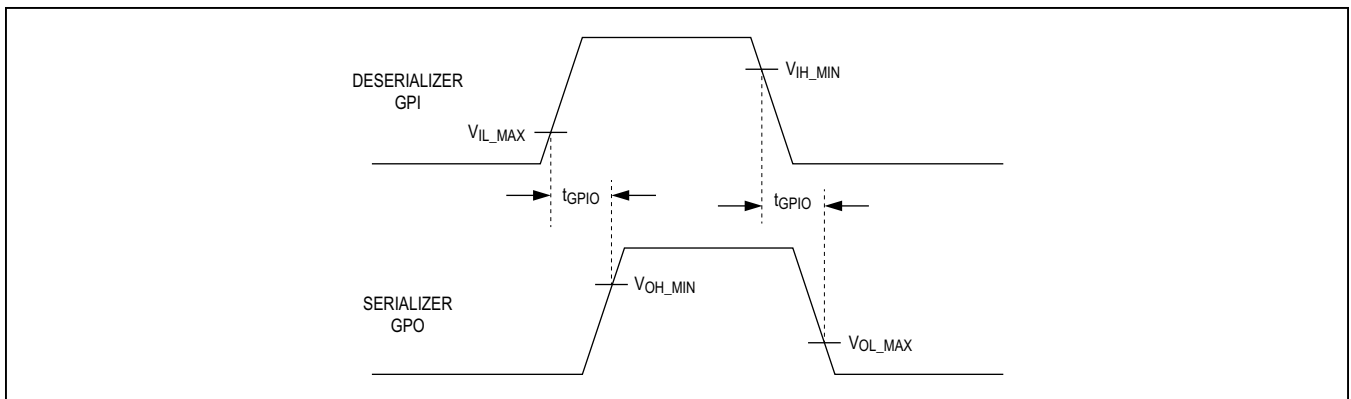


图8. GPI至GPO延时

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

详细说明

MAX9276/MAX9280解串器与MAX9275/MAX9277/MAX9279/MAX9281串行器配对使用，构成完备的链路传输功能；向下兼容MAX9249–MAX9270系列吉比特多媒体串行链路(GMSL)器件，与任意GMSL器件配对使用时均可提供基本的链路传输功能。MAX9280具有宽带数字内容保护(HDCP)，MAX9276没有此功能。

驱动15m长的电缆时，解串器的最大串行传输码率可达3.12Gbps。在24位模式和27位宽带模式下，最大输出时钟为104MHz；在32位模式下，最大输出时钟为78MHz。器件所支持的码率及输出灵活性适用于各种显示器应用，从QVGA (320 × 240)到1920 × 720，甚至更高清晰度(24位彩色)、百万像素的图像传感器。TDM模式下，编码音频通道支持L-PCM I2S立体声和最多八个通道的L-PCM。支持32kHz至192kHz采样率，采样深度从8位至32位。输入均衡器配合GMSL串行器的预加重/去加重电路，可有效延长电缆传输距离，提高链路可靠性。

μC利用控制通道配置串行器和解串器寄存器，并可设置外设寄存器。控制通道还可用于执行HDCP功能(仅限MAX9280)。μC可位于链路的任意一端或当使用两个μC时位于链路两侧。控制通道具有两种工作模式，基本模式使用I2C或GMSL UART协议，旁路模式使用用户定义的UART协议。UART协议支持全双工通信，而I2C提供半双工通信。

器件具有扩频功能，降低并行输出的EMI。串行输入满足ISO 10605和IEC 61000-4-2 ESD保护标准。

寄存器映射

寄存器用于设置解串器的工作条件，在基本模式下通过控制通道配置。MAX9276/MAX9280保存其器件地址及其配对工作的串行器器件地址。同样，串行器也将保存自身的器件地址以及相配合的MAX9276/MAX9280地址。任一器件地址改变时，应将新地址写入两个器件。解串器的默认器件地址由ADD[2:0]和CX/TP输入设置(见[表1](#)和[表2](#))。两个器件的寄存器0x00和0x01用于保存器件地址。

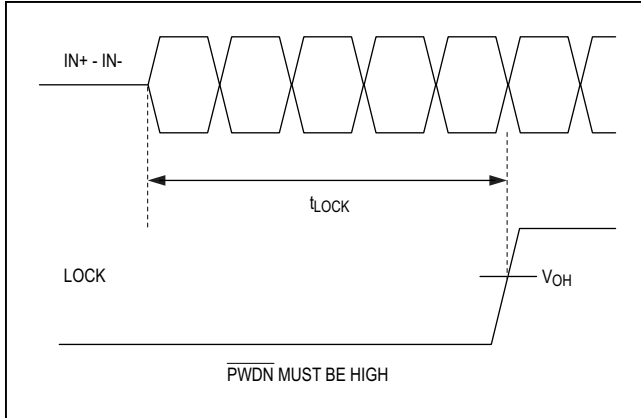


图9. 锁存时间

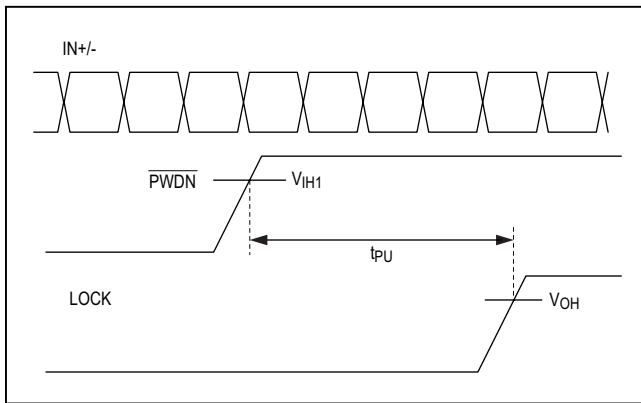


图10. 上电延时

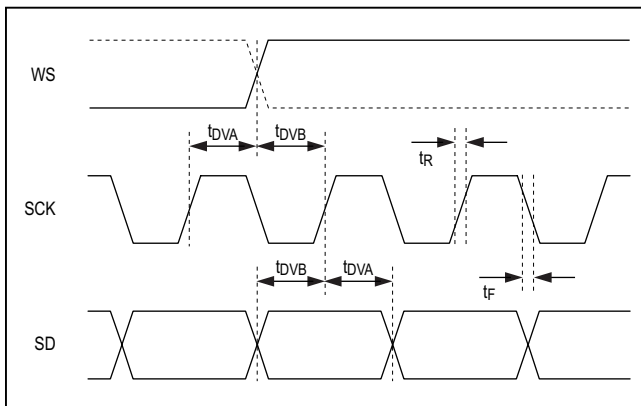


图11. 输出I2S时序参数

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表1. 寄存器默认上电设置(见表26和表27)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x00	0xXX	SERID = XX00XX0, serializer device address is determined by the state of the ADD[2:0] inputs at power-up (Table 2) RESERVED = 0
0x01	0xXX	DESID = XX01XXX, deserializer device address is determined by the state of the CX/TP and ADD[2:0] inputs at power-up (Table 2) CFGBLOCK = 0, Registers 0x00 to 0x1F are read/write
0x02	0x1F	SS = 00, spread spectrum disabled AUDIOMODE = 0, deserializer sourced WS, SCK AUDIOEN I ² S/TDM channel enabled PRNG = 11, automatically detect the pixel clock range SRNG = 11, automatically detect serial data rate
0x03	0x00	AUTOFM = 00, calibrate spread modulation rate only once after locking RESERVED = 0 SDIV = 00000, auto calibrate sawtooth divider
0x04	0x07	LOCKED = 0, LOCK output is low (read only) OUTENB = 0, Output enabled PRBSEN = 0, PRBS test disabled SLEEP = 0, Sleep mode deactivated (see the <i>Link Startup Procedure</i> section) INTTYPE = 01, base mode uses UART REVCCEN = 1, reverse control channel active (sending) FWDCCEN = 1, forward control channel active (receiving)
0x05	0x29	I2CMETHOD = 0, I ² C master sends the register address HPFTUNE = 01, 3.75MHz equalizer highpass filter cutoff frequency PDEQ = 0, equalizer enabled EQTUNE = 1001 10.7dB equalization
0x06	0x0A	DISSTAG = 0, outputs are staggered AUTORST = 0, error registers/output auto reset disabled DISGPI = 0, Enable GPI to GPO signal transmission to serializer GPIIN = 0, GPI input is low (read only) GPIO1OUT = 1, Set GPIO1 to high GPIO1IN = 0, GPIO1 input is low read only) GPIO0OUT = 1, Set GPIO0 to high GPIO0in = 0, GPIO0 input is low (read only)
0x07	0x54	RESERVED = 01010100
0x08	0x30	RESERVED = 00110 DISDEFILT = 0, DE glitch filter enabled DISVSFILT = 0, VS glitch filter enabled DISHSFILT = 0, HS glitch filter enabled
0x09	0xC8	RESERVED = 11001000
0x0A	0x1X	RESERVED = 00010XXX
0x0B	0x20	RESERVED = 00100000

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表1. 寄存器默认上电设置(见表26和表27) (续)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x0C	0x00	ERRTHR = 00000000, error threshold set to zero for decoding errors
0x0D	0x00	DECERR = 00000000, zero errors detected
0x0E	0x00	PRBSERR = 00000000, zero PRBS errors detected
0x0F	0xXX (read only)	RESERVED = XXXXXXXX
0x10	0xXX (read only)	RESERVED = XXXXXXXX
0x11	0x22	REVFAS = 0, High-immunity mode uses 500kbps bit rate RESERVED = 0100010
0x12	0x00	MCLKSRC = 0, MCLK derived from PCLKOUT MCLKDIV = 0000000, MCLK output disabled
0x13	0xX0	RESERVED = 0X000000
0x14	0x00	INVVS = 0, no VS inversion INVHS = 0, no HS inversion INVDE = 0, no DE inversion DRS = 0, high data rate mode DCS = 0, normal parallel output driver current DISRWAKE = 0, remote wakeup enabled ES = 0, output data valid on rising edge of PCLKOUT INTOUT = 0, INTOUT set low
0x15	0xX0	AUTOINT = 1, writes to AVINFO trigger INTOUT HVTREN = 0 (BWS = high, low) INTOUT = 1 (BWS = open), HS/VS tracking default depends on BWS input pin state at power-up DETREN = 0 (BWS = high, low) INTOUT = 1 (BWS = open), DE tracking default depends on BWS input pin state at power-up HVTRMODE = 1 partial and full periodic HS/VS/DE tracking RESERVED = 00 MCLKWS = 0, WS derived from serializer's WS input MCLKPIN = 0, MCLK output on DOUT28/CNTL2
0x16	0x5A, 0xDA	HIGHIMM = 0 (SD/HIM = low) HIGHIMM = 1 (SD/HIM = high), high-immunity mode default depends on SD/HIM input pin state at power-up RESERVED = 1011010
0x17	0xXX	RESERVED = 000XXXXX
0x18	0x00	I2CSCRA = 0000000, I2C Address translator source A is 0x00 RESERVED = 0
0x19	0x00	I2CDSTA = 0000000, I2C Address translator destination A is 0x00 RESERVED = 0
0x1A	0x00	I2CSCRB = 0000000, I2C Address translator source B is 0x00 RESERVED = 0
0x1B	0x00	I2CDSTB = 0000000, I2C Address translator destination B is 0x00 RESERVED = 0

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表1. 寄存器默认上电设置(见表26和表27) (续)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x1C	0x36	I2CLOCKACK = 0 Acknowledge not generated when forward channel is not available I2CSLVSH = 01, 469ns/234ns I2C setup/hold time I2CMSTBT = 101, 339kbps (typ) I2C to I2C-Master bit-rate setting I2CSLVTO = 10, 1024μs (typ) I2C to I2C-Slave remote timeout
0x1D	0x00	RESERVED = 00000 AUDUFBEF = 0, audio FIFO repeats last word when empty INVSCK = 0, SCK not inverted at output INVWS = 0, WS not inverted at output
0x1E	0x2X (read only)	ID = 00100010 (MAX9276) or ID = 00100110 (MAX9280)
0x1F	0x0X (read only)	RESERVED = 000 CAPS = 0 (MAX9276) or 1 (MAX9280), Only MAX9280 is HDCP capable REVISION = XXXX, Revision number
0x40 to 0x60	All zero	AVINFO = all zero, no video/audio format/status/information stored
0x77	0xXX (read only)	RESERVED = XXXXXXXX
0x78	0xXX (read only)	AUDOUWER = XXXXXXXX, last audio FIFO over/underflow period is indeterminate
0x79	0xXX (read only)	AUDOU = X, audio FIFO over/underflow is indeterminate RESERVED = 0000XXXX
0x7B	0x00	LUTADDR = 00000000, LUT start address is 0x00
0x7C	0x00	RESERVED = 0000 LUTPROG = 0, LUT write/read disabled BLULUTEN = 0, blue LUT disabled GRNLUTEN = 0, green LUT disabled REDLUTEN = 0, red LUT disabled
0x7D	0x00	REDLUT = 00000000, red LUT value at LUT address is 0x00
0x7E	0x00	GREENLUT = 00000000, green LUT value at LUT address is 0x00
0x7F	0x00	BLUELUT = 00000000, blue LUT value at LUT address is 0x00
0x80 to 0x84	0XXXXXXXXXXXX (read only)	BKSV = 0XXXXXXXXXXXX, HDCP receiver KSV is 0XXXXXXXXXXXX
0x85, 0x86	0XXXXX (read only)	RI' = 0XXXXX, RI' of the transmitter is 0XXXXX
0x87	0XXX (read only)	PJ' = 0XXXXX, PJ' of the transmitter is 0XXX
0x88 to 0x8F	0x00000000 00000000	AN = 0000000000000000, session random number is 0000000000000000
0x90 to 0x94	0x00000000 00000000	AKSV = 0x0000000000, HDCP transmitter KSV is 0x0000000000000000

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表1. 寄存器默认上电设置(见表26和表27) (续)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x95	0x00	PD_HDCP = 0, HDCP circuits powered up RESERVED = 000 GPIO1_FUNCTION = 0, normal GPIO1 function GPIO0_FUNCTION = 0, normal GPIO0 function AUTH_STARTED = 0, HDCP authentication not started ENCRYPTION_ENABLE = 0, HDCP encryption disabled
0x96	0x00	RESERVED = 000000 NEW_DEV_CONN = 0, no new devices connected KSV_LIST_READY = 0, KSV list is not ready
0x97	0x00	RESERVED = 0000000 REPEATER = 0, HDCP receiver is not a repeater
0x98 to 0x9F	0x00000000 00000000 (read only)	RESERVED = 0x0000000000000000
0xA0 to 0xA3	0XXXXXXXXX (read only)	H0 part of SHA-1 hash value is 0XXXXXXXXX
0xA4 to 0xA7	0XXXXXXXXX (read only)	H1 part of SHA-1 hash value is 0XXXXXXXXX
0xA8 to 0xAB	0XXXXXXXXX (read only)	H2 part of SHA-1 hash value is 0XXXXXXXXX
0xAC to 0xAF	0XXXXXXXXX (read only)	H3 part of SHA-1 hash value is 0XXXXXXXXX
0xB0 to 0xB3	0XXXXXXXXX (read only)	H4 part of SHA-1 hash value is 0XXXXXXXXX
0xB4	0x00	Reserved = 0000 MAX_CASCADE_EXCEEDED = 0, 7 or fewer cascaded HDCP devices attached DEPTH = 000, device cascade depth is zero
0xB5	0x00	MAX_DEVS_EXCEEDED = 0, 14 or fewer HDCP devices attached DEVICE_COUNT = 0000000, zero attached devices
0xB6	0x00	GPMEM = 00000000, 0x00 stored in general-purpose memory
0xB7 to 0xB9	0x000000 (read only)	Reserved = 0x000000
0xBA to 0xFF	All zero	KSV_LIST = all zero, no KSVs stored

X = Indeterminate.

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表2. 器件默认地址(寄存器0x00、0x01)

PIN				DEVICE ADDRESS (BIN)								SERIALIZER DEVICE ADDRESS (hex)	DESERIALIZER DEVICE ADDRESS (hex)
CX/TP**	ADD2	ADD1	ADD0	D7	D6	D5	D4	D3	D2	D1	D0		
High/Low	Low	Low	Low	1	0	0	X*	0	0	0	RW	80	90
High/Low	Low	Low	High	1	0	0	X*	0	1	0	R/W	84	94
High/Low	Low	High	Low	1	0	0	X*	1	0	0	R/W	88	98
High/Low	Low	High	High	0	1	0	X*	0	1	0	R/W	44	54
High/Low	High	Low	Low	1	1	0	X*	0	0	0	R/W	C0	D0
High/Low	High	Low	High	1	1	0	X*	0	1	0	R/W	C4	D4
High/Low	High	High	Low	1	1	0	X*	1	0	0	R/W	C8	D8
High/Low	High	High	High	0	1	0	X*	1	0	0	R/W	48	58
Open	Low	Low	Low	1	0	0	X*	0	0	X*	R/W	80	92
Open	Low	Low	High	1	0	0	X*	0	1	X*	R/W	84	96
Open	Low	High	Low	1	0	0	X*	1	0	X*	R/W	88	9A
Open	Low	High	High	0	1	0	X*	0	1	X*	R/W	44	56
Open	High	Low	Low	1	1	0	X*	0	0	X*	R/W	C0	D2
Open	High	Low	High	1	1	0	X*	0	1	X*	R/W	C4	D6
Open	High	High	Low	1	1	0	X*	1	0	X*	R/W	C8	DA
Open	High	High	High	0	1	0	X*	1	0	X*	R/W	48	5A

* X = 0表示串行器地址，X = 1表示解串器地址。

** CX/TP决定串行电缆类型，CX/TP = open的地址仅适用于同轴电缆模式。

输出位映射

输出位宽取决于总线宽度(BWS)引脚的设置，表3列出了位映射。未使用的输出位拉低。

串行链路信号和数据格式

串行器使用差分CML信号驱动双绞线电缆，使用单端CML驱动同轴电缆，可编程预加重/去加重，交流耦合；解串器采用交流耦合，提供可编程通道均衡。

对输入数据加入扰码，然后进行8b/10b编码(宽带模式下为9b/10b)。解串器恢复嵌入的串行时钟，然后对数据进行采样、解码和解串。24位模式下，前21位包含视频数据；32位模式下，前29位包含视频数据；宽带模式下，前24位包含视频数据，或者特殊控制信号数据包。后3位包含嵌入的音频通道、嵌入的正向控制通道、串行字的奇偶校验位(表12、表13)。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表3. 输出映射

SIGNAL	OUTPUT PIN	MODE		
		24-BIT MODE (BWS = LOW)	HIGH-BANDWIDTH MODE (BWS = MID)	32-BIT MODE (BWS = HIGH)
R[5:0]	DOUT[5:0]	Used	Used	Used
G[5:0]	DOUT [11:6]	Used	Used	Used
B[5:0]	DOUT [17:12]	Used	Used	Used
HS, VS, DE	DOUT18/HS, DOUT19/VS, DOUT20/DE	Used**	Used**	Used**
R[7:6]	DOUT [22:21]	Used+	Used	Used
G[7:6]	DOUT [24:23]	Used+	Used	Used
B[7:6]	DOUT [26:25]	Used+	Used	Used
CNTL[2:1]	DOUT [28:27]/CNTL[2:1]	Not used	Used*,**	Used**
CNTL3, CNTL0	CNTL3/ADD1, CNTL0/ADD0	Not used	Used*,**	Not used
I2S/TDM	WS, SCK, SD/HIM	Used	Used	Used
AUX SIGNAL		Used	Used	Used

* 关于时序要求的详细信息请参见**宽带模式**部分。

+ 只有使能相应的颜色查找表时才使用输出。

** 使能HDCP时不加密(仅限MAX9280)。

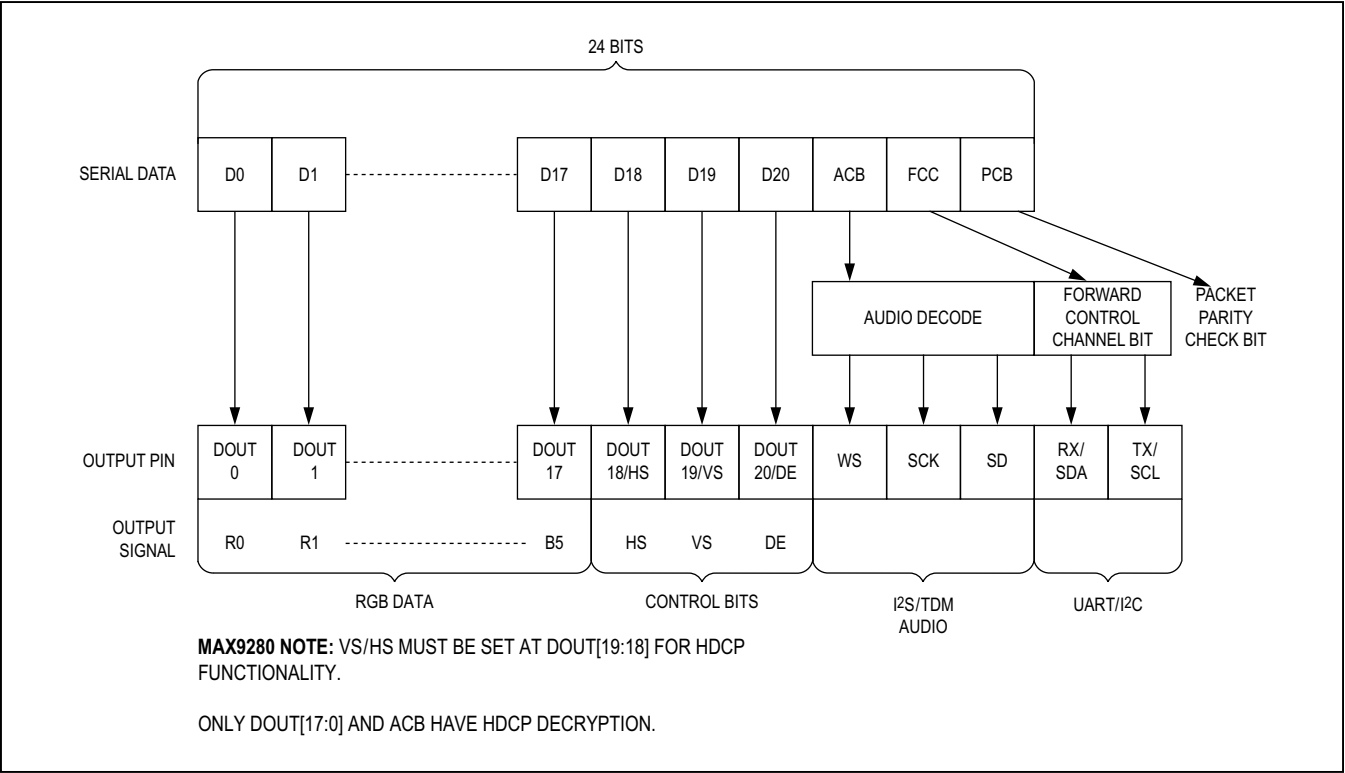


图12. 24位模式串行数据格式

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

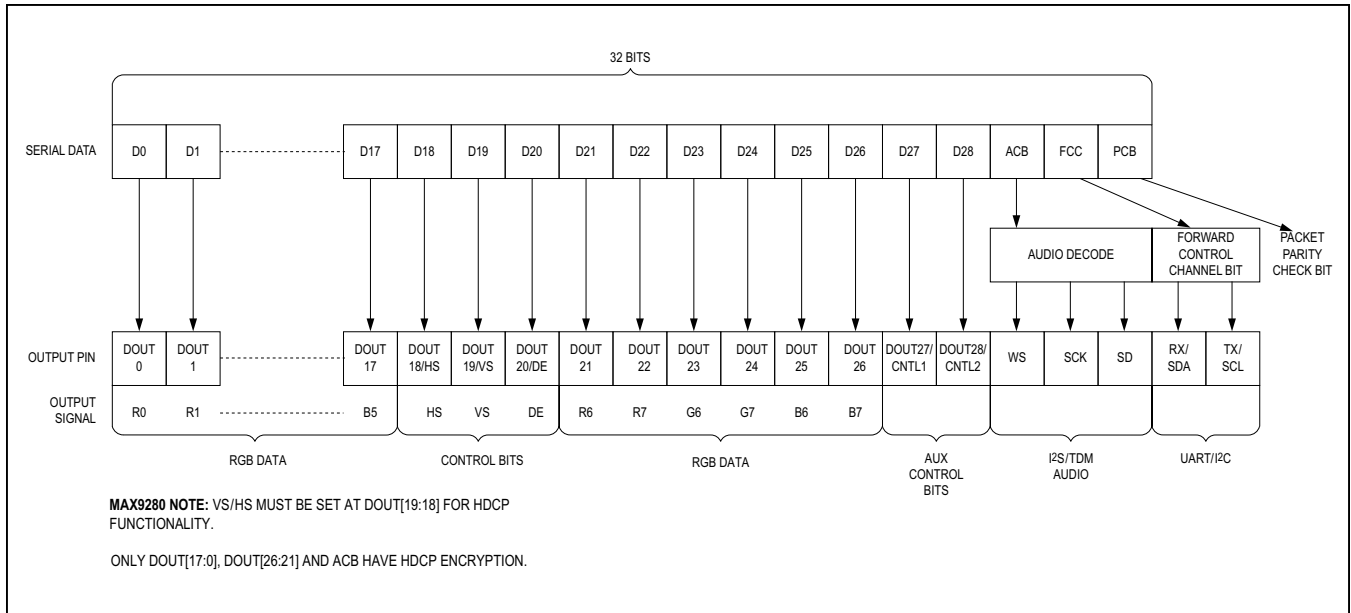


图13. 32位模式串行数据格式

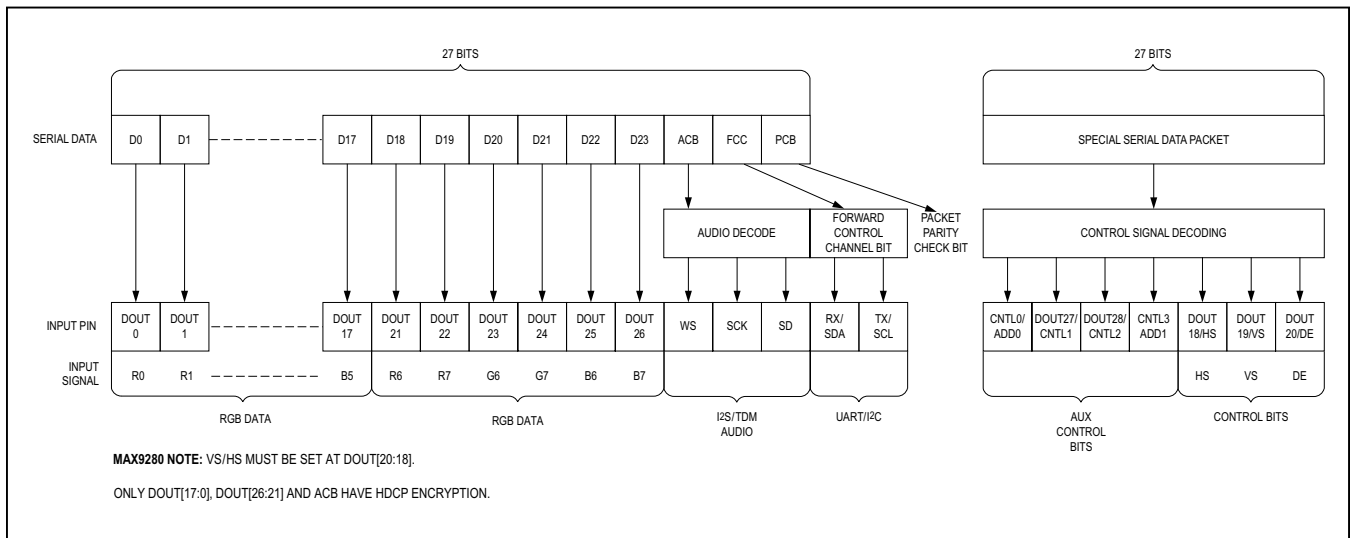


图14. 宽带模式串行数据格式

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表4. 数据率选择表

DRS BIT SETTING	BWS PIN SETTING	PCLKOUT RANGE (MHz)
0 (high data rate)	Low (24-bit mode)	16.66 to 104
	Mid (high bandwidth mode)	36.66 to 104
	High (32-bit mode)	12.5 to 78
1 (low data rate)	Low	8.33 to 16.66
	Mid	18.33 to 36.66
	High	6.25 to 12.5

解串器使用DRS位和BWS输入设置PCLKOUT的频率范围(表4)。DRS = 1时为低数据率，PCLKOUT频率范围为6.25MHz至16.66MHz；DRS = 0时为高数据率，PCLKOUT频率范围为12.5MHz至104MHz。

宽带模式

解串器使用27位宽带模式支持24位RGB，像素时钟为104MHz。将串行器和解串器中的BWS均设为开路，使用宽带模式。宽带模式下，解串器解串特殊数据包中的HS、VS、DE和CNTL[3:0]。通过代替HS、VS和DE信号的上升沿之前和下降沿之后的一个像素发送数据包。然而，对于CNTL[3:0]，数据包总是代替CNTL[3:0]跳变之前的像素。在至少丢失2个像素期间，保持HS、VS和DE为低电平。默认设置下，DE为低电平时，连续采样CNTL[3:0]；DE为高电平时，仅在HS/VS跳变时采样CNTL[3:0]。如果不需要编码数据包的DE触发，将串行器的DISDETRIG置0，将CNTLTRIG位设置为相应值(寄存器0x15)，以更改CNTL触发动作。当DE为非周期性时，将解串器的DETREN置0。

音频通道

音频通道支持8kHz至192kHz音频采样率，音频字长从8位至32位(2通道I²S)或64至256位(TDM64至TDM256)。音频位时钟(SCK)不必与PCLKOUT同步。串行器自动将音频数据编码为单比特流，与PCLKOUT同步；解串器解串音频流并将音频字储存在FIFO中；音频数据率检测功能利用内

部振荡器连续确定音频数据率，并以I²S格式输出音频。默认使能音频通道；禁用音频通道时，SD/HIM作为辅助控制信号。

由于通过串行链路发送的音频数据与PCLKOUT同步，所以较低PCLKOUT频率限制了最大音频采样率，表4列出了不同PCLKOUT频率下的最大音频采样率。扩频设置不影响I²S/TDM数据率或WS时钟频率。

音频通道输入

音频通道输入支持8通道TDM和立体声I²S，以及非标准格式，输入格式如图15所示。

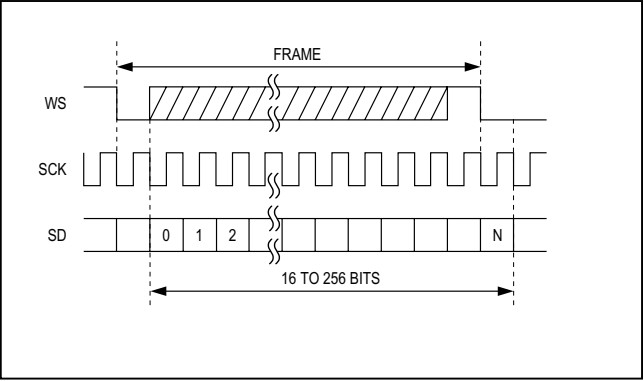


图15. 音频通道输入格式

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表5. 各种PCLKOUT频率下的最大音频WS频率(kHz)

CHANNELS	BITS PER CHANNEL	PCLKOUT FREQUENCY (DRS = 0*) (MHz)										
		12.5	15.0	16.6	20.0	25.0	30.0	35.0	40.0	45.0	50.0	100
2	8	+	+	+	+	+	+	+	+	+	+	+
	16	+	+	+	+	+	+	+	+	+	+	+
	18	185.5	+	+	+	+	+	+	+	+	+	+
	20	174.6	+	+	+	+	+	+	+	+	+	+
	24	152.2	182.7	+	+	+	+	+	+	+	+	+
	32	123.7	148.4	164.3	+	+	+	+	+	+	+	+
4	8	+	+	+	+	+	+	+	+	+	+	+
	16	123.7	148.4	164.3	+	+	+	+	+	+	+	+
	18	112.0	134.4	148.8	179.2	+	+	+	+	+	+	+
	20	104.2	125.0	138.3	166.7	+	+	+	+	+	+	+
	24	88.6	106.3	117.7	141.8	177.2	+	+	+	+	+	+
	32	69.9	83.8	92.8	111.8	139.7	167.6	+	+	+	+	+
6	8	152.2	182.7	+	+	+	+	+	+	+	+	+
	16	88.6	106.3	117.7	141.8	177.2	+	+	+	+	+	+
	18	80.2	93.3	106.6	128.4	160.5	+	+	+	+	+	+
	20	73.3	88.0	97.3	117.3	146.6	175.9	+	+	+	+	+
	24	62.5	75.0	83.0	100	125	150	175	+	+	+	+
	32	48.3	57.9	64.1	77.2	96.5	115.9	135.2	154.5	173.8	+	+
8	8	123.7	148.4	164.3	+	+	+	+	+	+	+	+
	16	69.9	83.8	92.8	111.8	139.7	167.6	+	+	+	+	+
	18	62.5	75.0	83.0	100.0	125.0	150.0	175.0	+	+	+	+
	20	57.1	68.5	75.8	91.3	114.2	137.0	159.9	182.7	+	+	+
	24	48.3	57.9	64.1	77.2	96.5	115.9	135.2	154.5	173.8	+	+
	32	37.1	44.5	49.3	59.4	74.2	89.1	103.9	118.8	133.6	148.4	+

COLOR CODING
< 48kHz
48kHz to 96kHz
96kHz to 192kHz
> 192kHz

+ 最大WS频率大于192kHz。

* DRS = 0时的PCLKOUT频率为DRS = 1时PCLKOUT频率的2倍。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

WS的周期可为8至256个SCK周期。WS帧从下降沿开始，可在1至255个SCK周期内保持为低电平。SD为一个SCK周期，在上升沿采样。MSB/LSB顺序、补零或赋予串行数据

的其它意义不影响音频通道工作。WS和SCK沿的极性可设置。

图16、图17、图18和图19为支持的输入格式的示例。

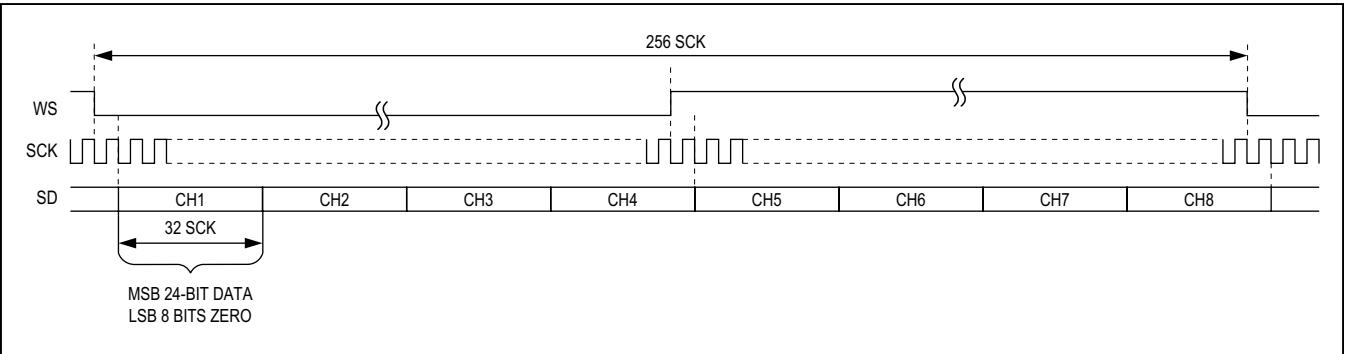


图16. 8通道TDM (24位采样，补零)

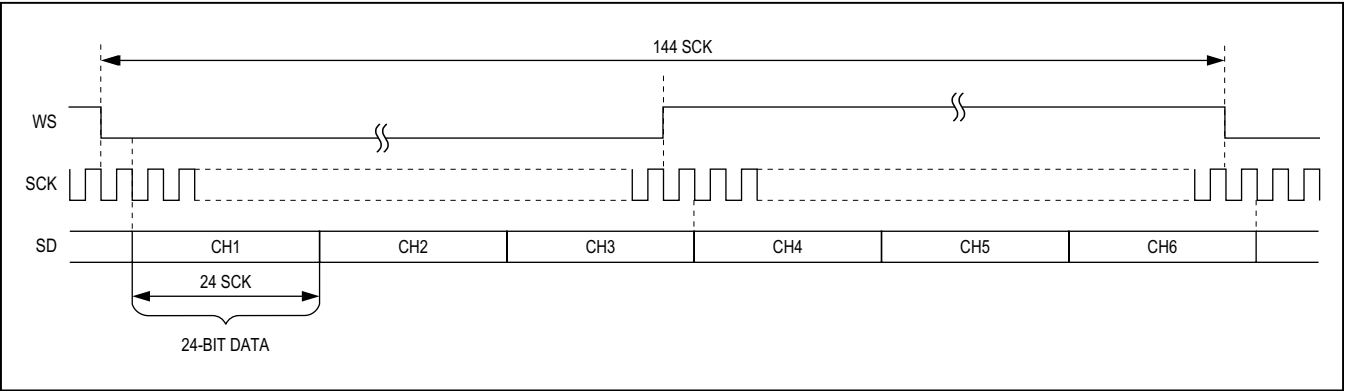


图17. 6通道TDM (24位采样，无补零)

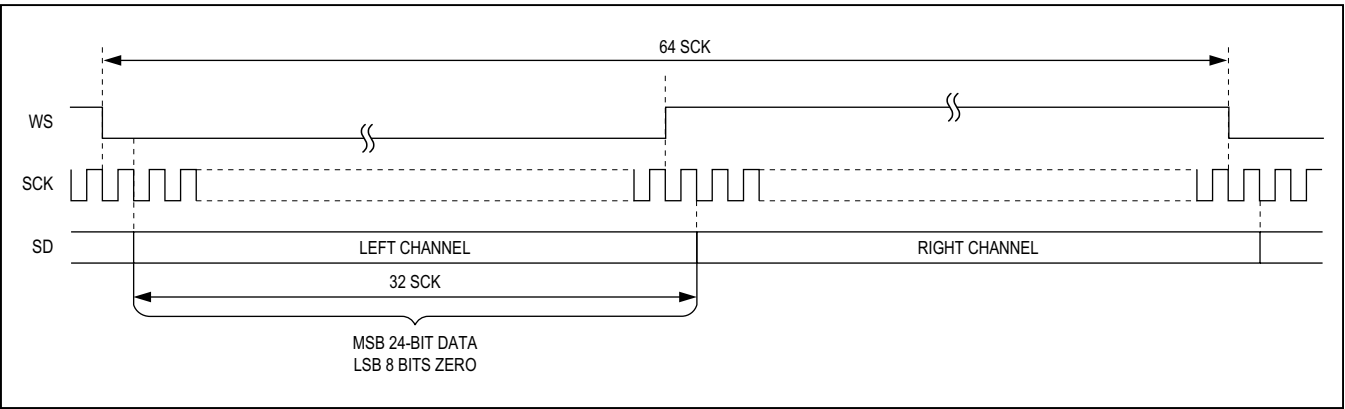


图18. 立体声I2S (24位采样，补零)

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

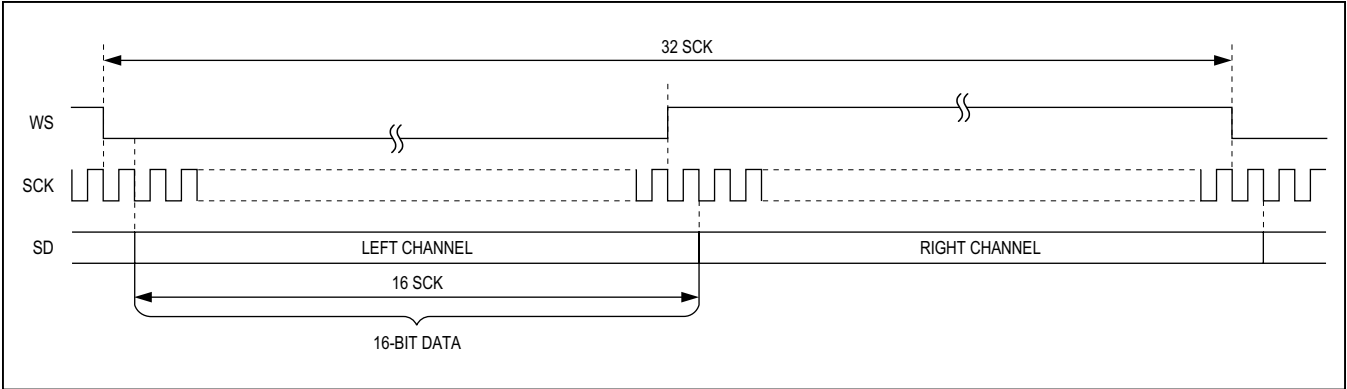


图19. 立体声I2S (16位采样，无补零)

音频通道输出

WS、SCK和SD以输入时的相同时序关系输出，但WS的占空比始终为50%(与WS在输入时的占空比无关)。

输出格式如图20所示。

WS和SCK可由音频源(时钟主机)或音频接收器(时钟从机)驱动。音频接收器可作为时钟从机，通过I²C使用缓冲器下溢和上溢标识以调整时钟频率。在上升沿采样数据，WS和SCK的极性可设置。

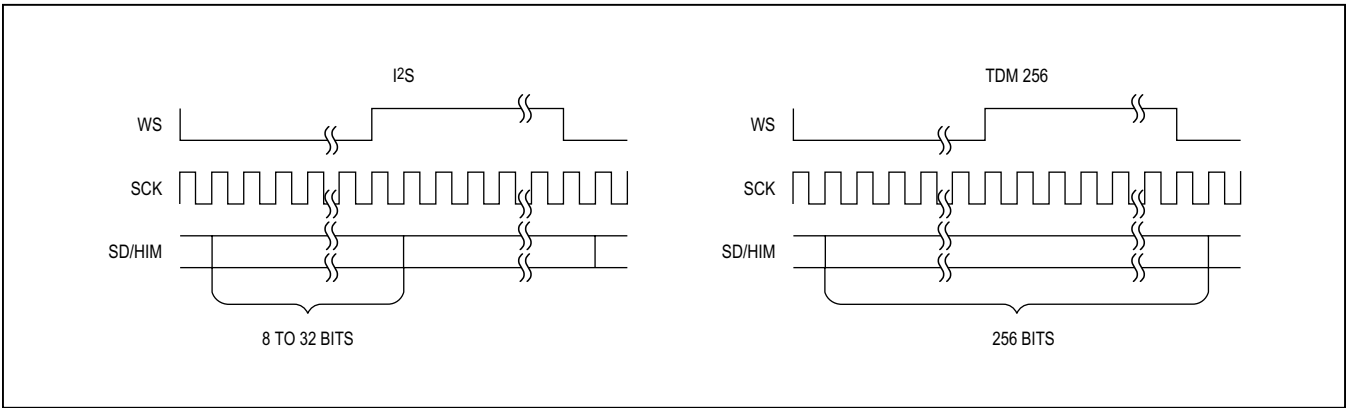


图20. 音频通道输出格式

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

音频应用的附加MCLK输出

有些音频DAC,例如MAX9850,不要求同步主时钟(MCLK),而有些DAC则要求使用独立的MCLK才能工作。对于不直接使用WS或PCLKOUT的音频应用,解串器通过DOUT28/CNTL2或CNTL0/ADD0(由MCLKPIN位的设置决定)提供分频MCLK输出,但需要占用一根控制线。MCLK默认关闭。将MCLKDIV(解串器寄存器0x12, D[6:0])设为非零值时,使能MCLK输出;将MCLKDIV设为0x00时,禁止MCLK,将DOUT28/CNTL2或CNTL0/ADD0设置为控制输出。

输出MCLK频率为:

$$f_{MCLK} = \frac{f_{SRC}}{MCLKDIV}$$

式中:

f_{SRC} 为MCLK源频率(见表6)。

MCLKDIV为分频比,从1至127。

选择MCLKDIV值,使 f_{MCLK} 不大于60MHz。从PCLKOUT(MCLKSRC = 0)得到的MCLK频率不受解串器中扩频设置的影响;然而,使能串行器扩频则将扩频引入至MCLK。任一器件的扩频设置均不影响从内部振荡器得到的MCLK频率。在任何过程和工作条件下,内部振荡器频率范围为100MHz至150MHz。也可以设置MCLKWS = 1 (0x15 D1),从MCLK输出WS。

表6. f_{SRC} 设置

MCLKWS SETTING (REGISTER 0x15, D1)	MCLKSRC SETTING (REGISTER 0x12, D7)	DATA RATE SETTING	BIT-WIDTH SETTING	MCLK SOURCE FREQUENCY (f_{SRC})
0	0	High speed (DRS = 0)	24-bit or high-bandwidth mode	3 x f_{CLKOUT}
			32-bit mode	4 x f_{CLKOUT}
	1	Low speed (DRS = 1)	24-bit or high-bandwidth mode	6 x f_{CLKOUT}
			32-bit mode	8 x f_{CLKOUT}
	1	—	—	Internal oscillator (120MHz typ)
1	—	—	—	WS*

* 使用WS作为MCLK源时, MCLK不分频。MCLK分频器必须仍然设为非零值, 才能使能MCLK。

音频输出时钟源

解串器具有多种音频数据输出时钟选项。默认设置下,解串器根据输入数据率(通过FIFO)和内部振荡器提供输出时钟。

为使用系统提供的时钟,将AUDIOMODE位置1(寄存器0x02的D5),WS和SCK置为解串器端输入。解串器使用FIFO消除输入和输出音频定时的差异。寄存器0x78和0x79储存FIFO上溢/下溢信息,用于外部WS/SCK定时。FIFO上溢时,FIFO丢失数据包;默认设置下,无音频数据可用时,FIFO重复下溢期间的最后一个音频数据包。将AUDUFBEH位(寄存器0x01D的D2)置1时,下溢期间输出全零。

反向控制通道

串行器使用反向控制通道接收来自解串器的I²C/UART和GPO信号,与视频流方向相反。反向控制通道和正向视频数据共存于同一对串行电缆,形成双向链路。反向控制通道与正向控制通道的工作相互独立。上电后2ms,可以使用反向控制通道。启动/停止正向串行链路后,串行器将反向控制通道临时关闭500μs。

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

控制通道和寄存器编程

提供控制通道，使μC能够通过串行链路与高速数据一起发送、接收控制数据。μC从串行器或解串器一侧控制链路，支持视频显示或图像传感器应用。μC和串行器或解串器之间的控制通道工作在基本模式或旁路模式，取决于μC连接器件的模式选择(MS)输入。基本模式为半双工控制通道，旁路模式为全双工控制通道。从一个器件的输入到另一器件的输出，正向或反向控制通道的总延时为2μs (UART)或2位的时间(I²C)。I²C延时从START条件至START条件进行测量。

UART接口

基本模式下，μC为主机，可从链路的任一侧使用GMSL UART协议存取串行器和解串器的寄存器。μC也可通过向串行器或解串器发送UART包配置远端外设，UART包由链路远端侧的器件转换为I²C。μC在基本模式下与UART外设通信(通过INTTYPE寄存器设置)，采用串行器/解串器的半双工、默认GMSL UART协议。可编程串行器和解串器在基本模式下的器件地址，

外设接口为I²C时，串行器/解串器将UART包转换为I²C，器件地址不同于串行器或解串器地址。转换得到的I²C码率与原始UART码率相同。

解串器采用差分线路编码，通过反向通道将信号传送到串行器。控制通道的双向码率均为9.6kbps至1Mbps。基本模式下，串行器和解串器自动检测控制通道码率。可根据步长调整数据包码率，使其高于或低于原码率3.5倍。关于改变控制通道码率的更多信息，请参考[更改时钟频率](#)部分。

图21所示为基本模式下，μC和串行器/解串器之间进行读、写操作的UART协议。

图22所示为UART数据格式，图23和图24所示为SYNC字节(0x79)和ACK字节(0xC3)格式。μC与所连接的从机器件分别产生SYNC字节和ACK字节。μC将忽略控制通道产生的器件唤醒、GPI等事件跳变。写入解串器的数据在发送应答字节后才生效，使得μC能够验证成功接收到的写命令，即使写命令的结果直接影响串行链路。从机利用SYNC字节与主机的UART数据率同步。通过控制通道传输信息时，如果串行器的GPI或MS输入发生切换，或者如果发生行错误，将终止控制通道通信。应答数据丢失或延迟(约1ms，由于控制通道超时)时，μC应判断从器件接收数据包时发生错误，或者从器件响应期间发生错误。基本模式下，μC必须将UART Tx/Rx线保持为高电平达16位时间，然后才能开始发送新数据包。

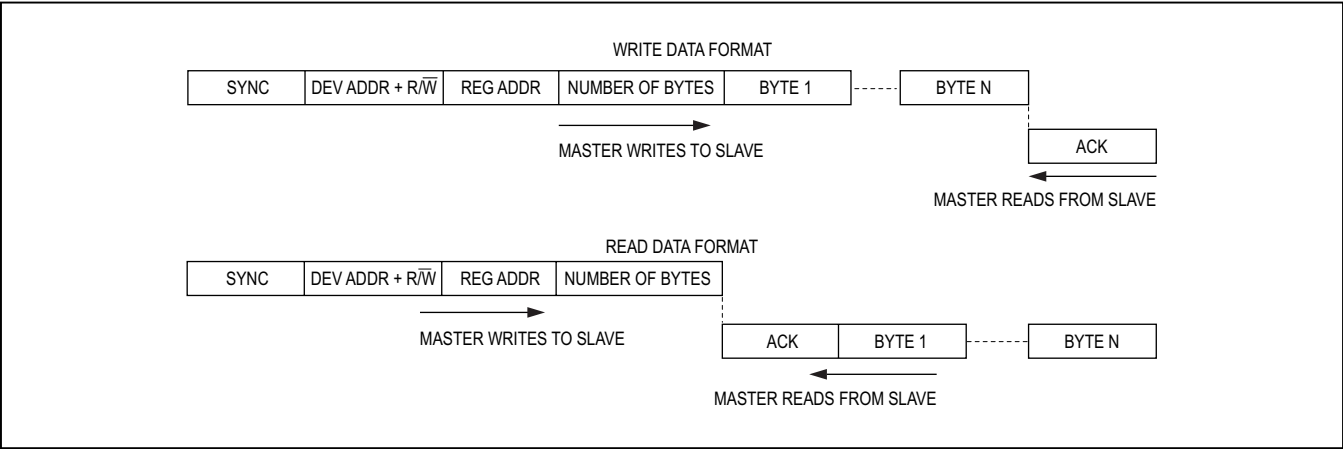


图21. 基本模式下的GMSL UART协议

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

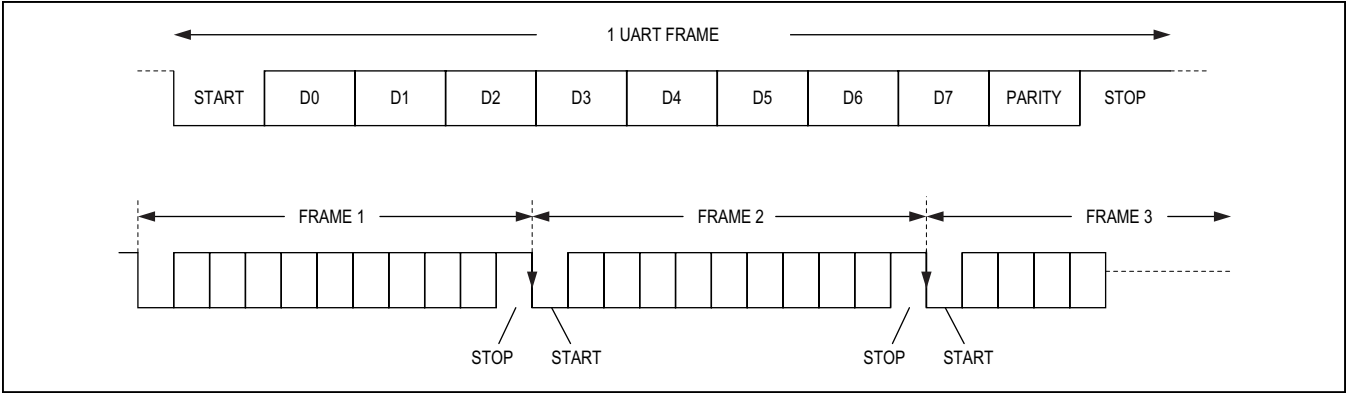


图22. 基本模式下的GMSL UART数据格式

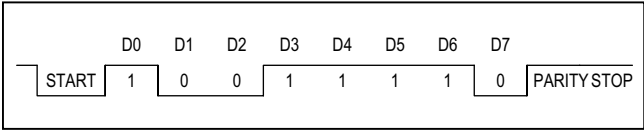


图23. SYNC字节(0x79)

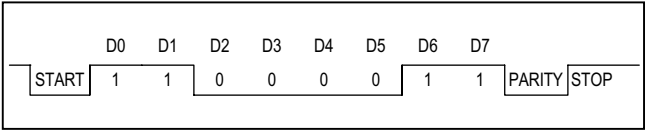


图24. ACK字节(0xC3)

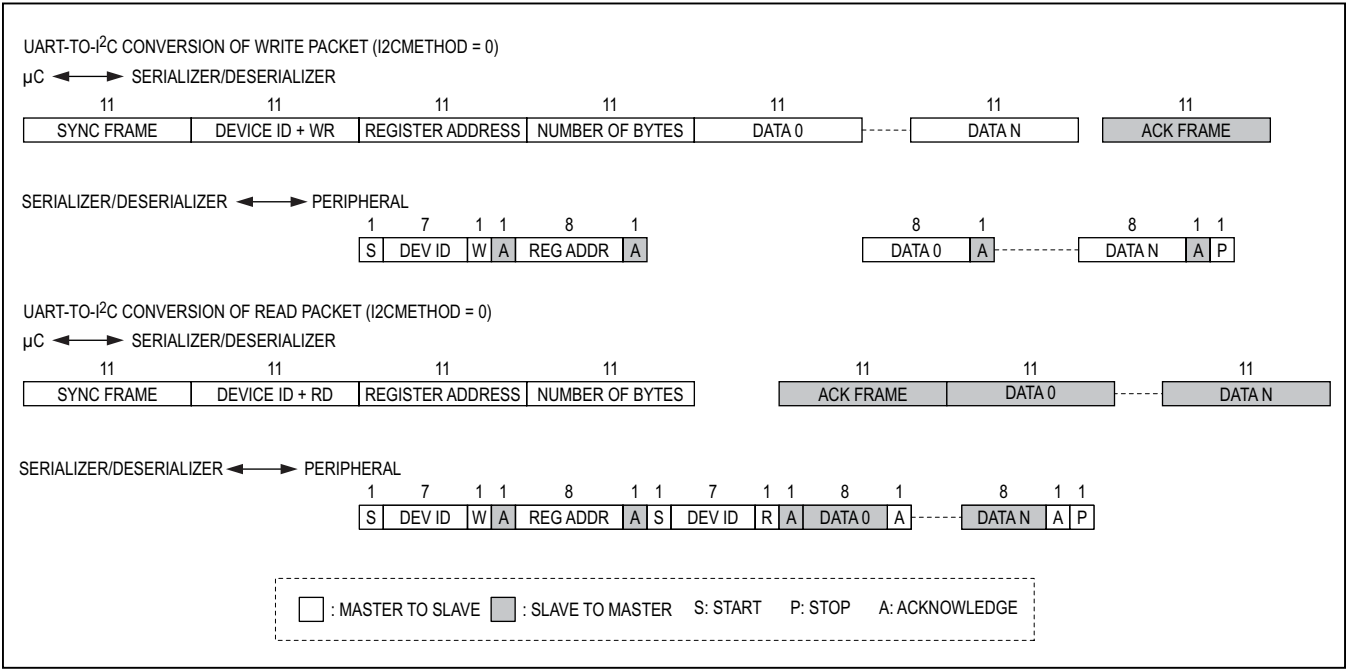


图25. 带有寄存器地址(I2CMETHOD = 0)时，GMSL UART和I²C之间的格式转换

如图25所示，远端器件将发送给外设/来自外设的数据包从UART格式转换成I²C格式，反之亦然。远端器件删除字节

数字段，添加或接收I²C数据字节之间的ACK。I²C码率与原UART码率相同。

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

通过UART连接I2C器件(仅传送命令字节)

解串器的UART-I2C转换器可以连接不需要寄存器地址的器件，例如MAX7324 GPIO扩展器。该模式下，I2C主机忽略寄存器地址字节，直接读/写后续的数据字节(图26)。使用I2CMETHOD位改变I2C主机的通信方法。I2CMETHOD = 1时，设置为命令字节模式；I2CMETHOD = 0时，设置为常规模式，数据流的第一个字节为寄存器地址。

UART旁路模式

旁路模式下，解串器忽略来自μC的UART命令，μC按照其默认的UART协议直接与外设通信。该模式下，μC不能读/

写串行器/解串器的寄存器。由于UART信号通过PCLKOUT进行异步采样，采用UART接口通过正向控制通道读/写外设时，需要处理至少一个PCLKOUT周期的±10ns抖动。MS/HVEN = 高电平时，将控制通道置于旁路模式。对于μC连接至解串器的应用，从MS置为高电平到旁路控制通道有效需要1ms的等待时间；如果μC连接至串行器，切换至旁路模式时没有延时。不要发送长于100μs的逻辑低电平，以确保GPO正常工作。旁路模式下，任何方向均可接受最低10kbps的码率。关于GPI功能限制的详细信息，请参考GPO/GPI控制部分。如果使用GPI控制，控制通道数据码型保持为低电平的时间不应长于100μs。

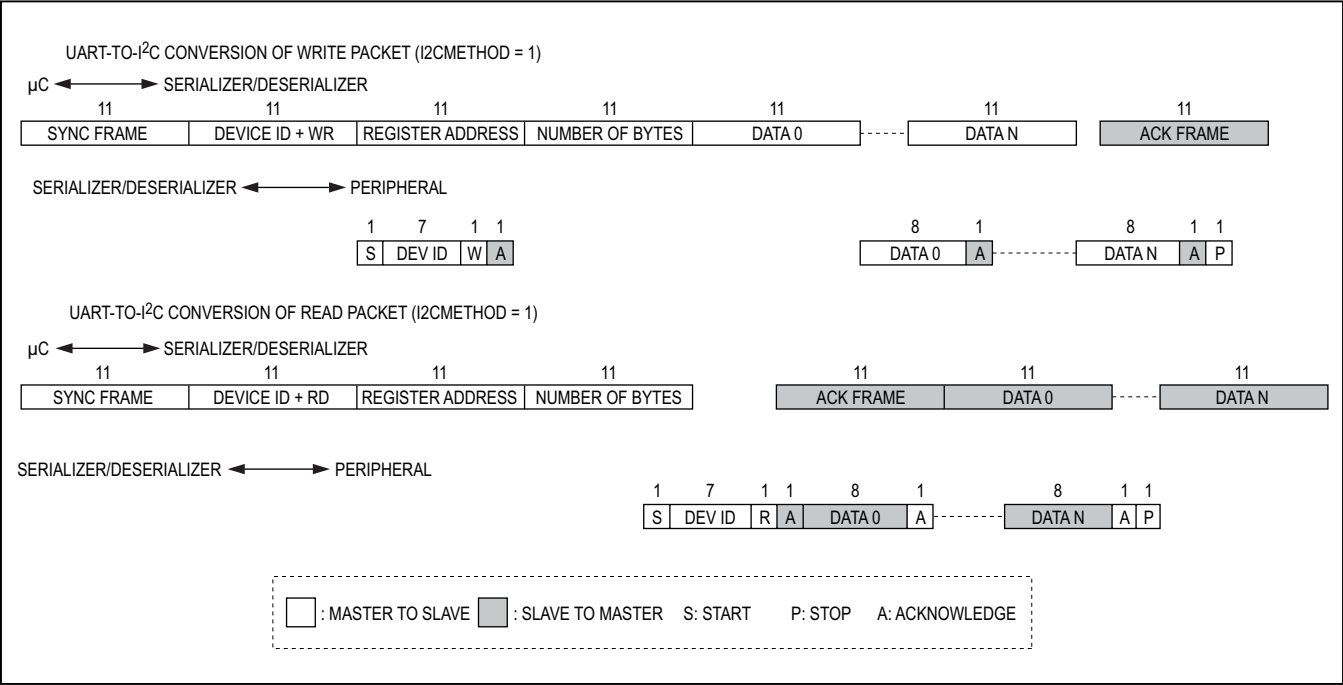


图26. 带有寄存器地址(I2CMETHOD = 1)时，GMSL UART和I2C之间的格式转换

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

I²C接口

I²C至I²C模式下，解串器的控制通道接口通过I²C兼容2线接口发送、接收数据。该接口使用串行数据线(SDA)和串行时钟线(SCL)实现主机与从机之间的双向通信。μC主机启动与器件之间的所有数据传输，并生成用来同步数据传输的SCL时钟。本地器件的控制通道端口启动I²C传输时，远端器件的控制通道端口变为I²C主机，连接远端I²C外设。I²C主机必须接受解串器展宽的时钟(保持SCL为低电平)。SDA和SCL既是输入又是开漏输出，在SDA和SCL端需要接上拉电阻。每次传输包含一个主机发送的START条件(图4)，随后为器件的7位从地址、R/W位、寄存器地址字节、一个或多个数据字节，最后是STOP条件。

START和STOP条件

接口空闲时SCL和SDA均为高。当SCL为高电平时，主机通过将SDA从逻辑高拉至逻辑低电平产生START(S)条件，表示传输开始信号(见 图27)。当主机完成与从机通信后，主机在SCL为高电平时驱动SDA由低电平跳变到高电平，发出一个STOP (P)条件。此时，总线就绪，可进行下一次传输。

位传输

每个时钟脉冲传输一个数据位(图28)，当SCL为高电平时，SDA上的数据必须保持稳定。

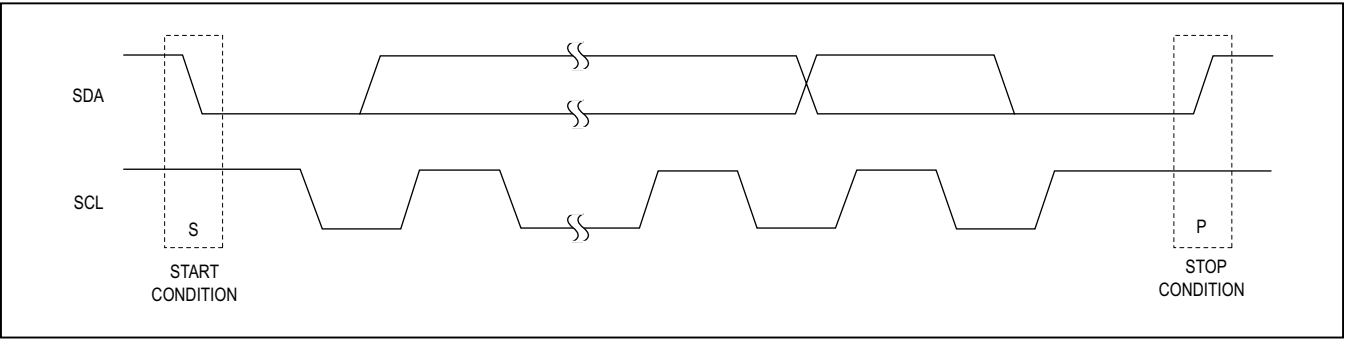


图27. START和STOP条件

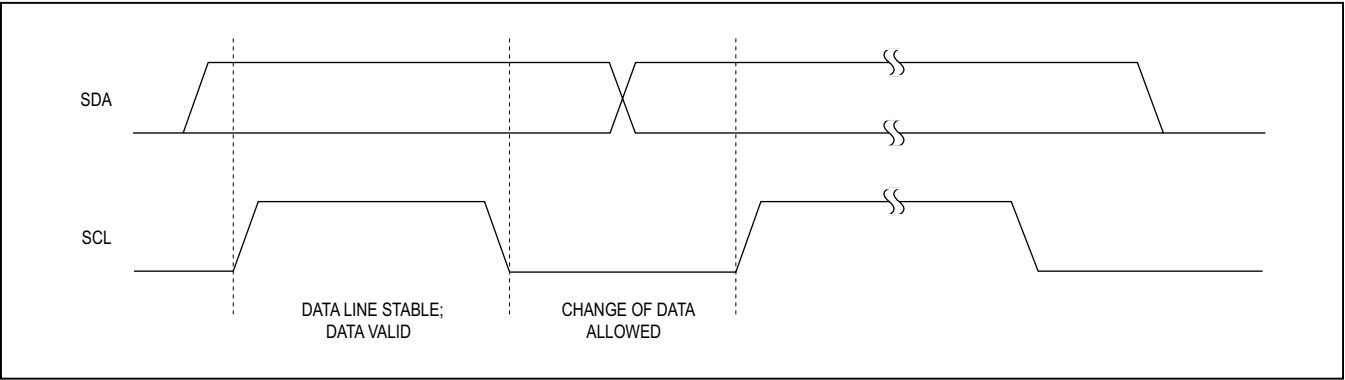


图28. 位传输

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

应答

应答位是第9位数据，由接收方作为每个接收数据字节的握手信号(图29)。因此，每个字节的有效传输需要9位。主机产生第9个时钟脉冲，接收方在应答时钟脉冲期间将SDA拉低。在时钟脉冲为高电平期间，SDA稳定地保持在低电平。主机向从器件发送数据时，由于从器件为接收方，将由从器件产生应答位。从器件向主机发送数据时，由于主机为接收方，将由主机产生应答位。即使正向控制通道没有数据传输，器件也同样产生应答。为了防止正向控制通道没有数据传输时产生应答，须置位I2CLOCKACK。

从地址

解串器具有7位从地址，紧随7位从地址的是R/W位(第8位)，R/W位置低表示写操作，置高表示读操作。读操作时的解串器从地址为XX01XXX1，写操作时为XX01XXX0，请参见图30。

总线复位

器件通过读取I²C START条件复位总线。R/W位置1时，解串器向主机发送数据，主机从从器件读取数据。

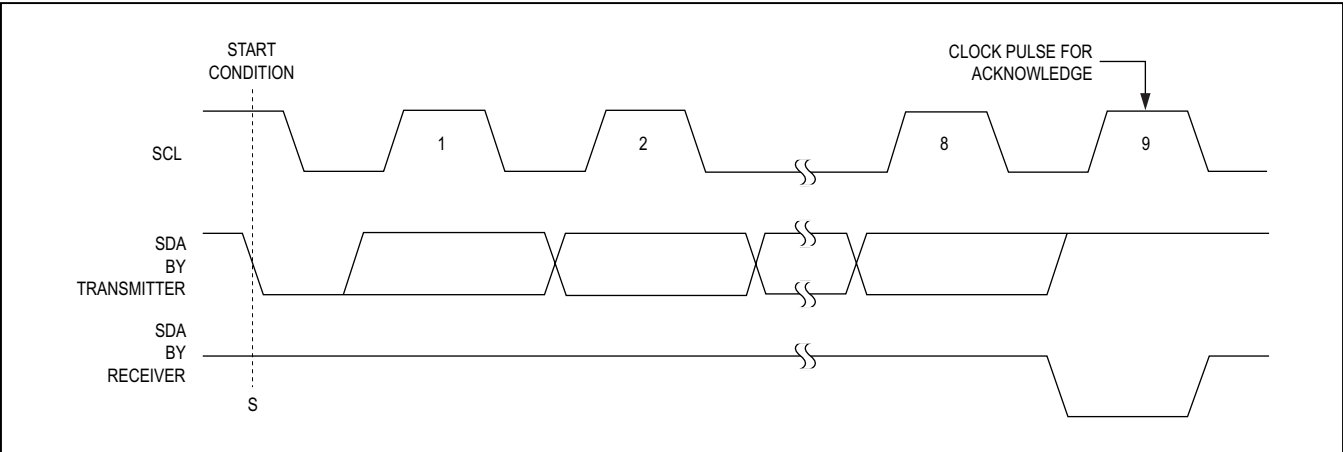


图29. 应答

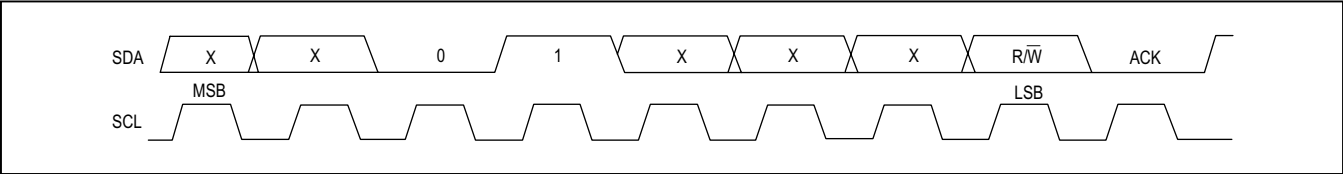


图30. 从地址

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

写操作格式

向解串器写数据时，首先发送器件的从地址，并将R/W位置0，随后至少发送一个字节的的信息。信息的第一字节为寄存器地址或命令字节。寄存器地址决定下个字节(如果接收到的话)写入器件的哪个寄存器。如果在收到寄存器地址后检测到STOP (P)条件，器件除了储存寄存器地址外不

采取其它动作(图31)。寄存器地址字节之后接收的是数据字节。第一个数据字节存储至寄存器地址所选的寄存器，随后的数据字节分别存储在后续的寄存器(图32)。如果在STOP条件之前收到了多个数据字节，这些字节将存储到后续的寄存器，寄存器地址自动递增。

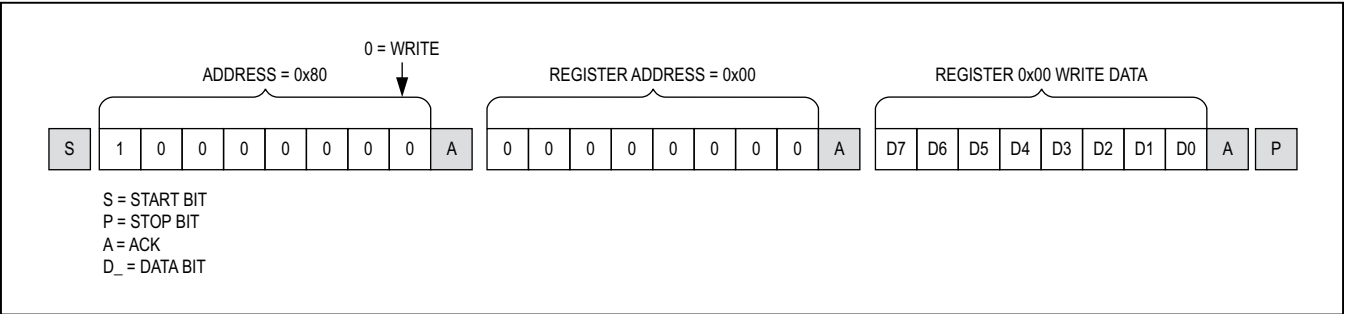


图31. I2C写操作的格式

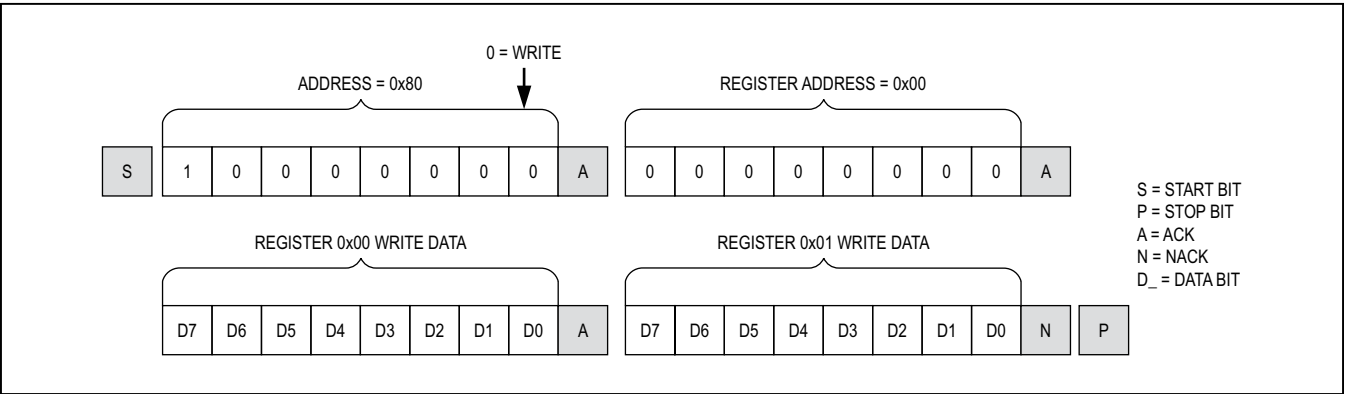


图32. 写多个寄存器的格式

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

读操作格式

读解串器时，内部存储的寄存器地址作为地址指针，按照写操作相同的方式存储寄存器地址、获取地址指针。读取每个数据字节后，指针自动递增，规则和写数据一样。首先通过执行写操作配置寄存器地址，启动读操作(图33)。主机即可从器件连续读取字节，从写入的寄存器地址所指向的寄存器读取第一个数据字节。一旦主机发送NACK，器件将停止发送数据。

与远端器件的I2C通信

解串器支持采用SCL时钟展宽与通信链路上远端的外设进行I2C通信。虽然通信链路的任一端均可有多个主机，但不提供仲裁。连接的主机需要支持SCL时钟展宽。远端I2C码率范围必须根据本地I2C码率进行设置。支持的远端码率请参见表7。通过设置I2CMSTBT(寄存器0x1C)设置远端I2C码率。如果使用400kbps之外的其它码率，应通过设置两

端的I2CSLVSH寄存器设置来调整本地和远端的I2C建立和保持时间。

I2C地址转换

解串器支持多达两个器件地址的I2C地址转换。通过地址转换，利用有限的I2C地址为外设分配唯一的器件地址。源地址(被转换的地址)储存在寄存器0x18和0x1A，目标地址(转换结果地址)储存在寄存器0x19和0x1B。

在有多解串器和/或外设器件连接至这些解串器的多链路环境下，解串器支持广播命令，以控制多个器件。选择一个未使用的器件地址作为广播器件地址。通过设置远端串行器器件将广播器件地址(源地址储存在寄存器0x0F、0x11)转换为外设地址(目标地址储存在寄存器0x10、0x12)。发送至广播地址(选择未使用的地址)的任何命令都送至地址与广播地址相匹配的全部解串器和/或解串器连接的外设器件。

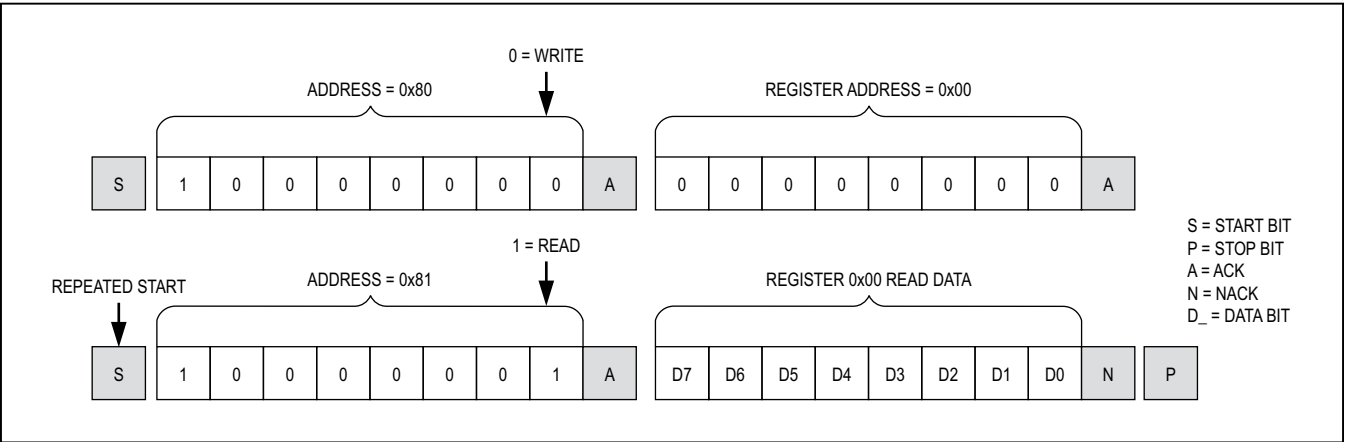


图33. I2C读操作的格式

表7. I2C码率范围

LOCAL BIT RATE	REMOTE BIT RATE RANGE	I2CMSTBT SETTING
f > 50kbps	Up to 1Mbps	ANY
20kbps > f > 50kbps	Up to 400kbps	Up to 110
f < 20kbps	Up to 10kbps	000

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

GPO/GPI控制

串行器上的GPO跟随解串器的GPI跳变。这种GPO/GPI功能可用于环视摄像系统的帧同步信号，GPI至GPO延时为0.35ms (最大值)，须保证GPI两次跳变之间的时间至少为0.35ms，包括来自同轴电缆分配器中其它解串器的跳变。解串器内寄存器0x06的D4位用于储存GPI输入状态，GPO在上电后为低电平。μC可通过写SETGPO寄存器设置GPO。无论工作在基本模式还是旁路模式，不要在解串器RX/SDA输入(UART模式)发送长于100μs的逻辑低电平信号，以确保GPO/GPI工作正常。

表8. 电缆均衡器升压等级

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	10.7 Power-up default
1010	11.7
1011	13

表9. 输出扩频

SS	SPREAD (%)
00	No spread spectrum. Power-up default
01	±2% spread spectrum.
10	No spread spectrum
11	±4% spread spectrum

表10. 调制系数和最大SDIV设置

SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT MOD (DECIMAL)	SDIV UPPER LIMIT (DECIMAL)
4	208	15
2	208	30

线路均衡器

解串器包含一路可调整的线路均衡器，进一步补偿高频信号的电缆衰减。电缆均衡器提供2.1dB至13dB 11级补偿等级选择(表8)。如需选择其它均衡补偿电平，可设置解串器相应的寄存器位(0x05 D[3:0])。在解串器中使用均衡，配合串行器的预加重功能，可以构建最可靠的电缆通信链路。

扩频

为降低串行链路上信号跳变产生的EMI，可以配置解串器扩频输出。如果与MAX9276/MAX9280配对使用的串行器具有可编程扩频功能，不要同时使能两者的扩频，否则将相互抵消频谱扩展的效果。解串器跟踪串行器的扩频并将扩频传输至解串器输出。可编程扩频范围为：±2%和±4% (表9)。

解串器包括锯齿分频器，以控制扩频调制率。自动检测PCLKOUT工作范围，确保扩频调制频率在20kHz至40kHz。此外，手动配置锯齿分频器(SDIV: 0x03, D[5:0])允许用户根据PCLKOUT频率设置调制频率。手动选择范围时，将SDIV设置在20kHz左右的固定调制频率。

手动设置扩频分频器

调制率与PCLKOUT频率的关系如下：

$$f_M = (1 + DRS) \frac{f_{PCLKOUT}}{MOD \times SDIV}$$

式中：

f_M = 调制频率

DRS = DRS值(0或1)

$f_{PCLKOUT}$ = PCLKOUT频率

MOD = 表10中的调制系数

SDIV = 5位SDIV设置，由μC手动设置

为了编程SDIV设置，首先根据所需总线宽度和扩频设置查找调制系数。利用相应的像素时钟和调制频率，解上式中的SDIV。如果计算得到的SDIV值大于表10中允许的最大SDIV值，将SDIV设置为最大值。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

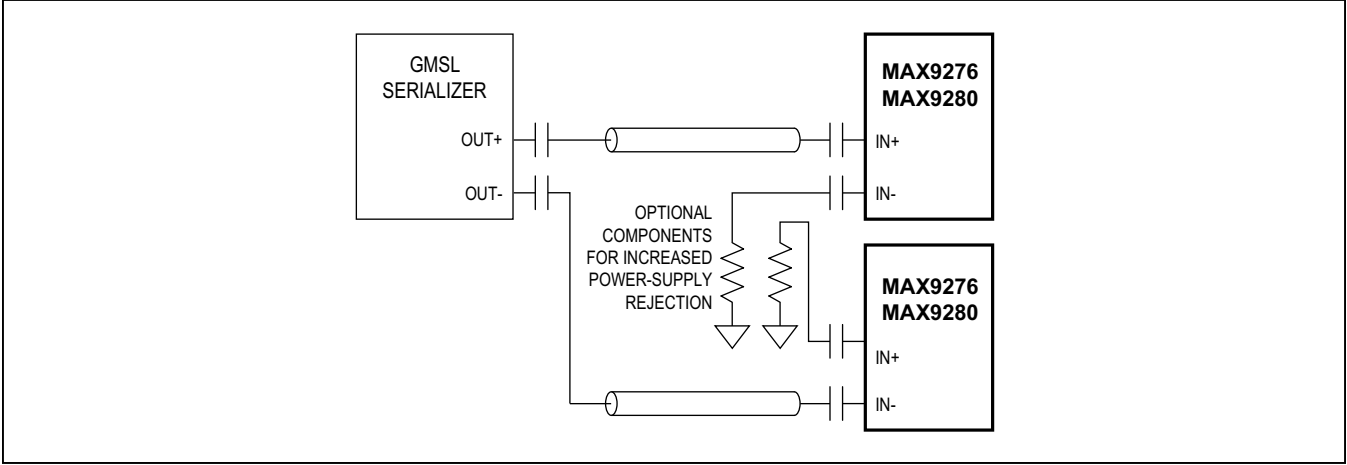


图34. 2:1同轴分配器连接图

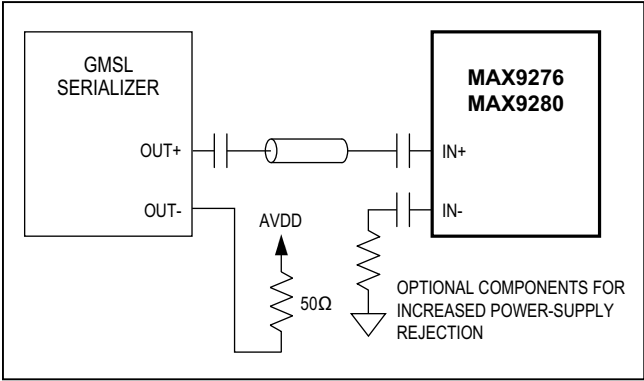


图35. 同轴模式连接图

表11. 配置输入映射

CX/TP	FUNCTION
High	Coax+ input. 7-bit device address is XXXXXX0 (bin).
Mid	Coax- input. 7-bit device address is XXXXXX1 (bin).
Low	Twisted pair input. 7-bit device address is XXXXXX0 (bin).

HS/VS/DE跟踪

解串器具有跟踪功能，以滤除HS/VS/DE位或包错误。器件处于宽带模式(BWS = 开路)时，默认打开HS/VS/DE跟踪功能；器件处于24位或32位模式(BWS = 低电平或高电平)时，默认关闭。置位/清零HVTREN(寄存器0x15的D6)将使

能/禁止HS/VS跟踪；置位/清零DETREN(寄存器0x15的D5)将使能/禁止DE跟踪。默认设置下，器件采用部分和全周期HS/DE跟踪，设置HVTRMODE = 0 (寄存器0x15的D4)禁止全周期跟踪。24位和32位模式下，可将HS/VS/DE跟踪打开，以跟踪、修正HS/VS/DE链路中的误码。

串行输入

器件可以从两类电缆接收数据：100Ω双绞线和50Ω同轴电缆(如需驱动75Ω电缆的串行器，请联系厂商)。

同轴模式分配器

同轴模式下，串行器的OUT+和OUT-有效，并可用作1:2分配器(图34)。同轴模式下，将OUT+连接到解串器的IN+，将OUT-连接到第二个解串器的IN-。控制通道数据从串行器发送到两个解串器及其连接的外设。分配一个唯一的器件地址，可以向其中一个解串器发送控制数据。使所有未使用的IN_引脚浮空，或通过50Ω电阻和一个电容将其连接至地，以提高电源抑制比。如果不使用OUT-，通过50Ω电阻将OUT-连接至AVDD(图35)。当串行器以及每个解串器的位置都配有μC时，某一时刻只能有一个μC进行通信。I²C至I²C模式下，根据通信的解串器连接，关闭正向和反向通道链路，以防冲突。使用ENREVP或ENREVN寄存器位禁止/使能控制通道的链路。UART模式下，串行器对控制通道链路进行仲裁。

电缆类型配置输入

CX/TP确定串行输入的上电状态，采用同轴电缆模式时，CXTTP还结合默认的器件地址确定哪条输入电缆有效(表11)。

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

颜色查找表

解串器包括3个颜色查找表(LUT)，支持自动转换RGB像素值。该功能可用于颜色的 γ 修正、亮度/对比度或其它用途。3个查找表中，每个查找表具有8位宽、256组字节，使8位输入值能够1对1地转换为任意颜色的8位输出值(共24位)。

编程和验证LUT数据

编程和验证查找表之前， μ C必须将LUTPROG寄存器位置1。为编程LUT， μ C产生一个写数据包，寄存器地址设置为相应LUT的寄存器地址(0x7D、0x7E或0x7F)。解串器将数据包中的数据写入相应LUT，从LUTADDR寄存器中设置的LUT地址开始。将数据包的后续字节写入下一LUT地址位置；而每个新数据包从LUTADDR寄存器中储存的地址位置开始写入。写256字节数据块时，由于8位宽的字节数字段不能表示9位宽的“256”数值，所以使用0x00作为LUTADDR，0x00作为字节数字段。I²C至I²C模式下没有字节数字段。

为读回LUT的内容， μ C产生一个读数据包，寄存器地址设置为相应LUT的寄存器地址(0x7D、0x7E或0x7F)。解串器输出从相应LUT读取的数据，从LUT_ADDR寄存器中设置的LUT地址开始。与写操作类似，读取256字节数据块时，使用0x00作为LUTADDR，0x00作为字节数字段。

LUT颜色转换

上电后或者退出休眠或关断模式后，禁止LUT转换，LUT内容未知。编程和验证操作结束后，为了使能LUT转换，将LUTPROG位置0，将相应LUT使能位(RED_LUT_EN、GRN_LUT_EN、BLU_LUT_EN)置1，以使能相应LUT的转换功能。LUT仅转换所选的颜色(接触不到其它颜色)。如果不需要全部3种颜色的转换， μ C不必编程所有三个颜色的查找表。

解串像素后，对其编码和加密(如需要)，安装表12和图36将其分为红、绿、蓝分量。如果使能LUT转换，将每个8位预转换颜色值作为相应LUT表的地址，查找对应的(转换后)8位颜色值。

LUT位宽

32位模式和宽带模式下，颜色数据可使用24位(每种颜色8位)，每个LUT都将用于8位至8位的颜色转换。24位模式下，解串器只能接收18位颜色(每种颜色6位)，LUT表可使用前64个地址(0x00至0x3F)，将6位数值转换为6位值；将每个LUT的2个MSB位设置为00，也可以将每个LUT编程为满8位值，实现6位至8位颜色转换。

表12. 像素数据格式

DOUT [5:0]	DOUT [11:6]	DOUT [17:12]	DOUT 18	DOUT 19	DOUT 20	DOUT [22:21]	DOUT [24:23]	DOUT [26:25]
R[5:0]	G[5:0]	B[5:0]	HS	VS	DE	R[7:6]	G[7:6]	B[7:6]

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

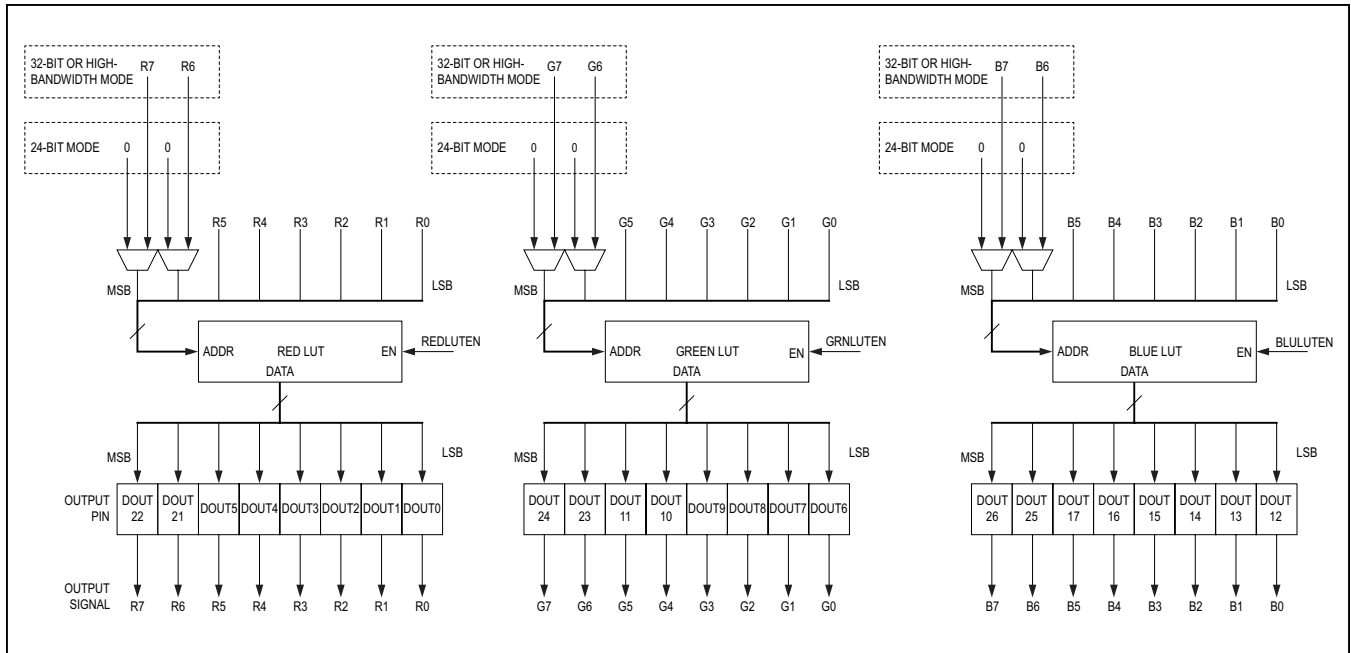


图36. LUT数据流

LUT编程推荐步骤

- 1) 写LUTPROG = 1至寄存器0x7C。保持BLULUTEN = 0、GRNLUTEN = 0、REDLUTEN = 0 (写0x08至寄存器0x7C)。
- 2) 利用一个写数据包写红色LUT内容。对于24位RGB，使用0x7D作为寄存器地址，0x00作为字节数量(仅限UART)，写256个字节；对于18位RGB，使用0x7D作为寄存器地址，0x40作为字节数量(仅限UART)，写64个字节。(可选：如果在每个LUT写数据包之前设置LUTADDR，可使用多个写数据包。)
- 3) 读取红色LUT的内容，验证是否正确。使用的寄存器地址和字节数量同上一步骤。
- 4) 使用0x7E作为寄存器地址，对绿色LUT重复步骤2和3。
- 5) 使用0x7F作为寄存器地址，对蓝色LUT重复步骤2和3。
- 6a) 为结束编程和验证程序，而不使能LUT颜色转换，写LUTPROG = 0 (写0x00至寄存器0x7C)。
- 6b) 为结束编程和验证程序，且使能LUT颜色转换，写LUTPROG = 0、BLULUTEN = 1、GRNLUTEN = 1、REDLUTEN = 1 (写0x07至寄存器0x7C)。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表13. 反向控制通道模式

HIGHIMM BIT OR SD/HIM PIN SETTING	REVFAST BIT	REVERSE CONTROL CHANNEL MODE	MAX UART/ I ² C BIT RATE (kbps)
LOW (1)	X	Legacy reverse control channel mode (compatible with all GMSL devices)	1000
HIGH (1)	0	High-immunity mode	500
	1	Fast high-immunity mode	1000

X = 无关。

表14. 高抗扰性高速模式要求

BWS SETTING	ALLOWED PCLKOUT FREQUENCY (MHz)
Low	> 41.66
High	> 31.25
Open	> 83.33

快速高抗扰性模式要求 $DRS = 0$

高抗扰性反向控制通道模式

解串器具有高抗扰性反向控制通道模式，提高了码率为标准GMSL反向控制通道链路的一半时的可靠性(表13)。将30kΩ电阻连接至串行器GPO/HIM，以及解串器SD/HIM，在上电时使用高抗扰性模式；上电后，将串行器和解串器中的HIGHIMM位置高，在任何时间使能高抗扰性模式；如果将串行器和解串器中的HIGHIMM位置低，则使用传统的反向控制通道模式。通过串行器/解串器的HIGHIMM位设置，分别更改反向控制通道模式之后的500μs/1.92ms内，解串器反向通道模式不可用。用户必须将SD/HIM和GPO/HIM或HIGHIMM位设置为相同值，才能正确进行反向控制通道通信。

高抗扰性模式下，当BWS为低电平或高电平时，如果串行码率[PCLKOUT × 30 (BWS = 低电平或开路)或40 (BWS = 高电平)]大于1Gbps，在均衡器中设置HPFTUNE = 00；BWS开路时，如果串行码率大于2Gbps，设置HPFTUNE = 00。此外，使用47nF交流耦合电容。注意，使用47nF交流耦合电容时，传统反向控制通道模式可能不能正常工作。

默认设置下，高抗扰性模式使用500kbps码率。在串行器和解串器中设置REVFAST = 1 (串行器寄存器0x1A和解串

器寄存器0x11的D7)，使用1Mbps码率。使用高抗扰性、高速模式时，存在一定的限制(表14)。

休眠模式

解串器具有休眠模式，以降低功耗。远端μC可通过控制通道发送命令，使器件进入或退出休眠状态，将SLEEP位置1进入休眠模式。进入休眠模式将复位HDCC寄存器，但不复位配置寄存器。串行链路没有有效数据，或者设置SLEEP = 1之后8ms (无论发生哪个条件)，解串器将进入休眠模式。关于不同μC和启动条件下唤醒器件的详细信息，请参见[链路启动过程](#)部分。

从本地唤醒器件时，可以向解串器发送任意控制通道命令，等待5ms使器件恢复上电，然后向SLEEP寄存器位写0，将永久唤醒器件。从远端唤醒器件时，使能串行器。当解串器从串行链路检测到有效信号时，一旦锁存到有效信号，将自动清零SLEEP寄存器位。

关断模式

解串器具有关断模式，相对于休眠模式，具有更低功耗。将PWDN置为低电平，则进入关断模式。关断模式下，并行输出保持为高阻。进入关断模式时，器件将复位寄存器；退出关断模式时，锁存外部引脚ADD[2:0]、CX/TP、I2CSEL、SD/HIM和BWS的状态。

配置链路

在没有时钟输入的情况下，控制通道可工作在称为配置链路的低速模式，从而允许微处理器在启动视频链路之前设置配置寄存器。内部振荡器为配置链路提供时钟，在串行器上设置CLINKEN = 1使能配置链路。配置链路保持有效，直到使能视频链路。SEREN = 1时，视频链路优先级高于配置链路，并尝试锁定。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

链路启动过程

表15所示为显示应用的启动过程，表16所示为图像检测的启动过程。建立视频链路或配置链路后，可以使用控制通

道。如果解串器在串行器之后启动，控制通道则不可用，需要等待2ms启动时间。

表15. 视频显示的启动过程

NO.	μC	SERIALIZER		DESERIALIZER
		(AUTOSTART ENABLED)	(AUTOSTART DISABLED)	
—	μC connected to serializer	Sets all configuration inputs. If any configuration inputs are available on one end of the link but not the other, always connects that configuration input low.	Sets all configuration inputs. If any configuration inputs are available on one end of the link but not the other, always connects that configuration input low.	Sets all configuration inputs. If any configuration inputs are available on one end of the link but not the other, always connects that configuration input low
1	Powers up	Powers up and loads default settings. Establishes video link when valid PCLK available	Powers up and loads default settings	Powers up and loads default settings. Locks to video link signal if available.
2	Enables serial link by setting SEREN = 1 or configuration link by setting SEREN = 0 and CLINKEN = 1 (if valid PCLK not available) and gets an acknowledge. Waits for link to be establish (~3ms)		Establishes configuration or video link	Locks to configuration or video link signal
3	Writes configuration bits in the serializer/deserializer and gets an acknowledge.	Configuration changed from default settings		Configuration changed from default settings
4	If not already enabled, sets SEREN = 1, gets an acknowledge and waits for video link to be established (~3ms)	Establishes video link when valid PCLK available (if not already enabled)		Locks to video link signal (if not already locked)
5	Begin sending video data to input	Video data serialized and sent across serial link		Video data received and deserialized

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表16. 图像检测应用的启动过程(CDS = 高电平)

NO.	μC	SERIALIZER		DESERIALIZER
		(AUTOSTART ENABLED)	(AUTOSTART DISABLED)	
—	μC connected to deserializer	Sets all configuration inputs	Sets all configuration inputs	Sets all configuration inputs
1	Powers up	Powers up and loads default settings. Establishes video link when valid PCLK available.	Powers up and loads default settings. Goes to sleep after 8ms.	Powers up and loads default settings. Locks to video link signal if available.
2	Writes deserializer configuration bits and gets an acknowledge			Configuration changed from default settings
3	Wakes up the serializer by sending dummy packet, and then writing SLEEP = 0 within 8ms. May not get an acknowledge (or gets a dummy acknowledge) if not locked.		Wakes up	
4	Writes serializer configuration bits. May not get an acknowledge (or gets a dummy acknowledge) if not locked.	Configuration changed from default settings		
5	If not already enabled, sets SEREN = 1, gets an acknowledge and waits for serial link to be established (~3ms)	Establishes video link when valid PCLK available (if not already enabled)		Locks to video link signal (if not already locked)
6	Begin sending video data to input	Video data serialized and sent across serial link		Video data received and deserialized

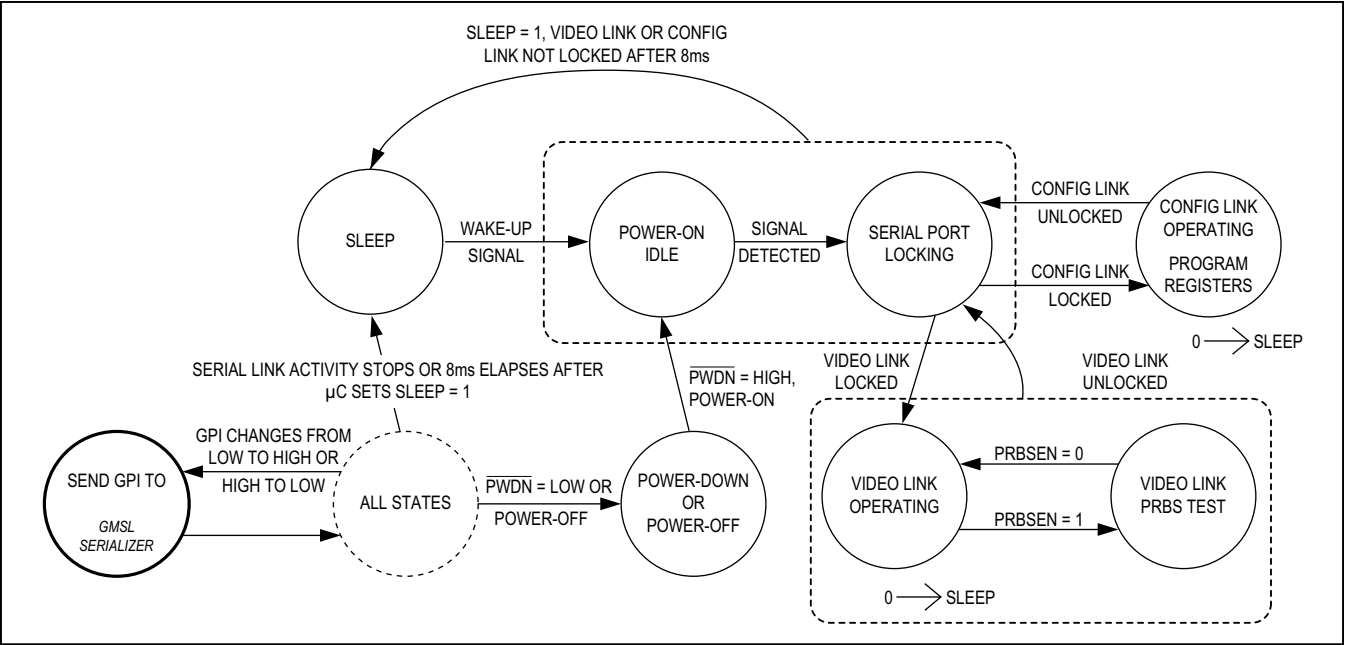


图37. 状态图

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

宽带数字内容保护(HDCP)

注：本数据资料中关于HDCP工作的说明作为一般理解的指导，产品中HDCP的实现必须满足HDCP System v1.3 Amendment for GMSL规范的要求，该规范可从DCP获得。

HDCP主要有两个工作阶段：安全认证和链路完整性检查。 μ C通过写GMSL串行器中的START_AUTHENTICATION位启动安全认证，GMSL串行器产生一个64位随机数。主控 μ C首先从GMSL串行器读取64位随机数并将其写入解串器，然后 μ C读取GMSL串行器公匙选择向量(AKSV)并将其写至解串器， μ C接着读取解串器KSV (BKSV)并将其写入串行器。 μ C开始检查BKSV与撤销清单，GMSL串行器和解串器分别使用密码计算一个16位响应值R0和R0'。GMSL的HDCP修订版中把用于接收器产生R0'的100ms最小等待时间(HDCP规范1.3版规定)减小到128个像素时钟周期。

有两种响应值比较模式：内部比较和 μ C比较。将EN_INT_COMP置1时，选择内部比较模式；将EN_INT_COMP置0时，选择 μ C比较模式。内部比较模式下， μ C读取解串器响应R0'并将其写入GMSL串行器；GMSL串行器将R0'与其内部产生的响应值R0进行比较，然后置位R0_RI_MATCHED。 μ C比较模式下， μ C读取并比较串行器/解串器的R0/R0'值。

产生和比较响应值期间，主控 μ C检查BKSV是否有效(在BKSV_INVALID中设置20个1和20个0)并根据作废清单检查BKSV。如果BKSV不在清单中，且响应值匹配，主机则使链路通过安全认证；如果响应值不匹配， μ C重采样响应值(按照HDCP规范1.3版附录C的说明)。如果重采样失败， μ C通过设置GMSL串行器中的RESET_HDCP位重启安全认证。如果BKSV出现在作废清单中，主机不能发送要求保护的数据。主机知道链路何时通过安全认证并决定何时输出要求保护的数据。 μ C每128帧或每 $2s \pm 0.5s$ 执行一次链路完整性检查。GMSL串行器/解串器每128帧产生一次响应值。这些值在内部进行比较(内部比较模式)或在主控 μ C中进行比较。

此外，GMSL串行器/解串器为增强链路验证提供响应值。增强链路验证是一种可选的链路验证方法，用于快速检测同步丢失。对于该选项，GMSL串行器和解串器每16帧产生8位增强链路验证响应值(PJ和PJ')。主机必须在检测到连续三次PJ/PJ'不匹配后再次采样。

加密使能

GMSL链路传输加密或非加密数据。对于加密数据，主控 μ C设置GMSL串行器和解串器中的加密使能(ENCRYPTION_ENABLE)位。 μ C必须在GMSL串行器和解串器的相同VSYNC周期设置ENCRYPTION_ENABLE位(非两次写操作之间的内部VSYNC下降沿)。清零ENCRYPTION_ENABLE以禁止加密时，也采用相同的时序。

注：ENCRYPTION_ENABLE使能/禁止GMSL加密，与内容无关。为符合HDCP规范， μ C必须防止要求加密的内容通过未加密的GMSL。

μ C必须完成安全认证过程，才能使能加密。此外，开始新的安全认证过程之前，必须禁止加密。

加密同步

视频场同步(VSYNC)与加密起点同步。一旦开始加密，GMSL利用内部VSYNC和HSYNC的下降沿为每帧、每行产生新密匙。重新加密对数据是透明的，不中断视频或音频数据的加密。

中继支持

GMSL串行器/解串器具有构建HDCP中继功能。HDCP中继器接收并解密HDCP内容，然后加密并通过一条或多条下行链路发送，中继器也可使用解密后的HDCP内容(例如在屏幕上显示)。为了支持HDCP中继器安全认证协议，解串器提供了REPEATER寄存器位，该寄存器位必须由 μ C置1(大多数情况位于中继器模块中)。GMSL串行器和解串器均使用SHA-1散列计算(使用编程的KSV列表)。HDCP GMSL链路支持最多15个接收器(总数量包括中继器模块中的接收器)。

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

如果下行接收器数量超过14个，μC必须在编程KSV列表时设置MAX_DEVS_EXCEEDED寄存器位。

HDCP安全认证过程

GMSL串行器产生64位随机数，高于HDCP要求。GMSL串行器/解串器内部一次性编程(OTP)存储器包含唯一的HDCP密钥组，由工厂设置。主控μC发起和控制HDCP安全认证过程。GMSL串行器和解串器产生HDCP安全认证响应值，用于安全认证。对HDCP GMSL加密进行安全认证的过程

如下(详细信息参考HDCP 1.3 Amendment for GMSL)。使能加密时，μC必须执行链路完整性检查(见表18)。任何表明串行器丢失链路同步的事件均应重新触发安全认证。μC必须首先将1写入GMSL串行器的RESET_HDCP位，然后再开始新的安全认证。

HDCP协议汇总

表11、表12和表13中为HDCP协议汇总，这些表仅供参考，需要完全满足GMSL的HDCP修订规范。

表17. 启动、HDCP安全认证及常规工作(解串器不是中继器)——HDCP安全认证协议第一部分

NO.	μC	HDCP GMSL SERIALIZER	HDCP GMSL DESERIALIZER
1	Initial state after power-up.	Powers up waiting for HDCP authentication.	Powers up waiting for HDCP authentication.
2	Makes sure that A/V data not requiring protection (low-value content) is available at the GMSL serializer inputs (such as blue or informative screen). Alternatively, uses the FORCE_VIDEO and FORCE_AUDIO bits of the GMSL serializer to mask A/V data at the input of the GMSL serializer. Starts the link by writing SEREN = H or link starts automatically if AUTOS is low.	—	—
3	—	Starts serialization and transmits low-value content A/V data.	Locks to incoming data stream and outputs low-value content A/V data.
4	Reads the locked bit of the deserializer and makes sure the link is established.	—	—
5	Optionally writes a random-number seed to the GMSL serializer.	Combines seed with internally generated random number. If no seed provided, only internal random number is used.	—
6	If HDCP encryption is required, starts authentication by writing 1 to the START_AUTHENTICATION bit of the GMSL serializer.	Generates (stores) AN, and resets the START_AUTHENTICATION bit to 0.	—
7	Reads AN and AKSV from the GMSL serializer and writes to the deserializer.	—	Generates R0' triggered by the μC's write of AKSV.
8	Reads the BKSVC and REPEATER bit from and writes to the GMSL serializer.	Generates R0, triggered by the μC's write of BKSVC.	—

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表17. 启动、HDCP安全认证及常规工作(解串器不是中继器)——HDCP安全认证协议第一部分
(续)

NO.	μC	HDCP GMSL SERIALIZER	HDCP GMSL DESERIALIZER
9	Reads the INVALID_BKSV bit of the GMSL serializer and continues with authentication if it is 0. Authentication can be restarted if it fails (set RESET_HDCP = 1 before restarting authentication).	—	—
10	Reads R0' from the deserializer and reads R0 from the GMSL serializer. If they match, continues with authentication; otherwise, retries up to two more times (optionally, GMSL serializer comparison can be used to detect if R0/R0' match). Authentication can be restarted if it fails (set RESET_HDCP = 1 before restarting authentication).	—	—
11	Waits for the VSYNC falling edge (internal to the GMSL serializer) and then sets the ENCRYPTION_ENABLE bit to 1 in the deserializer and GMSL serializer (if the μC is not able to monitor VSYNC, it can utilize the VSYNC_DET bit in the GMSL serializer).	Encryption enabled after the next VSYNC falling edge.	Decryption enabled after the next VSYNC falling edge.
12	Checks that BKSV is not in the Key Revocation list and continues if it is not. Authentication can be restarted if it fails. Note: Revocation list check can start after BKSV is read in step 8.	—	—
13	Starts transmission of A/V content that needs protection.	Performs HDCP encryption on high-value content A/V data.	Performs HDCP decryption on high-value content A/V data.

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表18. 链路完整性检查(常规)——使能加密后每128帧执行一次

NO.	μC	HDCP GMSL SERIALIZER	HDCP GMSL DESERIALIZER
1	—	Generates Ri and updates the RI register every 128 VSYNC cycles.	Generates Ri' and updates the RI' register every 128 VSYNC cycles.
2	—	Continues to encrypt and transmit A/V data.	Continues to receive, decrypt, and output A/V data.
3	Every 128 video frames (VSYNC cycles) or every 2s.	—	—
4	Reads RI from the GMSL serializer.	—	—
5	Reads RI' from the deserializer.	—	—
6	Reads RI again from the GMSL serializer and makes sure it is stable (matches the previous RI that it has read from the GMSL serializer). If RI is not stable, go back to step 5.	—	—
7	If RI matches RI', the link integrity check is successful; go back to step 3.	—	—
8	If RI does not match RI', the link integrity check fails. After the detection of failure of link integrity check, the μC makes sure that A/V data not requiring protection (low-value content) is available at the GMSL serializer inputs (such as blue or informative screen). Alternatively, the FORCE_VIDEO and FORCE_AUDIO bits of the GMSL serializer can be used to mask A/V data input of the GMSL serializer.	—	—
9	Writes 0 to the ENCRYPTION_ENABLE bit of the GMSL serializer and deserializer.	Disables encryption and transmits low-value content A/V data.	Disables decryption and outputs low-value content A/V data.
10	Restarts authentication by writing 1 to the RESET_HDCP bit followed by writing 1 to the START_AUTHENTICATION bit in the GMSL serializer.	—	—

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表19. 可选增强链路完整性检查——使能加密后每16帧执行一次

NO.	μC	HDCP GMSL SERIALIZER	HDCP GMSL DESERIALIZER
1	—	Generates PJ and updates the PJ register every 16 VSYNC cycles.	Generates PJ' and updates the PJ' register every 16 VSYNC cycles.
2	—	Continues to encrypt and transmit A/V data.	Continues to receive, decrypt, and output A/V data.
3	Every 16 video frames, reads PJ from the GMSL serializer and PJ' from the deserializer.	—	—
4	If PJ matches PJ', the enhanced link integrity check is successful; go back to step 3.	—	—
5	If there is a mismatch, retry up to two more times from step 3. Enhanced link integrity check fails after 3 mismatches. After the detection of failure of enhanced link integrity check, the μC makes sure that A/V data not requiring protection (low-value content) is available at the GMSL serializer inputs (such as blue or informative screen). Alternatively, the FORCE_VIDEO and FORCE_AUDIO bits of the GMSL serializer can be used to mask A/V data input of the GMSL serializer.	—	—
6	Writes 0 to the ENCRYPTION_ENABLE bit of the GMSL serializer and deserializer.	Disables encryption and transmits low-value content A/V data.	Disables decryption and outputs low-value content A/V data.
7	Restarts authentication by writing 1 to the RESET_HDCP bit followed by writing 1 to the START_AUTHENTICATION bit in the GMSL serializer.	—	—

MAX9276/MAX9280

3.12Gbps GMSL解串器，
用于同轴或STP输入及并行输出

中继器网络示例——两个μC

图38所示的例子中有一个中继器和两个μC。表20为安全认证工作汇总。

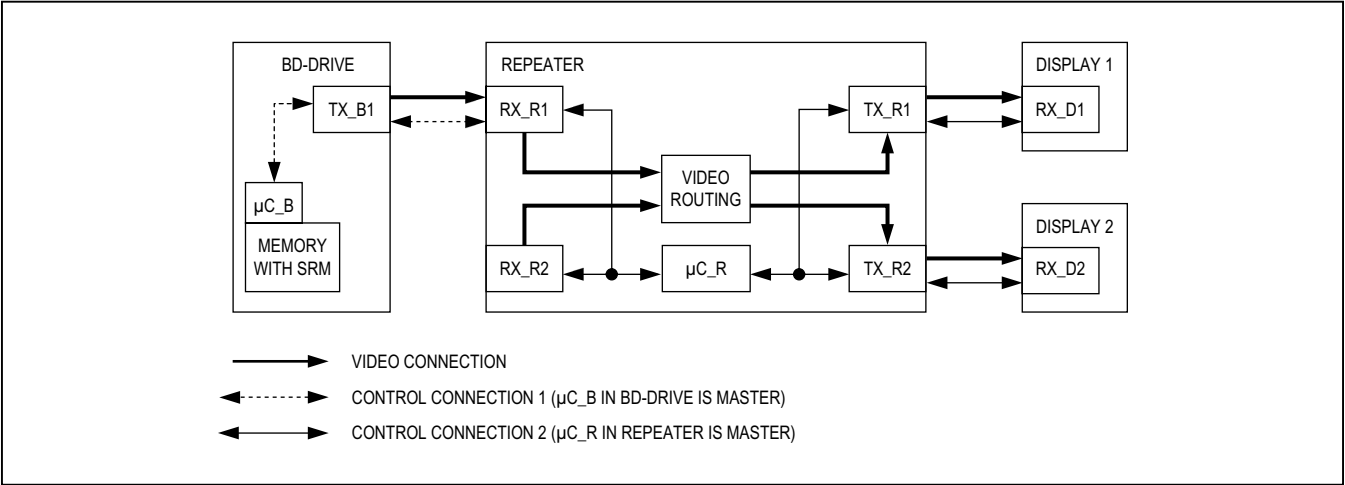


图38. 中继器网络示例——一个中继器和两个μC (Tx = GMSL串行器，Rx = 解串器)

表20. HDCP安全认证和常规工作(一个中继器，两个μC)——HDCP安全认证协议第一部分和第二部分

NO.	μC_B	μC_R	HDCP GMSL SERIALIZER (TX_B1, TX_R1, TX_R2)	HDCP GMSL DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
1	Initial state after power-up.	Initial state after power-up.	All: Power-up waiting for HDCP authentication.	All: Power-up waiting for HDCP authentication.
2	—	Writes REPEATER = 1 in RX_R1. Retries until proper acknowledge frame received. Note: This step must be completed before the first part of authentication is started between TX_B1 and RX_R1 by the μC_B (step 7). For example, to satisfy this requirement, RX_R1 can be held at power- down until μC_R is ready to write the REPEATER bit, or μC_B can poll μC_R before starting authentication.	—	—

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表20. HDCP安全认证和常规工作(一个中继器，两个μC)——HDCP安全认证协议第一部分和第二部分(续)

NO.	μC_B	μC_R	HDCP GMSL SERIALIZER (TX_B1, TX_R1, TX_R2)	HDCP GMSL DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
3	Makes sure that A/V data not requiring protection (low-value content) is available at the TX_B1 inputs (such as blue or informative screen). Alternatively, the FORCE_VIDEO and FORCE_AUDIO bits of TX_B1 can be used to mask A/V data input of TX_B1. Starts the link between TX_B1 and RX_R1 by writing SEREN = H to TX_B1, or link starts automatically if AUTOS is low.	—	TX_B1: Starts serialization and transmits low-value content A/V data.	RX_R1: Locks to incoming data stream and outputs low-value content A/V data.
4	—	Starts all downstream links by writing SEREN = H to TX_R1, TX_R2, or links start automatically if AUTOS of transmitters are low.	TX_R1, TX_R2: Starts serialization and transmits low-value content A/V data.	RX_D1, RX_D2: Locks to incoming data stream and outputs low-value content A/V data.
5	Reads the locked bit of RX_R1 and makes sure the link between TX_B1 and RX_R1 is established.	Reads the locked bit of RX_D1 and makes sure the link between TX_R1 and RX_D1 is established. Reads the locked bit of RX_D2 and makes sure the link between TX_R2 and RX_D2 is established.	—	—
6	Optionally, writes a random number seed to TX_B1.	Writes 1 to the GPIO_0_FUNCTION and GPIO_1_FUNCTION bits in RX_R1 to change GPIO functionality used for HDCP purpose. Optionally, writes a random-number seed to TX_R1 and TX_R2.	—	—
7	Starts and completes the first part of the authentication protocol between TX_B1, RX_R1 (see steps 6–10 in Table 11).	—	TX_B1: According to commands from μC_B, generates AN, computes R0.	RX_R1: According to commands from μC_B, computes R0'.

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表20. HDCP安全认证和常规工作(一个中继器，两个μC)——HDCP安全认证协议第一部分和第二部分(续)

NO.	μC_B	μC_R	HDCP GMSL SERIALIZER (TX_B1, TX_R1, TX_R2)	HDCP GMSL DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
8	—	When GPIO_1 = 1 is detected, starts and completes the first part of the authentication protocol between the (TX_R1, RX_D1) and (TX_R2, RX_D2) links (see steps 6–10 in Table 11).	TX_R1, TX_R2: According to commands from μC_R, generates AN, computes R0.	RX_D1, RX_D2: According to commands from μC_R, computes R0'.
9	Waits for the VSYNC falling edge and then enables encryption on the (TX_B1, RX_R1) link. Full authentication is not complete yet so it makes sure A/V content that needs protection is not transmitted. Since REPEATER = 1 was read from RX_R1, the second part of authentication is required.	—	TX_B1: Encryption enabled after next VSYNC falling edge.	RX_R1: Decryption enabled after next VSYNC falling edge.
10	—	When GPIO_0 = 1 is detected, enables encryption on the (TX_R1, RX_D1) and (TX_R2, RX_D2) links.	TX_R1, TX_R2: Encryption enabled after next VSYNC falling edge.	RX_D1, RX_D2: Decryption enabled after next VSYNC falling edge.
11		Blocks control channel from μC_B side by setting REVCCEN = FWDCCEN = 0 in RX_R1. Retries until proper acknowledge frame received.	—	RX_R1: Control channel from serializer side (TX_B1) is blocked after FWDCCEN = REVCCEN = 0 is written.
12	Waits for some time to allow μC_R to make the KSV list ready in RX_R1. Then polls (reads) the KSV_LIST_READY bit of RX_R1 regularly until proper acknowledge frame is received and bit is read as 1.	Writes BKSVs of RX_D1 and RX_D2 to the KSV list in RX_R1. Then, calculates and writes the BINFO register of RX_R1.	—	RX_R1: Triggered by μC_R's write of BINFO, calculates hash value (V') on the KSV list, BINFO and the secret-value M0'.
13		Writes 1 to the KSV_LIST_READY bit of RX_R1 and then unblocks the control channel from the μC_B side by setting REVCCEN = FWDCCEN = 1 in RX_R1.	—	RX_R1: Control channel from the serializer side (TX_B1) is unblocked after FWDCCEN = REVCCEN = 1 is written.

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表20. HDCP安全认证和常规工作(一个中继器，两个μC)——HDCP安全认证协议第一部分和第二部分(续)

NO.	μC_B	μC_R	HDCP GMSL SERIALIZER (TX_B1, TX_R1, TX_R2)	HDCP GMSL DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
14	Reads the KSV list and BINFO from RX_R1 and writes them to TX_B1. If any of the MAX_DEVS_EXCEEDED or MAX_CASCADE_EXCEEDED bits is 1, then authentication fails. Note: BINFO must be written after the KSV list.	—	TX_B1: Triggered by μC_B's write of BINFO, calculates hash value (V) on the KSV list, BINFO and the secret-value M0.	—
15	Reads V from TX_B1 and V' from RX_R1. If they match, continues with authentication; otherwise, retries up to two more times.	—	—	—
16	Searches for each KSV in the KSV list and BKSV of RX_R1 in the Key Revocation list.	—	—	—
17	If keys are not revoked, the second part of the authentication protocol is completed.	—	—	—
18	Starts transmission of A/V content that needs protection.	—	All: Perform HDCP encryption on high-value A/V data.	All: Perform HDCP decryption on high-value A/V data.

新器件连接时的检测和动作

有新器件连接至系统时，器件必须经过安全认证，并且根据作废清单检查器件的KSV。下行μC可设置上行接收器的NEW_DEV_CONN位并发起中断，通告上行μC。

启动安全认证通告并使能下行链路加密

在启动或检测到新器件时，HDCP中继器不马上开始安全认证，而是等待来自于上行发送器/中继器的安全认证请求。

通告下行链路开始新安全认证请求的步骤如下：

- 1) 主控μC从HDCP中继器的输入接收器开始进行安全认证。
- 2) AKSV写入至HDCP中继器的输入接收器时，其AUTH_STARTED位自动置位，其GPIO1变为高电平(如果GPIO1_FUNCTION置高)。
- 3) HDCP中继器的μC等待HDCP中继器输入接收器的AUTH_STARTED位和/或GPIO1(如果已配置)由低到高跳变，并开始对下行链路进行认证。
- 4) HDCP中继器的μC复位AUTH_STARTED位。

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

将GPIO0_FUNCTION置高，使GPIO0跟随接收器的ENCRYPTION_ENABLE位。上行μC使能/禁止加密时，中继器μC可将该功能用于通告。

应用信息

PRBS自检

串行器包括PRBS码型发生器，配合解串器中的误码验证操作。为运行PRBS测试，在解串器中将DISHSFILT、DISVSFILT和DISDEFILT置“1”，禁止尖峰脉冲滤波。然后在解串器中设置PRBSEN = 1 (0x04, D5)，并在解串器中进行相应设置。为退出PRBS测试，在解串器中设置PRBSEN = 0 (0x04, D5)，然后在串行器中进行相应设置。

误码检测

解串器监测串行链路的误码，并在8位寄存器DECERR (0x0D)内记录检测到的误码数量。如果在一个较短的时间内检测到大量误码(误码率 $\geq 1/4$)，解串器将失锁，并停止误码计数。之后，解串器将尝试重新锁存串行数据。在成功同步到视频链路，成功读取相应的寄存器(通过μC)，或者是触发自动故障复位后，DECERR将会复位。进行内部PRBS测试时，解串器使用独立的PRBS寄存器，DECERR复位到0x00。

ERR输出

解串器提供ERR开漏输出，正常工作时，只要检测的误码数量超出误码门限，或者是在PRBS测试中检测到至少一次PRBS误码，将即刻触发该输出报警。如果是由于读取DECERR、锁存视频链路，或者是自动故障复位，使得DECERR复位，ERR将恢复到高电平。

自动故障复位

复位误码故障的默认方法是读取解串器中相应的误码寄存器(0x0D和0x0E)。在ERR置低大约1μs后，自动故障复位可清除误码计数值DECERR和ERR输出。上电时，默认关闭自动故障复位。通过AUTORST(0x06, D5)使能自动故障复位，器件在PRBS测试模式下不执行自动故障复位。

双μC控制

系统通常有一个微控制器操作控制通道，视频显示应用中，处理器位于串行器侧；图像检测应用中，处理器位于解串器侧。也可以在每侧同时放置一个μC，交替操作控制通道。这种情况下，每个μC都可以与串行器、解串器及任意外设进行通信。

如果两个μC试图同时占用控制通道，则会发生冲突，用户应利用高层协议避免发生这种冲突。此外，控制通道不提供链路两侧I²C主机之间的仲裁。由于冲突导致通信失败时，不产生应答帧。如果不需要通过串行链路通信，可使用串行器/解串器中的FWDCCEN和REVCCEN位(0x04, D[1:0])禁止正向和反向控制通道，停止串行链路的通信，避免发生μC之间的冲突。

以图像检测应用中使用双μC为例，串行器可处于休眠模式，等待解串器侧的μC将其唤醒。唤醒后，串行器侧μC假设主机控制串行器的寄存器。

更改时钟频率

建议在视频时钟(fPCLKOUT)和控制通道时钟(fUART/fI2C)稳定后使能串行链路。更改时钟频率时，关闭视频时钟5μs，然后施加新的时钟频率，重新启动串行链路或切换SEREN。如果新的时钟频率立即建立且没有尖峰脉冲，则有可能即刻更改时钟频率。串行链路启动或关闭的500μs内，反向控制通道不可用。使用UART接口时，将fUART的每次变化系数限制在3.5以内，确保器件能够识别UART同步码型。例如，将UART频率从1Mbps降低至100kbps时，首先以333kbps发送数据，然后再以100kbps发送数据，即降速比分别为3和3.333。

快速检测同步丢失

链路传输质量评估的是同步丢失时的恢复时间。将解串器的LOCK输出连接到GPI输入，可以在发生同步丢失时快速通报主机。如果其它数据源同样需要使用GPI输入，可利用μC控制切换，区分失锁中断与其他常规中断。反向控制通道的通信不需要有效工作的前向链路，可始终监测GMSL链路的LOCK状态。触发LOCK用于同步视频链路，而非配置链路。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

提供帧同步(摄像头应用)

GPI/GPO为需要ECU提供帧同步信号的摄像头(例如，环视摄像系统)提供了一个简单方案。将ECU帧同步信号连接至GPI输入，将GPO输出连接至摄像头帧同步输入。GPI/GPO的延迟典型值为275μs，多个GPI/GPO通道之间的延迟为115μs (典型值)。如果需要较低延迟的信号，可以将摄像头的帧同步输入连接至解串器的GPIO，使用I²C广播写命令更改GPIO输出状态。这样的最大延迟为1.5μs，与使用的I²C码率无关。

用软件设置器件地址

串行器和解串器均带有可编程器件地址，从而允许同一控制通道连接多个GMSL器件，以及I²C外设。串行器地址位于每个器件的寄存器0x00，解串器地址位于每个器件的寄存器0x01。为更改器件地址，首先写入需要更改地址的器件(对于串行器地址更改，写串行器的寄存器0x00；对于解串器地址更改，写解串器的寄存器0x01)。然后将相同地址写入另一器件对应的寄存器(对于串行器地址更改，写解串器的寄存器0x00；对于解串器地址更改，写串行器的寄存器0x01)。

三电平配置输入

CX/TP和BWS为三电平输入，控制串行接口配置和上电默认值。通过上拉电阻将三电平输入连接至IOVDD，设置为高电平；通过下拉电阻连接至GND，设置为低电平；连接至IOVDD/2或开路，则为中间电平。对于数字控制，使用三态逻辑驱动三电平逻辑输入。

屏蔽配置

解串器可屏蔽对寄存器的更改，将CFGBLOCK置位，使寄存器0x00至寄存器0x1F处于只读状态。一旦置于该状态，寄存器将保持屏蔽，直到断开电源或PWDN为低电平。

与其它GMSL器件的兼容性

解串器与MAX9275–MAX9281串行器配对使用，但也可以与其它GMSL串行器配合使用，表21列出了一些工作限制。

密钥存储器

每个器件均具有唯一的HDCP密钥组，储存于安全非易失存储器(NVM)中。HDCP密钥组包括四十个56位的私匙和一个40位公匙。NVM可满足汽车级应用。

HS/VS/DE反相

解串器使用高电平有效HS、VS和DE进行编码和HDCP加密。在串行器中置位INVHSYNC、INVVSYNC和INVDE (寄存器0x0D、0x0E)，将低电平有效的输入信号反相，以用于GMSL器件；在解串器中置位INVHSYNC、INVVSYNC和INVDE(寄存器0x0E)，输出低电平有效的信号，以用于下行器件。

WS/SCK反相

解串器的I²S采用标准极性。在串行器中置位INVWS、INVSCCK (寄存器0x1B)，将正极性信号反相，以用于GMSL器件；在解串器中置位INVWS、INVSCCK(寄存器0x1D)，输出反相的信号，以用于下行链路。

表21. MAX9276/MAX9280功能兼容性

MAX9276/MAX9280 FEATURE	GMSL SERIALIZER
HDCP (MAX9280 only)	If feature not supported in serializer, must not be turned on in the MAX9280
High-bandwidth mode	If feature not supported in serializer, must only use 24-bit and 32-bit modes
I ² C to I ² C	If feature not supported in serializer, must use UART to I ² C or UART to UART
Coax	If feature not supported in serializer, must connect unused serial output through 200nF and 50Ω in series to V _{DD} and set the reverse control channel amplitude to 100mV.
High-immunity control channel	If feature not supported in serializer, must use the legacy reverse control channel mode
TDM encoding	If feature not supported in serializer, must use I ² S encoding (with 50% WS duty cycle), if supported
I ² S encoding	If feature not supported in serializer must disable I ² S in the MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表22. 交错输出延时

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15, DOUT25, DOUT26	1	0
DOUT16–DOUT20, DOUT27, DOUT28	1.5	0
PCLKOUT	0.75	0

GPIOs

不用于HDCP时，解串器提供两路开漏GPIO (见[启动安全认证通告及使能下行链路加密](#)部分)，GPIO1OUT和GPIO0OUT (0x06, D3和D1)设置GPIO的输出状态。将GPIO输出位置0，则拉低输出；将输出位置1时，不驱动输出，通过内部/外部上拉电阻拉高。GPIO输入缓冲器始终使能，输入状态储存于寄存器GPIO1和GPIO0 (0x06, D2和D0)。将GPIO1/GPIO0用作输入时，将GPIO1OUT/GPIO0OUT置1。

交错并行输出

解串器交错输出并行数据，降低EMI和噪声。交错输出还有助于降低对供电电源瞬态需求，默认条件下，解串器按照表22工作于交错输出状态。通过DISSTAG位(0x06, D7)关闭交错输出。

内部输入下拉

控制和配置输入，三电平输入除外，具有连接至GND的下拉电阻，无需外部下拉电阻。

选择I²C/UART上拉电阻

I²C和UART开漏线需要上拉电阻提供逻辑高电平。在选择上拉电阻值时，需要在功耗和速率之间进行平衡。即使器

件不工作，连接至总线的每个器件都会产生一定的电容。I²C规定快速模式下的上升时间为300ns (30%至70%)，适用于400kbps以下数据速率(详细信息见[交流电气特性表中的I²C技术指标](#))。为满足快速模式对上升时间的要求，选择上拉电阻使上升时间 $t_R = 0.85 \times R_{PULLUP} \times C_{BUS} < 300ns$ 。如果跳变时间太慢，则不能识别波形。器件支持I²C/UART速率高达1Mbps。

交流耦合

交流耦合将接收器与直流电压相隔离，直流电压最高可以达到电容的额定电压。为使链路正常工作，并在电缆任一端与电池短路时提供保护，串行器输出和解串器输入需要安装电容。交流耦合可以隔离低频地电位偏移和低频共模噪声。

交流耦合电容的选择

电压降与传输符号的数字和的变化(DSV)会造成信号从不同的电压跳变。由于跳变时间固定，如果信号从不同电压开始跳变的话，将会造成时间抖动。需要合理选择交流耦合链路的时间常数，将压降和抖动降至可接受的水平。交流耦合链路的RC网络由CML/同轴接收器匹配电阻(R_{TR})、CML/同轴驱动器匹配电阻(R_{TD})及串联交流耦合电容(C)组成。四个等值串联电阻的RC时间常数为 $(C \times (R_{TD} + R_{TR}))/4$ 。 R_{TD} 和 R_{TR} 需要匹配传输线阻抗(通常差分为100Ω和单端为50Ω)。由此，可通过选择电容来改变系统的时间常数。使用0.2μF (使用传统反相控制通道)、47nF (使用高抗扰性反相控制通道)或更大的高频表贴陶瓷电容，且额定电压足以承受电池短路故障，传输较低速率的反向控制通道信号。使用外壳尺寸小于3.2mm x 1.6mm的电容，对于高速信号具有较低的寄生效应。

供电电路和旁路

解串器采用3.0V至3.6V的AVDD和DVDD供电，除串行输入以外的所有单端输入和输出由1.7V至3.6V的IOVDD供电，与IOVDD成比例缩放。正确的电源旁路对于高频电路的稳定性至关重要。

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

电源表

[DC Electrical Characteristics](#)表中所列的供电电流为AVDD、DVDD和IOVDD的电流之和，IOVDD在 $V_{IOVDD} = 3.6V$ 时测得。如果使用其它IOVDD电压，IOVDD的最差工作条件供电电流将按照[表23](#)发生变化。HDCP工作(仅限MAX9280)消耗附加电流，如[表24](#)所示。

电缆和连接器

CML的连接器差分阻抗通常为100Ω。使用差分阻抗相匹配的电缆和连接器，以将阻抗突变降至最小。同轴电缆的特征阻抗通常为50Ω (如需驱动75Ω电缆，请联系厂商)。[表25](#)中给出了GMSL链路中推荐使用的电缆和连接器。

表23. IOVDD电流仿真结果

IOVDD WORST-CASE SUPPLY CURRENT		IOVDD SUPPLY VOLTAGE			
		1.9V	3.3V*	3.6V	
BWS = low, f _{PCLKOUT} = 16.6MHz	C _L = 5pF	4.4	7.9	8.6	mA
	C _L = 10pF	6.4	12.4	13.5	
BWS = low, f _{PCLKOUT} = 33.3MHz	C _L = 5pF	8	14.5	15.8	
	C _L = 10pF	13.2	23.1	25.2	
BWS = low, f _{PCLKOUT} = 66.6MHz	C _L = 5pF	14.9	25.6	27.9	
	C _L = 10pF	23.4	40.7	44.4	
BWS = low, f _{PCLKOUT} = 104MHz	C _L = 5pF	21.6	38.7	42.2	
	C _L = 10pF	34.8	60.3	65.8	
BWS = mid, f _{PCLKOUT} = 36.6MHz	C _L = 5pF	10.2	18.2	19.8	
	C _L = 10pF	16.6	28.9	31.5	
BWS = mid, f _{PCLKOUT} = 104MHz	C _L = 5pF	25.1	45	49	
	C _L = 10pF	40.4	70.2	76.5	

表24. HDCP工作的附加供电电流(仅限MAX9280)

PCLK (MHz)	MAXIMUM HDCP CURRENT (mA)
16.6	6
33.3	9
36.6	9
66.6	12
104	18

表25. 推荐GMSL连接器和电缆

VENDOR	CONNECTOR	CABLE	TYPE
Rosenberger	56S2AX-400A5-Y	RG174	Coax
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
JAE	MX38-FF	A-BW-Lxxxxx	STP

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

电路板布局

将LVCMOS逻辑信号与CML/同轴高速信号隔离开，以防串扰。采用四层PCB，电源、地、CML/同轴和LVCMOS逻辑信号分别布设在独立层。对于100Ω差分特征阻抗，使PCB走线彼此靠近。走线尺寸取决于使用的走线类型(微带或带状线)。注意，两条50Ω PCB走线靠在一起时的差分阻抗并非100Ω——走线靠近时阻抗变小。驱动同轴电缆时，单端输出使用50Ω走线。

差分CML通道采用平行PCB走线，以维持差分特征阻抗，避免使用过孔。使组成差分线对的PCB走线等长，以避免差分线对的延迟。

ESD保护

器件提供人体模式ESD保护和IEC 61000-4-2、ISO 10605 ESD保护。ISO 10605和IEC 61000-4-2标准规定了电子设备的ESD保护能力，串行链路输入端具有ISO 10605 ESD保护及IEC 61000-4-2 ESD保护。所有引脚针对人体模式经过测试，人体模式下，放电元件为 $C_S = 100\text{pF}$ 及 $R_D = 1.5\text{k}\Omega$ (图39)；IEC 61000-4-2模式下，放电元件为 $C_S = 150\text{pF}$ 及 $R_D = 330\Omega$ (图40)；ISO 10605模式下，放电元件为 $C_S = 330\text{pF}$ 及 $R_D = 2\text{k}\Omega$ (图41)。

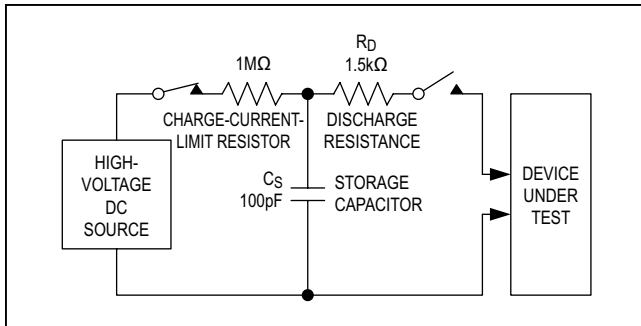


图39. 人体模式ESD测试电路

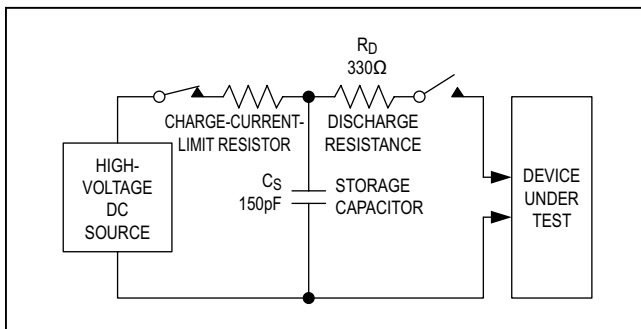


图40. IEC 61000-4-2接触放电ESD测试电路

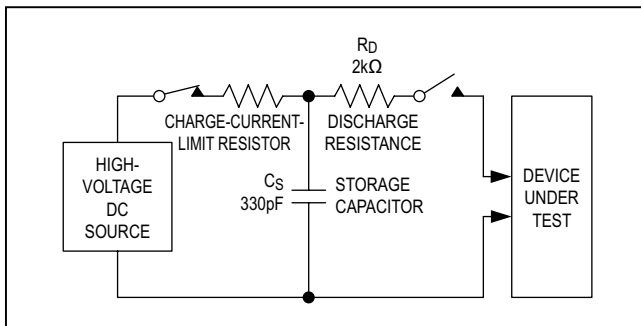


图41. ISO 10605接触放电ESD测试电路

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表26. 寄存器表(见表1)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXX	Serializer device address (power-up default value depends on latched address pin level)	XX00XX0
	D0	—	0	Reserved	0
0x01	D[7:1]	DESID	XXXXXXX	Deserializer device address (power-up default value depends on latched address pin level).	XX01XXX
	D0	CFGBLOCK	0	Normal operation	0
			1	Registers 0x00 to 0x1F are read only	
0x02	D[7:6]	SS	00	No spread spectrum.	00
			01	±2% spread spectrum	
			10	No spread spectrum	
			11	±4% spread spectrum	
	D5	AUDIOMODE	0	WS, SCK configured as output (deserializer sourced clock)	0
			1	WS, SCK configured as input (system sourced clock)	
	D4	AUDIOEN	0	Disable I ² S/TDM channel	1
			1	Enable I ² S/TDM channel	
	D[3:2]	PRNG	00	12.5MHz to 25MHz pixel clock	11
			01	25MHz to 50MHz pixel clock	
			10	50MHz to 104MHz pixel clock	
			11	Automatically detect the pixel clock range	
	D[1:0]	SRNG	00	0.5 to 1Gbps serial data rate	11
			01	1 to 2Gbps serial data rate	
			10	2 to 3.12Gbps serial data rate	
			11	Automatically detect serial data rate	
0x03	D[7:6]	AUTOFM	00	Calibrate spread modulation rate only once after locking	00
			01	Calibrate spread modulation rate every 2ms after locking	
			10	Calibrate spread modulation rate every 16ms after locking	
			11	Calibrate spread modulation rate every 256ms after locking	
	D5	—	0	Reserved	0
	D[4:0]	SDIV	00000	Auto calibrate sawtooth divider	00000
			XXXXX	Manual SDIV setting. See the <i>Manual Programming of the Spread-Spectrum Divider</i> section.	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表26. 寄存器表(见表1) (续)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x04	D7	LOCKED	0	LOCK output is low	0 (Read only)
			1	LOCK output is high	
	D6	OUTENB	0	Enable outputs (power-up default value depends on ENABLE pin value at power-up)	0, 1
			1	Disable outputs (power-up default value depends on ENABLE pin value at power-up)	
	D5	PRBSEN	0	Disable PRBS test	0
			1	Enable PRBS test	
	D4	SLEEP	0	Normal mode (power-up default value depends on MS pin value at power-up)	0, 1
			1	Activate sleep mode (power-up default value depends on MS pin value at power-up)	
	D[3:2]	INTTYPE	00	Local control channel uses I ² C when I2CSEL = 0	01
			01	Local control channel uses UART when I2CSEL = 0	
			10, 11	Local control channel disabled	
	D1	REVCCEN	0	Disable reverse control channel to serializer (sending)	1
			1	Enable reverse control channel to serializer (sending)	
0x05	D7	I2CMETHOD	0	I ² C conversion sends the register address when converting UART to I ² C	0
			1	Disable sending of I ² C register address when converting UART to I ² C (command-byte-only mode)	
	D[6:5]	HPFTUNE	00	7.5MHz equalizer highpass filter cutoff frequency	01
			01	3.75MHz equalizer highpass filter cutoff frequency	
			10	2.5MHz equalizer highpass filter cutoff frequency	
			11	1.87MHz equalizer highpass filter cutoff frequency	
	D4	PDEQ	0	Enable equalizer	0
			1	Disable equalizer	
	D[3:0]	EQTUNE	0000	2.1dB equalizer boost gain	1001
			0001	2.8dB equalizer boost gain	
			0010	3.4dB equalizer boost gain	
			0011	4.2dB equalizer boost gain	
			0100	5.2dB equalizer boost gain	
			0101	6.2dB equalizer boost gain	
			0110	7dB equalizer boost gain	
			0111	8.2dB equalizer boost gain	
			1000	9.4dB equalizer boost gain	
			1001	10.7dB equalizer boost gain. Power-up default	
			1010	11.7dB equalizer boost gain	
			1011	13dB equalizer boost gain	
			11XX	Do not use	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表26. 寄存器表(见表1) (续)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x06	D7	DISSTAG	0	Enable staggered outputs	0
			1	Disable staggered outputs	
	D6	AUTORST	0	Do not automatically reset error registers and outputs	0
			1	Automatically reset DECERR register 1μs after ERR asserts	
	D5	DISGPI	0	Enable GPI to GPO signal transmission to serializer	0
			1	Disable GPI to GPO signal transmission to serializer	
	D4	GPIIN	0	GPI input is low	0 (Read only)
			1	GPI input is high	
	D3	GPIO1OUT	0	Set GPIO1 to low	1
			1	Set GPIO1 to high	
	D2	GPIO1IN	0	GPIO1 input is low	0 (Read only)
			1	GPIO1 input is high	
	D1	GPIO0OUT	0	Set GPIO0 to low	1
			1	Set GPIO0 to high	
	D0	GPIO0IN	0	GPIO0 input is low	0 (Read only)
			1	GPIO0 input is high	
0x07	D[7:0]	—	01010100	Reserved	01010100
0x08	D[7:3]	—	00110	Reserved	00110
	D2	DISDEFILT	0	Enable DE glitch filter	0
			1	Disable DE glitch filter	
	D1	DISVSFILT	0	Enable VS glitch filter	0
			1	Disable VS glitch filter	
	D0	DISHSFILT	00	Enable HS glitch filter	0
			10, 11	Disable HS glitch filter	
0x09	D[7:0]	—	11001000	Reserved	11001000
0x0A	D[7:0]	—	00010XXX	Reserved	00010XXX
0x0B	D[7:0]	—	00100000	Reserved	00100000
0x0C	D[7:0]	ERRTHR	XXXXXXXX	Error threshold for decoding errors.	00000000
0x0D	D[7:0]	DECERR	XXXXXXXX	Decoding error counter	00000000 (Read only)
0x0E	D[7:0]	PRBSERR	XXXXXXXX	PRBS error counter	00000000 (Read only)
0x0F	D[7:0]	—	XXXXXXXX	Reserved	(Read only)
0x10	D[7:0]	—	XXXXXXXX	Reserved	(Read only)
0x11	D7	REVFAST	0	High-immunity reverse channel mode uses 500kbps bit rate	0
			1	High-immunity reverse channel mode uses 1Mbps bit rate	
	D[6:0]	—	0100010	Reserved	0100010

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表26. 寄存器表(见表1) (续)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x12	D7	MCLKSRC	0	MCLK derived from PCLKOUT. See Table 6.	0
			1	MCLK derived from internal oscillator	
	D[6:0]	MCLKDIV	0000000	MCLK disabled	0000000
			XXXXXXX	MCLK divider	
0x13	D[7:0]	—	0X000000	Reserved	0X000000
0x14	D7	INVVSYNC	0	No VS inversion at the output	0
			1	Invert VS at the output	
	D6	INVHSYNC	0	No HS inversion at the output	0
			1	Invert HS at the output	
	D5	INVDE	0	No DE inversion at the output	0
			1	Invert DE at the output	
	D4	DRS	0	High data rate mode	0
			1	Low data rate mode	
	D3	DCS	0	Normal parallel output driver current	0
			1	Boosted parallel output driver current	
	D2	DISRWAKE	0	Enable remote wake-up	0
			1	Disable remote wake-up	
	D1	ES	0	Output data valid on rising edge of PCLKOUT	0
			1	Output data valid on falling edge of PCLKOUT	
	D0	INTOUT	0	Drive INTOUT low	0
			1	Drive INTOUT high	
0x15	D7	AUTOINT	0	INTOUT pin output controlled by INTOUT bit above	1
			1	Writes to any AVINFO bytes sets INTOUT to high. Reads to any AVINFO bytes sets INTOUT to low	
	D6	HVTREN	0	Disable HS/VS tracking (power-up default value depends on state of BWS input value at power-up)	0, 1
			1	Enable HS/VS tracking (power-up default value depends on state of BWS input value at power-up)	
	D5	DETREN	0	Disable DE tracking (power-up default value depends on state of BWS input value at power-up)	0, 1
			1	Enable DE tracking (power-up default value depends on state of BWS input value at power-up)	
	D4	HVTRMODE	0	Partial periodic HS/VS and DE tracking	1
			1	Partial and full periodic HS/VS and DE tracking	
	D[3:2]	—	00	Reserved	00
	D1	MCLKWS	0	MCLK output operates normally	0
			1	WS is output from MCLK (MCLK mirrors WS)	
	D0	MCLKPIN	0	MCLK output on DOUT28/CNTL2	0
			1	MCLK output on CNTL0/ADD0	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表26. 寄存器表(见表1) (续)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x16	D7	HIGHIMM	0	Legacy reverse control channel mode (power-up default value depends on SD/HIM at power-up)	0, 1
			1	High-immunity reverse control channel mode (power-up default value depends on SD/HIM at power-up)	
	D[6:0]	—	1011010	Reserved	1011010
0x17	D[7:0]	—	000XXXXX	Reserved	000XXXXX
0x18	D[7:1]	I2CSRCA	XXXXXXX	I2C Address translator source A	0000000
	D0	—	0	Reserved	0
0x19	D[7:1]	I2CDSTA	XXXXXXX	I2C Address translator destination A	0000000
	D0	—	0	Reserved	0
0x1A	D[7:1]	I2CSRCA	XXXXXXX	I2C Address translator source B	0000000
	D0	—	0	Reserved	0
0x1B	D[7:1]	I2CDSTB	XXXXXXX	I2C Address translator destination B	0000000
	D0	—	0	Reserved	0
0x1C	D7	I2CLOCACK	0	Acknowledge not generated when forward channel is not available	0
			1	I2C to I2C-slave generates local acknowledge when forward channel is not available	
	D[6:5]	I2CSLVSH	00	352ns/117ns I2C setup/hold time	01
			01	469ns/234ns I2C setup/hold time	
			10	938ns/352ns I2C setup/hold time	
			11	1046ns/469ns I2C setup/hold time	
	D[4:2]	I2CMSTBT	000	8.47kbps (typ) I2C to I2C-Master bit-rate setting	101
			001	28.3kbps (typ) I2C to I2C-Master bit-rate setting	
			010	84.7kbps (typ) I2C to I2C-Master bit-rate setting	
			011	105kbps (typ) I2C to I2C-Master bit-rate setting	
			100	173kbps (typ) I2C to I2C-Master bit-rate setting	
			101	339kbps (typ) I2C to I2C-Master bit-rate setting	
			110	533kbps (typ) I2C to I2C-Master bit-rate setting	
			111	837kbps (typ) I2C to I2C-Master bit-rate setting	
	D[1:0]	I2CSLVTO	00	64μs (typ) I2C to I2C-Slave remote timeout	10
			01	256μs (typ) I2C to I2C-Slave remote timeout	
			10	1024μs (typ) I2C to I2C-Slave remote timeout	
			11	No I2C to I2C-Slave remote timeout	
0x1D	D[7:3]	—	00000	Reserved	00000
	D2	AUDUFBEH	0	Audio FIFO repeats last audio word when FIFO is empty	0
			1	Audio FIFO outputs all zeroes when FIFO is empty	
	D1	INVSK	0	Do not invert SK at output	0
			1	Invert SK at output	
	D0	INVWS	0	Do not invert WS at output	0
			1	Invert WS at output	

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表26. 寄存器表(见表1) (续)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x1E	D[7:0]	ID	00100X10	Device identifier (MAX9276 = 0x22) (MAX9280 = 0x26)	00100X10 (Read only)
0x1F	D[7:5]	—	000	Reserved	000 (Read only)
	D4	CAPS	0	Not HDCP capable (MAX9276)	(Read only)
			1	HDCP capable (MAX9280)	
	D[3:0]	REVISION	XXXX	Device revision	(Read only)
0x40 to 0x59	D[7:0]	AVINFO	XXXXXXXX	Video/Audio format/status/information bytes	All zeroes
0x77	D[7:0]	—	XXXXXXXX		(Read only)
0x78	D[7:0]	AUDOUPER	XXXXXXXX	Audio FIFO last overflow/underflow period (AUDIOMODE = 1 only)	(Read only)
0x79	D7	AUDOU	0	Audio FIFO is in underflow (AUDIOMODE = 1 only)	(Read only)
			1	Audio FIFO is in overflow (AUDIOMODE = 1 only)	
	D[6:0]	—	0000XXX	Reserved	0000XXX (Read only)
0x7B	D[7:0]	LUTADDR	XXXXXXXX	LUT start address for write and read	00000000
0x7C	D[7:4]	—	0000	Reserved	0000
	D3	LUTPROG	0	Disable LUT write and read	0
			1	Enable LUT write and read	
	D2	BLULUTEN	0	Disable blue LUT	0
			1	Enable blue LUT	
	D1	GRNLUTEN	0	Disable green LUT	0
			1	Enable green LUT	
	D0	REDLUTEN	0	Disable red LUT	0
			1	Enable red LUT	
0x7D	D[7:0]	REDLUT	XXXXXXXX	Red LUT value (see Table 12)	00000000
0x7E	D[7:0]	GREENLUT	XXXXXXXX	Green LUT value (see Table 12)	00000000
0x7F	D[7:0]	BLUELUT	XXXXXXXX	Blue LUT value (see Table 12)	00000000

X = Don't care

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

表27. HDCP寄存器表(仅限MAX9280，见[表1](#))

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	FUNCTION	DEFAULT VALUE (hex)
0X80 to 0x84	5	BKSV	Read only	HDCP receiver KSV	(Read only)
0X85 to 0x86	2	RI'	Read only	Link verification response	(Read only)
0X87	1	PJ'	Read only	Enhanced link verification response	(Read only)
0X88 to 0x8F	8	AN	Read/write	Session random number	0x0000000000000000
0X90 to 0x94	5	AKSV	Read/write	HDCP transmitter KSV	0x000000000000
0x95	1	BCTRL	Read/write	D7 = PD_HDCP 1 = Power down HDCP circuits 0 = HDCP circuits normal	0x00
				D[6:4] = Reserved	
				D3 = GPIO1_FUNCTION 1 = GPIO1 mirrors AUTH_STARTED 0 = normal GPIO1 operation	
				D2 = GPIO0_FUNCTION 1 = GPIO0 mirrors ENCRYPTION_ENABLE 0 = normal GPIO0 operation	
				D1 = AUTH_STARTED 1 = Authentication started (triggered by write to AKSV) 0 = Authentication not started	
				D0 = ENCRYPTION_ENABLE 1 = Enable encryption 0 = Disable encryption	
0x96	1	BSTATUS	Read/write	D[7:2] = Reserved	0x00
				D1 = NEW_DEV_CONN 1 = Set to 1 if a new connected device is detected 0 = Set to 0 if no new device is connected	
				D0 = KSV_LIST_READY 1 = Set to 1 if KSV list and BINFO is ready 0 = Set to 0 if KSV list or BINFO is not ready	
0x97	1	BCAPS	Read/write	D[7:1] = Reserved	0x00
				D0 = REPEATER 1 = Set to one if device is a repeater 0 = Set to zero if device is not a repeater	
0x98 to 0x9F	8	—	Read only	Reserved	0x0000000000000000 (Read only)
0XA0 to 0xA3	4	V'.H0	Read/write	H0 part of SHA-1 hash value	0x00000000
0XA4 to 0xA7	4	V'.H1	Read/write	H1 part of SHA-1 hash value	0x00000000
0XA8 to 0xAB	4	V'.H2	Read/write	H2 part of SHA-1 hash value	0x00000000
0XAC to 0xAF	4	V'.H3	Read/write	H3 part of SHA-1 hash value	0x00000000
0XB0 to 0xB3	4	V'.H4	Read/write	H4 part of SHA-1 hash value	0x00000000

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

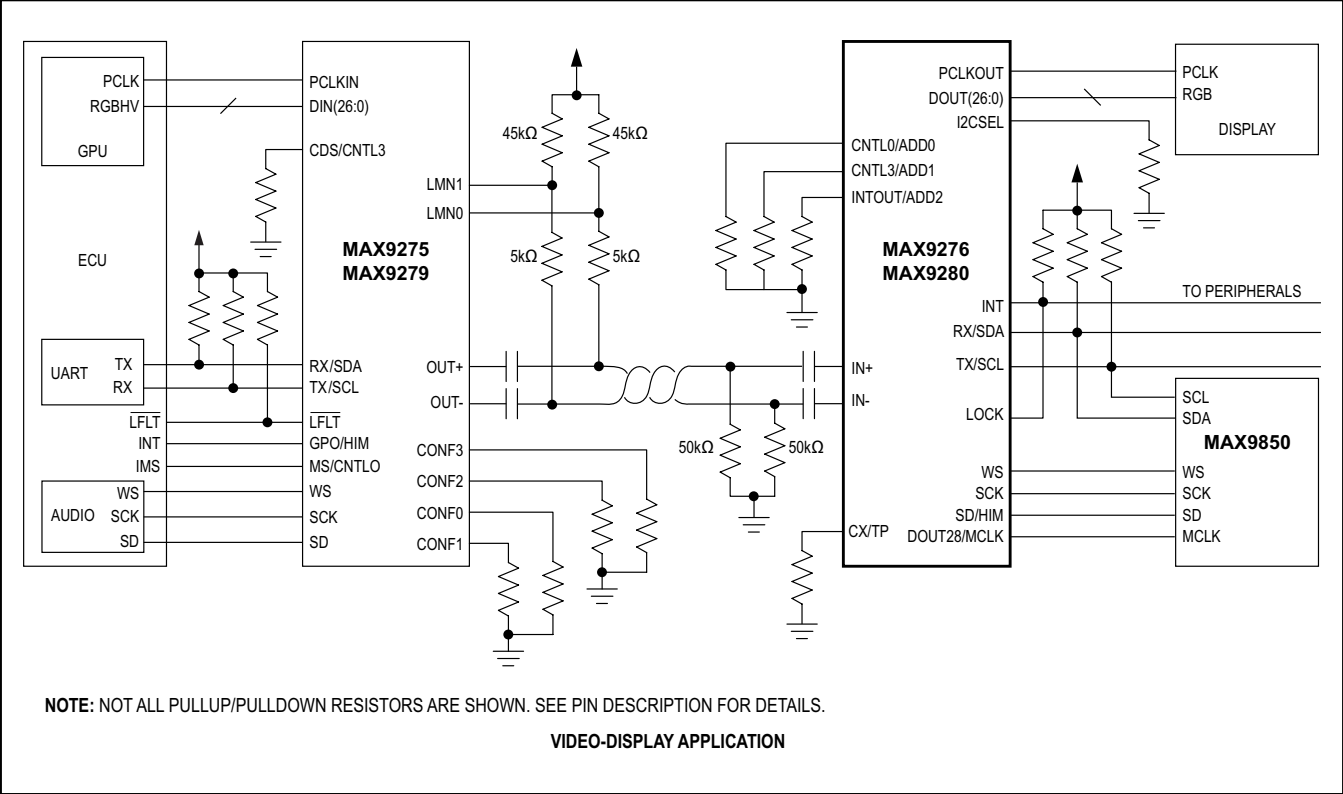
表27. HDCP寄存器表(仅限MAX9280，见[表1](#)) (续)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	FUNCTION	DEFAULT VALUE (hex)
0xB4 to 0xB5	2	BINFO	Read/write	D[15:12] = Reserved	0x0000
				D11 = MAX_CASCADE_EXCEEDED 1 = Set to one if more than seven cascaded devices attached 0 = Set to zero if seven or fewer cascaded devices attached	
				D[10:8] = DEPTH Depth of cascaded devices	
				D7 = MAX_DEVS_EXCEEDED 1 = Set to one if more than 14 devices attached 0 = Set to zero if 14 or fewer devices attached	
				D[6:0] = DEVICE_COUNT Number of devices attached	
0xB6	1	GPMEM	Read/write	General-purpose memory byte	0x00
0xB7 to 0xB9	3	—	Read only	Reserved	0x000000
0xBA to 0xFF	70	KSV_LIST	Read/write	List of KSVs downstream repeaters and receivers (maximum of 14 devices)	All zero

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

典型应用电路



订购信息

PART	TEMP RANGE	PIN-PACKAGE	HDCP
MAX9276GTN+	-40°C至+105°C	56 TQFN-EP*	NO
MAX9276GTN/V+**	-40°C至+105°C	56 TQFN-EP*	NO
MAX9280GTN+	-40°C至+105°C	56 TQFN-EP*	YES***
MAX9280GTN/V+**	-40°C至+105°C	56 TQFN-EP*	YES***

/V表示汽车级器件。

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

** 未来产品——供货状况请联系工厂。

*** HDCP器件要求向Digital Content Protection, LLC.注册。

芯片信息

PROCESS: CMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
56 TQFN-EP	T5688+2	21-0135	90-0046

MAX9276/MAX9280

3.12Gbps GMSL解串器， 用于同轴或STP输入及并行输出

修订历史

修订号	修订日期	说明	修改页
0	3/13	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00