## 试卷共5道大题，总分100分。要求所有答案写在答题纸上，并标明题号

## 一、选择题（每题1分，共15分）

1. 某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用2K×8位的ROM芯片和4K×4位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是（ ）。

A. 1、15 B. 2、15 C. 1、30 D. 2、30

2. 假设某计算机的存储系统由Cache和主存组成，某程序执行过程中访存1000次，其中访问Cache缺失（未命中）50次，则Cache的命中率是（ ） 。

A. 5% B. 9.5% C. 50% D. 95%

3. 某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是（ ）。

A. 0 B. 2 C. 4 D. 6

4. 下列不会引起指令流水阻塞的是（ ）。

A. 数据旁路 B. 数据相关 C. 条件转移 D. 资源冲突

5. 下列存储器中，汇编语言程序员可见的是（ ）。

A. 存储器地址寄存器（MAR） B. 程序计数器（PC）

C. 存储器数据寄存器（MDR） D. 指令寄存器（IR）

6. 下列选项中，描述浮点数操作速度指标的是（ ）。

A. MIPS B. CPI C. IPC D. MFLOPS

7. 假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为1600\*1200，颜色深度为24位，帧频为85Hz，显示总带宽的50% 用来刷新屏幕，则需要的显存总带宽至少约为（ ）。

A . 245 Mbps B. 979 Mbps C. 1958 Mbps D. 7834Mbps

8. 下列选项中的英文缩写均为总线标准的是（ ）。

A. PCI、CRT、USB、EISA B. ISA、CPI、VESA、EISA

C. ISA、SCSI、RAM、MIPS D. ISA、EISA、PCI、PCI-Express

9. 下列有关RAM和ROM的叙述中，正确的是（ ）。

I、 RAM是易失性存储器，ROM是非易失性存储器

II、 RAM和ROM都是采用随机存取的方式进行信息访问

III、RAM和ROM都可用作Cache

IV、RAM和ROM都需要进行刷新

A. 仅I和II B. 仅II和III C. 仅I，II，III D. 仅II，III，IV

10. 某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M x 8 位的RAM 芯片组成32MB 的主存储器，则存储器地址寄存器MAR 的位数至少是（ ）。

A.22 位 B.23 位 C.25 位 D.26 位

11. 控制主存与硬盘之间数据传送的是（ ）。

A. CPU B. 主存 C. Cache D. DMA控制器

12. 下列各种数制的数中最大的数是（ ）。

A. (1001011)2 B. 75 C. (112)8 D. (4F)H

13. 基址寻址方式中，操作数的有效地址是（ ）。

A. 基址寄存器内容加上形式地址(位移量)

B. 程序计数器内容加上形式地址

C. 变址寄存器内容加上形式地址

D. 寄存器内容加上形式地址

14. 浮点数的表示范围和精度取决于（ ）。

A. 阶码的位数和尾数的机器数形式

B. 阶码的机器数形式和尾数的位数

C. 阶码的位数和尾数的位数

D. 阶码的机器数形式和尾数的机器数形式

15. 相对于微程序控制器，硬布线控制器的特点是（ ）。

A. 指令执行速度慢，指令功能的修改和扩展容易

B. 指令执行速度慢，指令功能的修改和扩展难

C. 指令执行速度快，指令功能的修改和扩展容易

D. 指令执行速度快，指令功能的修改和扩展难

## 二、填空题（每空1分，共15分）

1. 在浮点加减法运算中，当运算结果的尾数的绝对值大于1时，需要对结果进行 。

2. 寄存器间接寻址方式中，操作数在 中。

3. 以 概念为基础的各类计算机通称为冯．诺依曼机。

4. CPU能直接访问 和 ，但不能访问辅存和 。

5. CPU中 可以区分存储单元中存放的是指令还是数据。

6. 完整的指令周期包括 、 、 、 四个子周期。

7. 在指令的地址字段中，直接指出操作数本身的寻址方式，称为 。

8. 定点数由 和 两部分组成。根据小数点位置不同，定点数据有两种表示，分别为整数和 。

## 三、名词解释（每题3分，共15分）

1. 规格化数 2. ALU 3 补码 4. RISC 5. IR

## 四、简答题（每题5分，共15分）

1. 什么叫总线周期、时钟周期和指令周期，它们之间一般有什么关系？

2. 简述主存与Cache的地址映射方式?

3. 什么叫指令字长、存储字长和机器字长？它们之间一般有什么关系？

## 五、综合题（共40分）

1.（5分）设总线的时钟频率为8MHz，一个总线周期等于一个时钟周期。如果一个总线周期中并行传送16位数据，计算总线的带宽。

2.（5分）已知接收到的海明码为1100000 (按配偶原则配置)，检查上述代码是否出错，第几位出错？

3.（7分）设主存容量为4MB，Cache容量为16KB，每个字块为8个字，每字32位。

（1）Cache地址有多少，可容纳多少块数据？

（2）在直接映射方式下，设计主存地址格式。

（3）在四路组相联映射方式下，设计主存地址格式。

4.（7分）已知机器数字长为8位（含1位符号位），x = 23/64，y = -15/32，计算[x]补，[y]补，[-x]补，[-y]补，x+y=？，x-y=？，要求给出运算器的计算过程，并用溢出判别方法判断结果是否溢出。

5.（8分）假设浮点数的阶码取3位，尾数取6位（均不包括符号位），计算4.125-8.4375的结果。

6.（8分）设CPU共有16根地址线，8根数据线，并用MREQ （低电平有效）作访存控制信号， R/W作读/写命令信号（高电平为读，低电平为写）。现有下列存储芯片：ROM（2K×8位，4K×8位，8K×4位），RAM（1K×4位，4K×8位，8K×4位），及74138译码器和其他门电路（门电路自定）。

试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图，要求如下：

（1）最小8K地址为系统程序区，与其相邻的12K为用户程序区；

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。

## 试卷共5道大题，总分100分。要求所有答案写在答题纸上，并标明题号

## 一、选择题（每题1分，共15分）

1. 假定用若干个2k\*4位芯片组成一个8k\*8位存储器，则地址0B1FH所在芯片的最小地址是（ ）。

A. 0000H B. 0600H C. 0700H D. 0800H

2. 一个C语言程序在一台32位机器上运行。程序中定义了三个变量x y z，其中x和z是int型，y为short型。当x=127，y=-9时，执行赋值语句z=x+y后，x y z的值分别是（ ）。

A. X=0000007FH，y=FFF9H，z=00000076H

B. X=0000007FH，y=FFF9H，z=FFFF0076H

C. X=0000007FH，y=FFF7H，z=FFFF0076H

D. X=0000007FH，y=FFF7H，z=00000076H

3. 下列选项中，能缩短程序执行时间的措施是（ ）。

I 提高CPU时钟频率

II优化数据通过结构

III对程序进行编译优化

A. 仅I和II B. 仅I和III C. 仅II和III D. I，II，III

4. 下列选项中，能引起外部中断的事件是（ ）。

A. 键盘输入 B. 除数为0 C. 浮点运算下溢 D. 访存缺页

5. 某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间的 缓存时间）分别是90ns、80ns、70ns和60ns，则该计算机的CPU时钟周期至少是（ ）。

A. 90ns B. 80ns C. 70ns D. 60ns

6. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是（ ）。

A. 指令操作码的译码结果 B. 指令和数据的寻址方式

C. 指令周期的不同阶段 D. 指令和数据所在的存储单元

7. 某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小为32字节，按字节编址。主存386号字节所在主存块应装入到的Cache组号是（ ）。

A. 0 B. 2 C. 4 D. 6

8. 在系统总线的数据线上，不可能传输的是（ ）。

A.指令 B.操作数 C.握手（应答）信号 D.中断类信号

9. 假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用2个时钟周期，总线时钟频率为10MHz，则总线带宽是（ ）。

A. 10MB/s B. 20MB/S C. 40MB/S D. 80MB/S

10. 下列各类存储器中，不采用随机存取方式的是（ ）。

A. EPROM B. CDROM C. DRAM D. SRAM

11. 下面描述的流水CPU基本概念中，正确的表达是（ ）。

A. 流水CPU是以空间并行性为原理构造的处理器

B. 流水CPU一定是RISC机器

C. 流水CPU一定是多媒体CPU

D. 流水CPU是以时间并行性为原理构造的处理器

12.下列说法中（ ）是正确的。

A. 加法指令的执行周期一定要访存

B. 加法指令的执行周期一定不访存

　　C. 指令的地址码给出存储器地址的加法指令，在执行周期一定访存

D. 指令的地址码给出存储器地址的加法指令，在执行周期不一定访存

13. 状态寄存器中的各个状态标志位是依据（ ）来置位的。

A. 算术逻辑部件上次的运算结果 B. CPU将要执行的指令

C. CPU已执行的指令 D. 累加器中的数据

14. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是（ ）。

A. 指令操作码的译码结果 B. 指令和数据的寻址方式

C. 指令周期的不同阶段 D. 指令和数据所在的存储单元

15. 单地址指令（ ）。

A. 只能对单操作数进行加工处理

B. 只能对双操作数进行加工处理

C. 既能对单操作数进行加工处理，也能对双操作数进行加工处理

D. 无处理双操作数的功能

## 二、填空题（每空1分，共15分）

1. 尾数采用补码的浮点数运算中，出现符号位与最高数值位 情况应该进行规格化处理。

2. 指令寻址的基本方式有两种，一种是 寻址方式，其指令地址由程序计数器给出，另一种是 寻址方式，其指令地址由指令本身给出。

3. 直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是 。

4. 指令译码器是对指令的 字段进行译码。

5. 描述计算机浮点数操作的速度指标是 。

6. 系统总线接口是 、 、 与 之间连接的逻辑部件。

7. 微型机系统中，主机和高速硬盘进行数据交换一般采用 方式。

8. 可以提供中断服务程序入口地址。

9. 在用 表示的机器数中，零的编码是唯一的。

10. CPU中跟踪指令后继地址的寄存器是 。

11. Cache的地址映像中，若主存中的任一块均可映射到Cache内的任一块的位置上，称作 。

## 三、名词解释（每题3分，共15分）

1. 中断嵌套 2. 原码 3. PC 4. 海（汉）明码 5. DMA

## 四、简答题（每题5分，共15分）

1. CPU的功能有哪些，由哪些主要寄存器组成？

2. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据。

3. CPU中控制器的功能有哪些，它由哪些部件组成？

## 五、综合题（共40分）

1.（5分）在异步串行传送系统中，假设每秒传送120个数据帧，其字符格式规定包含1个起始位、7个数据位、1个校验位、2个终止位，试计算波特率和比特率。

2.（5分）已知接收到的海（汉）明码为11001l1 (按配偶原则配置)，检查上述代码是否出错，第几位出错？

3.（7分）设主存容量为1MB，Cache容量为16KB，每个字块为4个字，每个字32位。

（1）Cache地址有多少，可容纳多少块数据？

（2）在直接映射方式下，设计主存地址格式。

（3）在四路组相联映射方式下，设计主存地址格式。

4.（7分）已知机器数字长为8位（含1位符号位），x = -85，y = 28，求[x]补，

[-x]补，[y]补，[-y]补，x+y=？，x-y=？要求给出运算器的计算过程，并用溢出判别方法判断  
结果是否溢出。

5.（8分）假设浮点数的阶码取3位，尾数取6位（均不包括符号位），计算14.75-6.125的结果。

6.（8分）设CPU共有16根地址线，8根数据线，并用MREQ （低电平有效）作访存控制信号， R/W作读/写命令信号（高电平为读，低电平为写）。现有下列存储芯片：ROM（2K×8位，4K×4位，8K×8位），RAM（1K×4位，2K×8位，4K×8位），及74138译码器和其他门电路（门电路自定）。

试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图，要求如下：

（1）最小4K地址为系统程序区，4096~16383地址范围为用户程序区；

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。