

§5 时序逻辑电路

1 时序逻辑电路的基本概念

数字电路 { 组合逻辑电路
时序逻辑电路

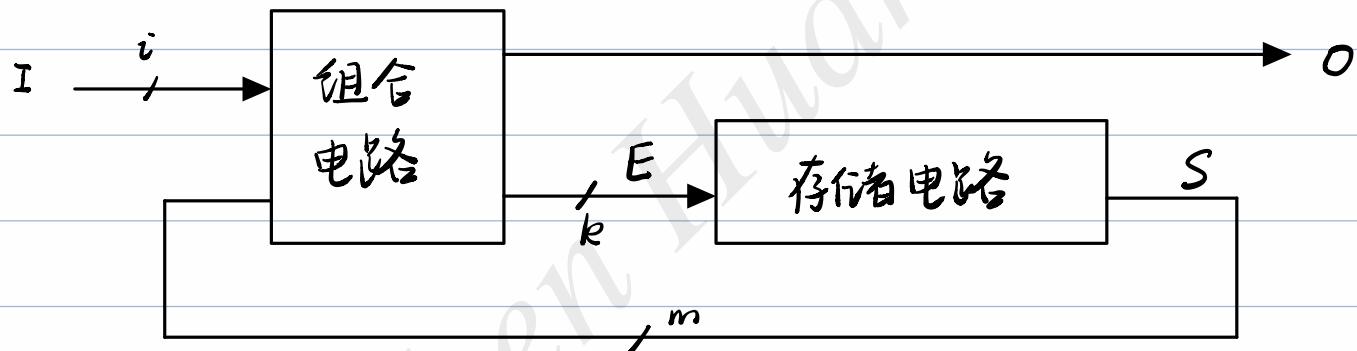
结构特点 { 含记忆元件
存在反馈通路

动作特点：输出与输入及电路状态有关

输入信号 $I = (I_1, I_2, \dots, I_i)$

输出信号 $O = (O_1, O_2, \dots, O_j)$

存储电路的输入 $E = (E_1, E_2, \dots, E_k)$



激励方程 $E = f_1(I, S)$

状态方程 $S^{n+1} = f_2(E, S^n)$

输出方程 $O = f_3(I, S)$

时序电路的分类

按动作特点

{ 同步时序电路：统一的时钟源，状态同时更新

异步时序电路：没有统一的时钟源，电路中只要有1个CP没有连在一起，就是异步……

按输出信号特点

米利型：输出与输入及触发器状态有关 $O = h(I, S)$

移存型：输出只取决于触发器状态 $O = h(s)$

时序逻辑功能的描述

方程描述：逻辑方程组

图表描述 { 状态转换表
 | 状态转换图
 | 时序图

Example

$$\text{激励方程 } D_0 = (Q_1 + Q_0) A$$

$$D_1 = \bar{Q}_0 A$$

$$\text{状态方程 } Q^{n+1} = D \Rightarrow \begin{cases} Q_0^{n+1} = (Q_1^n + Q_0^n) A \\ Q_1^{n+1} = \bar{Q}_0^n A \end{cases}$$

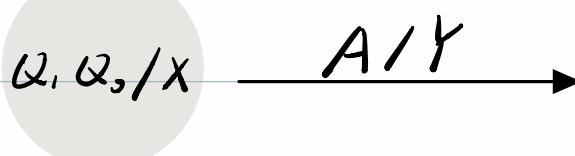
$$\text{输出方程 } X = \bar{Q}_1 Q_0$$

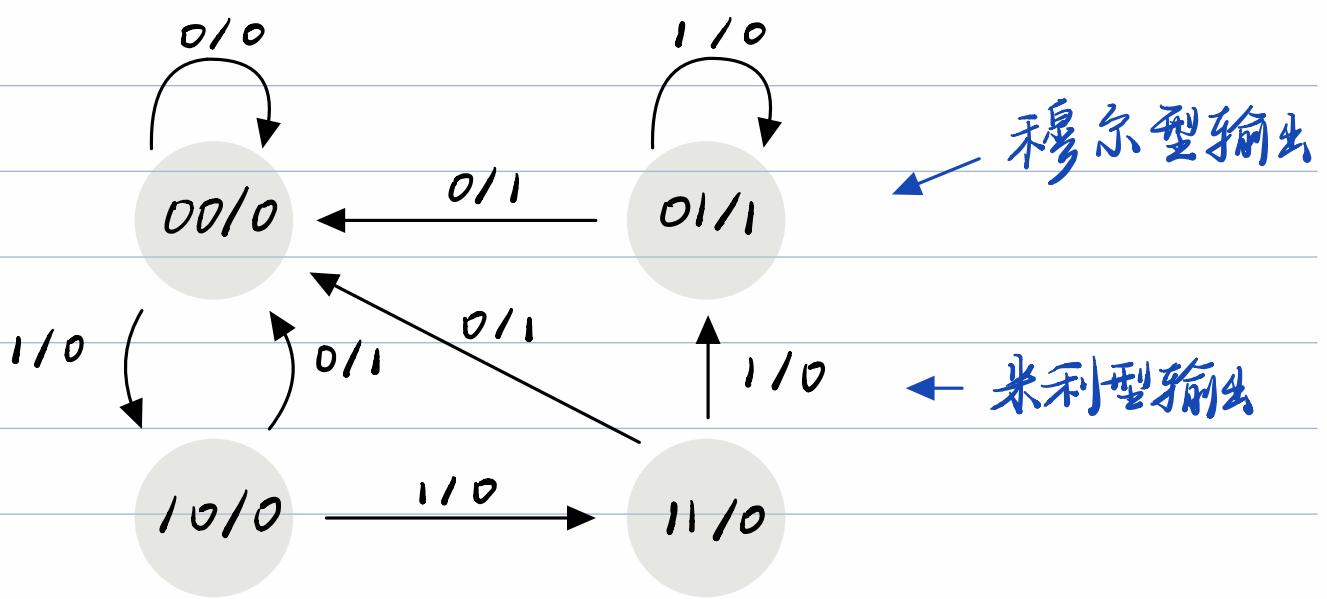
$$Y = (Q_1 + Q_0) \bar{A}$$

状态转换表

$Q_1^n Q_0^n$	Q_1^{n+1}	Q_0^{n+1}	/ Y	X
	$A=0$	$A=1$		
00	00/0	10/0		0
01	00/1	01/0		1
10	00/1	11/0		0
11	00/1	01/0		0

状态转换图





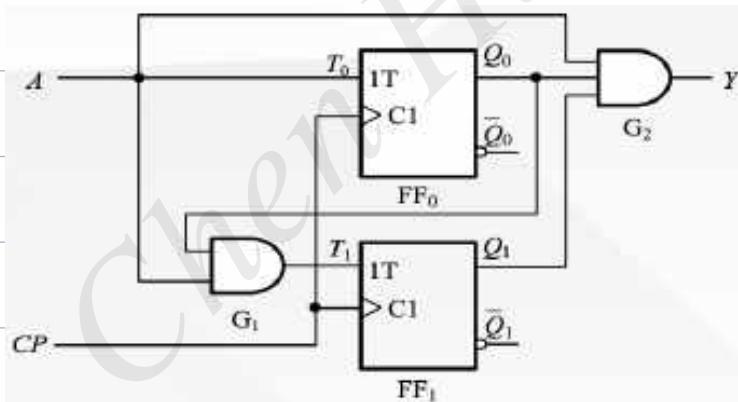
2 同步时序逻辑电路的分析

步骤 ① 列方程

② 列图表

③ 确定功能 {
逻辑功能
验证自启动}

Example



① 列方程组

激励方程 $T_1 = Q_0 \cdot A$

$$T_0 = A$$

状态方程 D 触发器 $Q^{n+1} = T \oplus Q^n$

$$Q_1^{n+1} = (Q_0^n \cdot A) \oplus Q_1^n$$

$$Q_0^{n+1} = A \oplus Q_0^n$$

输出方程 $Y = Q_1 \cdot Q_0 \cdot A$

② 列图表

状态转换表

$Q_1^{n+1} Q_0^{n+1} / Y$

$Q_1^n Q_0^n$

00

01

10

11

$A = 0$

0010

0110

1010

1110

$A = 1$

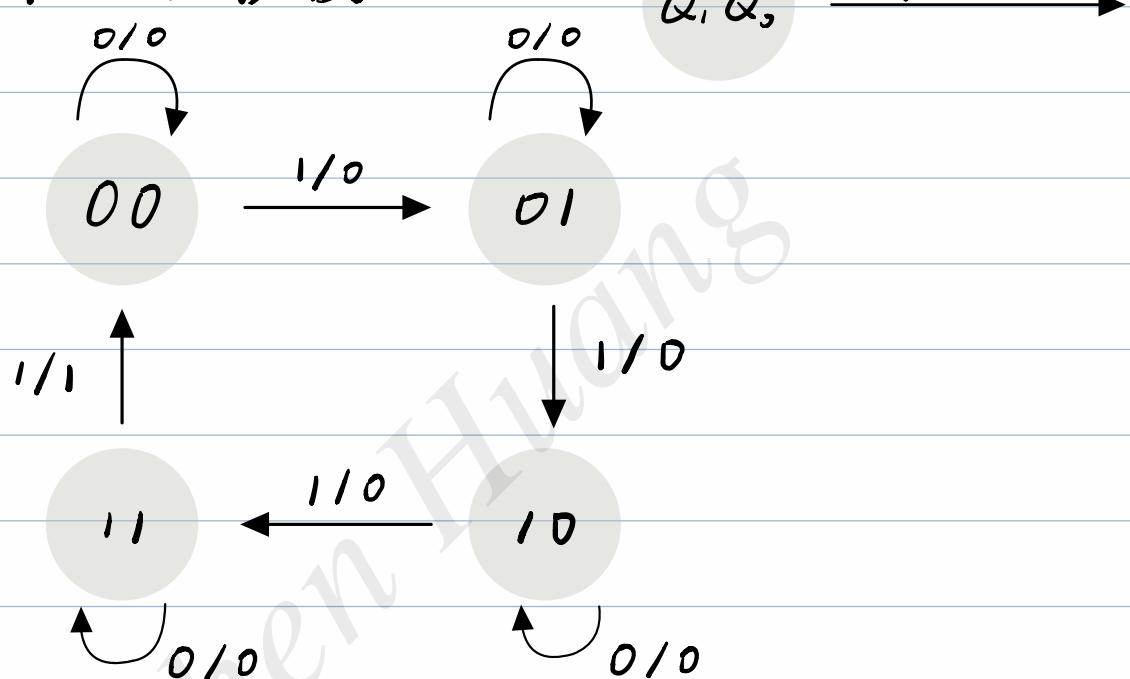
0110

1010

1110

0011

状态转换图



③ 功能分析

可擦二进制计数器

3

同步时序逻辑电路的设计

步骤聚 ① 逻辑抽象 \Rightarrow 转换图/表

② 状态化简

③ 状态分配：给每个状态赋予二进制编码

$$2^{n-1} < M \leq 2^n$$

M : 状态数 n : 触发器个数

④ 选择触发器类型

⑤ 确定激励方程和输出方程

⑥ 检查能否自启动，画逻辑图

Example 1

用D触发器设计一个8421BCD码同步十进制加计数器。

① 分析：对时钟脉冲进行计数，每个脉冲作用下+1十个状态 \Rightarrow 4个D触发器 $Q = (Q_3, Q_2, Q_1, Q_0)$
穆尔型电路

② 列转换表

现态				次态				激励信号			
Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	0
0	0	1	0	0	0	1	1	0	0	1	1
0	0	1	1	0	1	0	0	0	1	0	0
0	1	0	0	0	1	0	1	0	1	0	0
0	1	0	1	0	1	1	0	0	1	1	0
0	1	1	0	0	1	1	1	0	1	1	1
0	1	1	1	1	0	0	0	0	1	0	0
1	0	0	0	1	0	0	1	1	0	0	1
1	0	0	1	0	0	0	0	0	0	0	0

③

		$Q_1 Q_0$	00	01	11	10
$Q_3 Q_2$		00	0	0	0	0
00	01	00	0	0	1	0
01	01	01	X	X	X	X
11	11	11	X	X	X	X
10	10	10	1	0	X	X

$$D_3 = Q_2^n Q_1^n Q_0^n + Q_3^n \bar{Q}_0^n$$

D_2

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	0	0	1	0	
01	1	1	0	1	
11	X	X	X	X	
10	0	0	X	X	

$$D_2 = Q_2^n \bar{Q}_1^n + Q_2^n \bar{Q}_0^n + \bar{Q}_2^n Q_1^n Q_0^n$$

D_1

Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	0	1	0	1	
01	0	1	0	1	
11	X	X	X	X	
10	0	0	X	X	

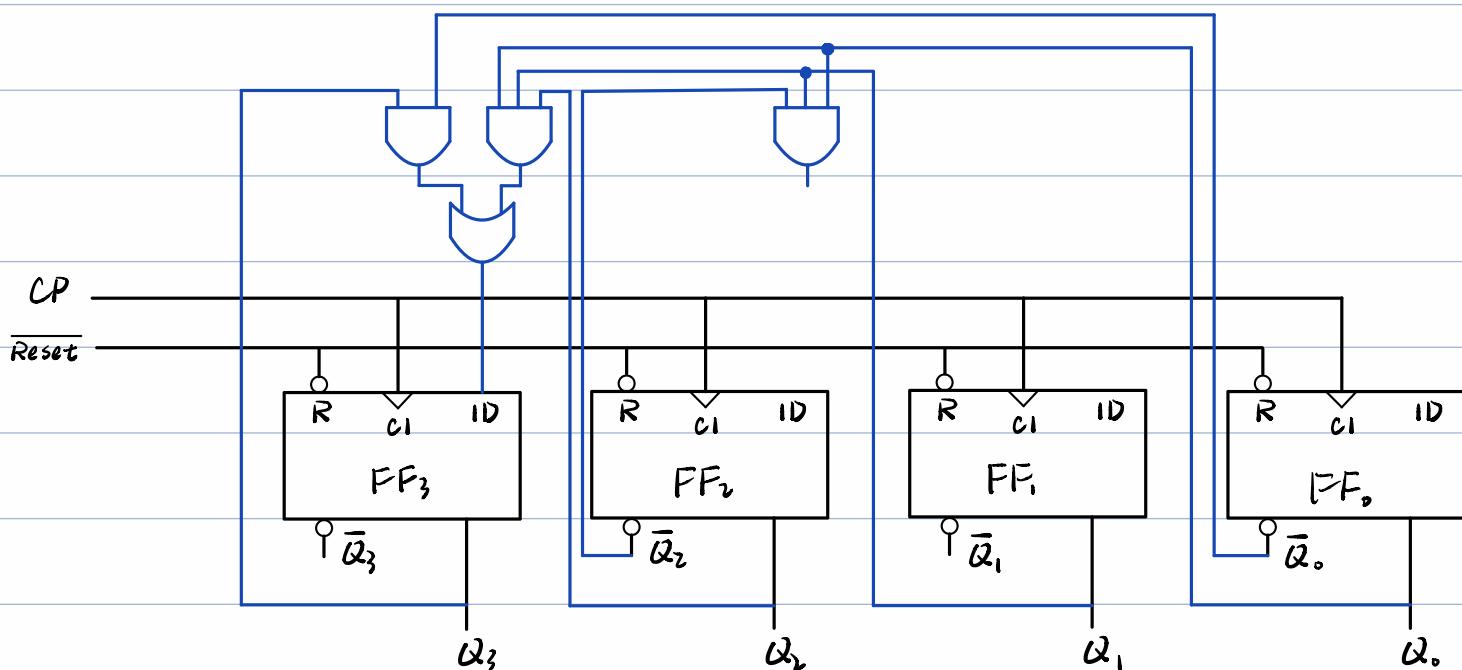
$$D_1 = \bar{Q}_3^n \bar{Q}_1^n Q_0^n + Q_1^n \bar{Q}_0^n$$

D_0

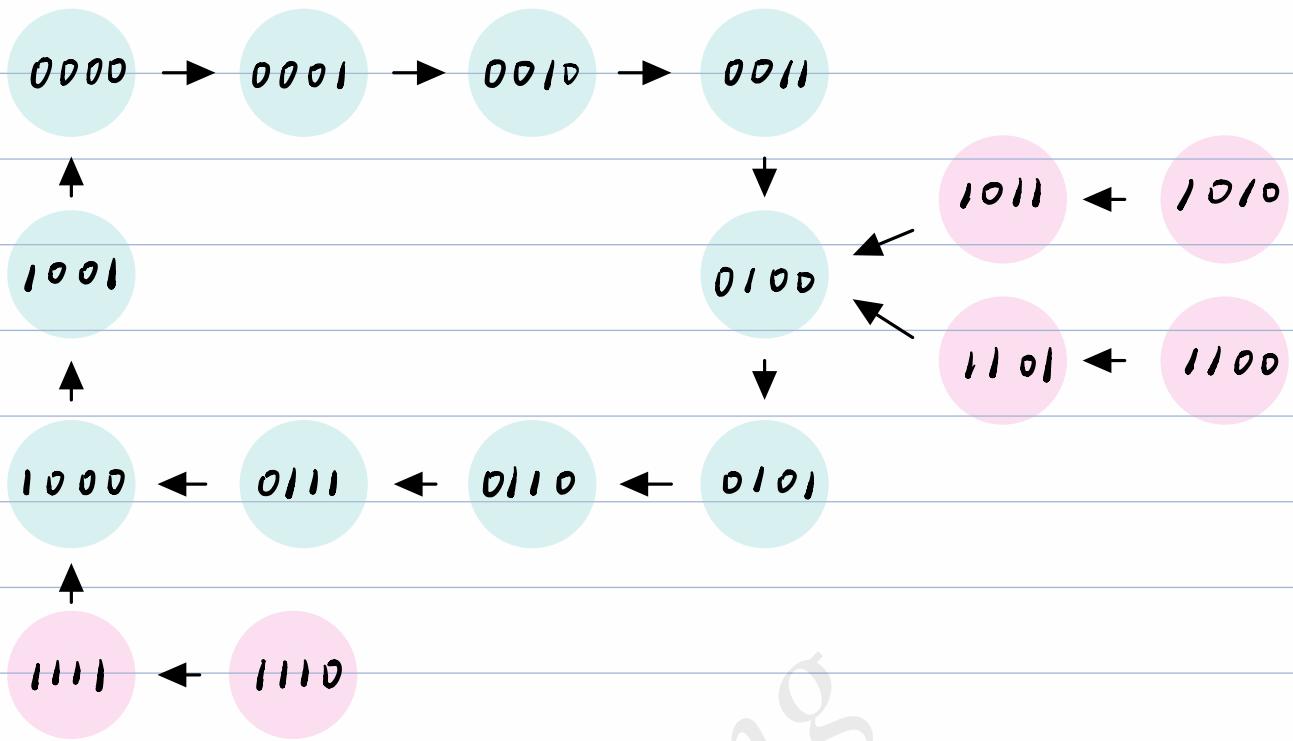
Q_3, Q_2	Q_1, Q_0	00	01	11	10
00	1	0	0	1	
01	1	0	0	1	
11	X	X	X	X	
10	1	0	X	X	

$$D_0 = \bar{Q}_0^n$$

(4) 亂畫真摺圖 (略. 不想亂了)



⑤ 检查自启动功能



Example 2

设计一个串行数据检测器。电路的输入信号 A 是与时钟脉冲同步的串行数据。要求当输入 A 出现 110 序列时，输出信号 Y 为 1，否则为 0。

① 逻辑抽象

输入变量 A

输出变量 Y

初始状态 S_0

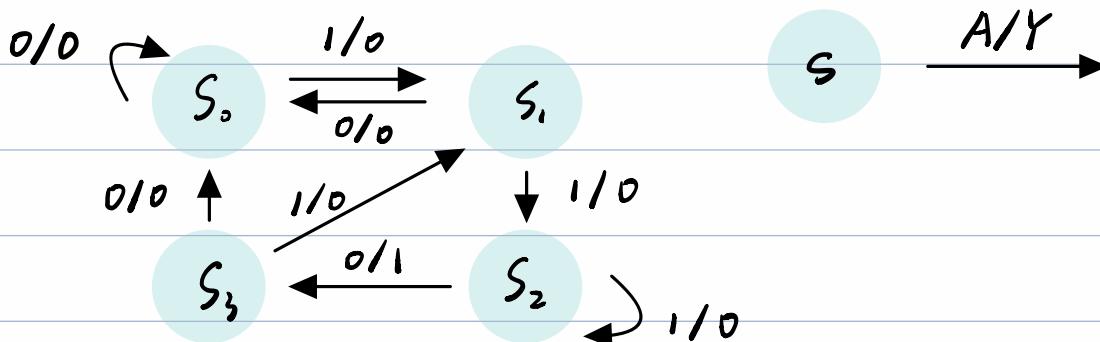
A 输入后 S_1

A 输入 11 后 S_2

A 输入 110 后 S_3

状态数：4 个

② 画原始状态图，列原始转换表

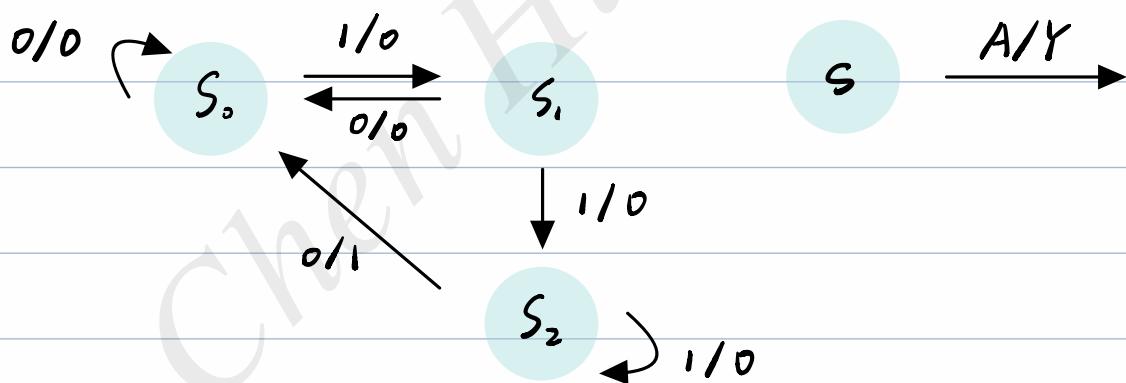


S^n	S^{n+1}/Y	
	$A=0$	$A=1$
s_0	$s_0/0$	$s_1/0$
s_1	$s_0/0$	$s_2/0$
s_2	$s_3/1$	$s_2/0$
s_3	$s_0/0$	$s_1/0$

合并

③ 状态简化

S^n	S^{n+1}/Y	
	$A=0$	$A=1$
s_0	$s_0/0$	$s_1/0$
s_1	$s_0/0$	$s_2/0$
s_2	$s_0/1$	$s_2/0$



④ 状态编码

$$s_0 = 00$$

$$s_1 = 01$$

$$s_2 = 11$$

S^n	S^{n+1}/Y	
	$A=0$	$A=1$
00	00/0	01/0
01	00/0	11/0
11	00/1	11/0

⑤ 状态数 3 触发器：2个

采用 CP 下降沿敏感的 JK 触发器

⑥ 表激励方程和输出方程
状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	0	X	1	X
0	1	0	0	0	0	0	X	X	1
0	1	1	1	1	0	1	X	X	0
1	1	0	0	0	1	X	1	X	1
1	1	1	1	0	0	X	0	X	0

卡诺图化简

J_1

A		Q_1, Q_0		00		01		11		10	
		0	1	00	01	11	10				
0	0	0	0	X	X						
1	0	1	X	X	X						

K_1

A		Q_1, Q_0		00		01		11		10	
		0	1	00	01	11	10				
0	X	X	1	X							
1	X	X	0	X							

J_0

A		Q_1, Q_0		00		01		11		10	
		0	1	00	01	11	10				
0	0	X	X	X							
1	1	X	X	X	X						

K_0

A		Q_1, Q_0		00		01		11		10	
		0	1	00	01	11	10				
0	X	1	1	X							
1	X	0	0	D	X						

Y

A		Q_1, Q_0		00		01		11		10	
		0	1	00	01	11	10				
0	0	0	1	X							
1	0	0	0	D	X						

$$Y = Q_1 \bar{A}$$

激励方程 $J_1 = Q_0 \cdot A$

$$K_1 = \bar{A}$$

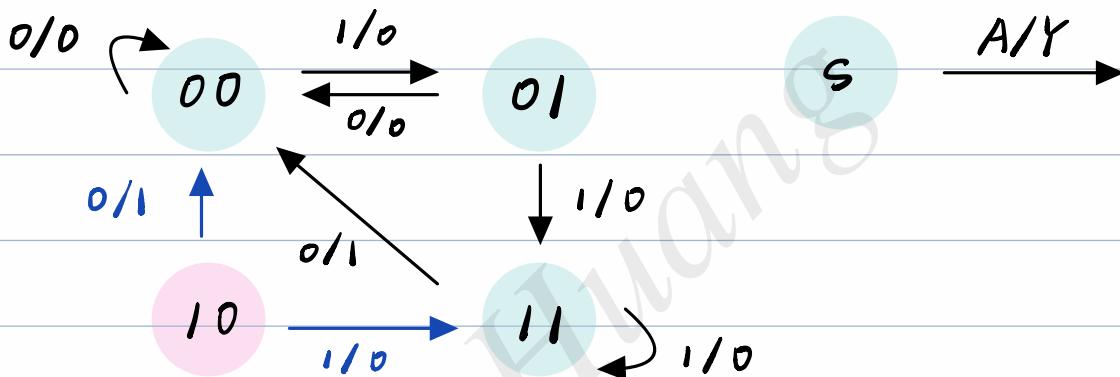
$$J_0 = A$$

$$K_0 = \bar{A}$$

输出方程 $Y = Q_1 \cdot \bar{A}$

⑦ 检查自启动能力 $Q^{n+1} = J \bar{Q}^n + E Q^n$

$$Q_1^n Q_0^n = 10 \quad \begin{cases} A=0 & Q_1^{n+1} Q_0^{n+1} = 00 \\ A=1 & Q_1^{n+1} Q_0^{n+1} = 11 \end{cases} \quad Y = 1 \quad Y = 0$$



无效状态能进入有效循环，故能自启动

但由于 需要修改卡诺图

Y

A $Q_1 Q_0$

		00	01	11	10
0	0	0	1	0	
1	0	0	0	X	

$$Y = Q_1 Q_0 \bar{A}$$

4 异步时序逻辑电路的分析

{ 没有统一的时钟脉冲，电路状态不是同时更新的
| 触发器有时钟脉冲沿作用时，状态发生变化，
反之，则状态不变。

步骤

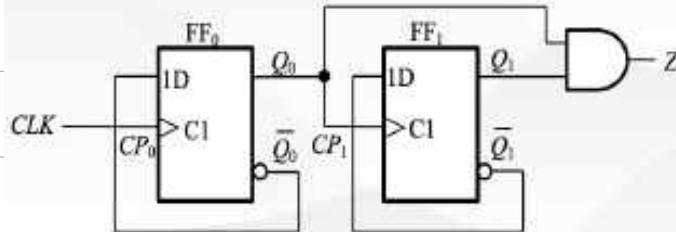
① 写方程

时钟方程、激励方程、状态方程、输出方程

② 列图表

③ 描述逻辑功能、检查自启动功能

Example



① 时钟方程

$$CP_0 = CLK$$

$$CP_1 = Q_0$$

激励方程

$$D_0 = \bar{Q}_0$$

$$D_1 = \bar{Q}_1$$

状态方程

$$Q^{n+1} = D_0 CP_n + Q^n \bar{CP}_n$$

$$Q_0^{n+1} = \bar{Q}_0^n CP_n + Q_0^n \bar{CP}_n$$

$$Q_1^{n+1} = \bar{Q}_1^n CP_n + Q_1^n \bar{CP}_n$$

输出方程

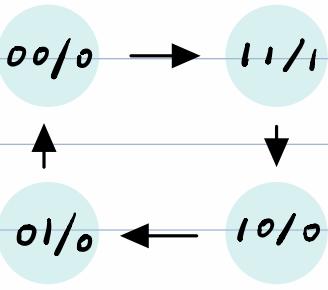
$$Z = Q_1 Q_0$$

② 状态转换表

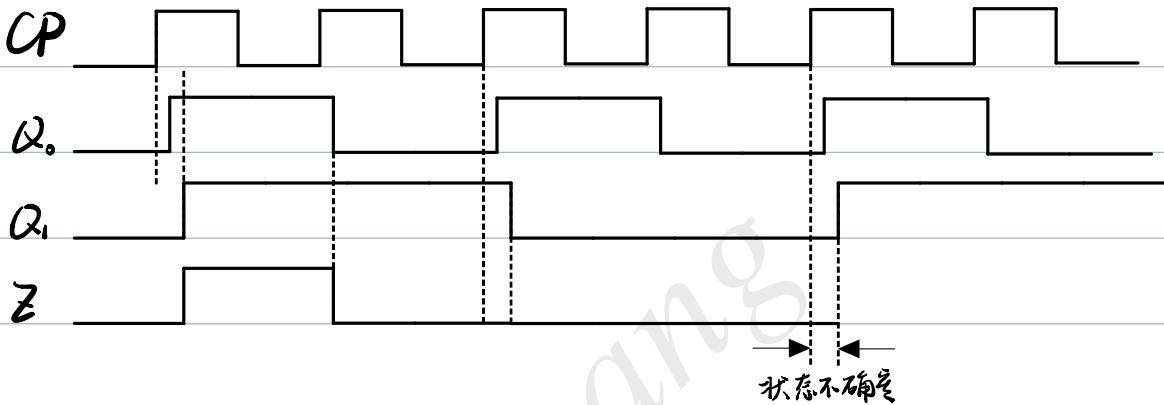
$Q_1^n Q_0^n$	CP_1	CP_0	$Q_1^{n+1} Q_0^{n+1}$	Z
0 0	1	1	1 1	0
0 1	0	1	0 0	0
1 0	1	1	0 1	0
1 1	0	1	1 0	1

状态图

$Q_1 Q_0 / Z \rightarrow$



时序图



② 逻辑功能分析 异步二进制减计数器

5 寄存器和移位寄存器

寄存器

数字系统中用来存储一组二值代码的逻辑部件

1个寄存器可存储一位二进制代码

存储n位二值代码需要n个触发器

移位寄存器 (同步时序电路)

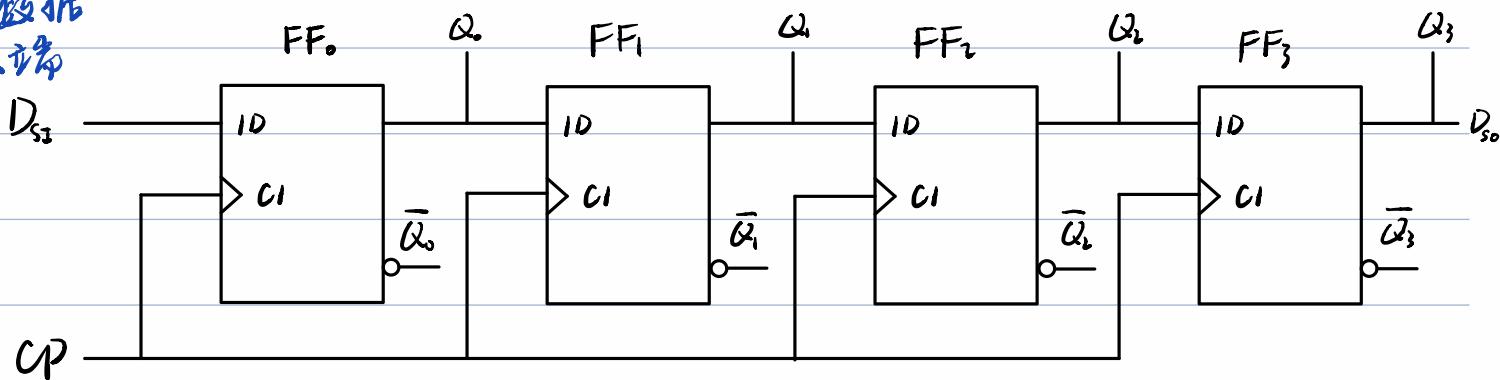
既能寄存数码，又能在时钟脉冲的作用下使数码向高位或低位移动。

{ 单向移位 { 左移
 双向移位 右移

基本串行移位寄存器 (只能用边沿敏感触发器)

并行数据输出端

串行数据
输入端



$$\text{激励方程 } D_0 = D_{SJ} \quad D_1 = Q_0^n \quad D_2 = Q_1^n \quad D_3 = Q_2^n$$

$$\text{状态方程 } Q_0^{n+1} = D_{SJ} \quad Q_1^{n+1} = Q_0^n \quad Q_2^{n+1} = Q_1^n \quad Q_3^{n+1} = Q_2^n$$

n 位二进制数需要 n 个触发器

多工能双向移位寄存器

6 计数器

计数器的功能

对输入的时钟脉冲进行计数

分类

同步
异步

} 二进制
十进制
任意进制

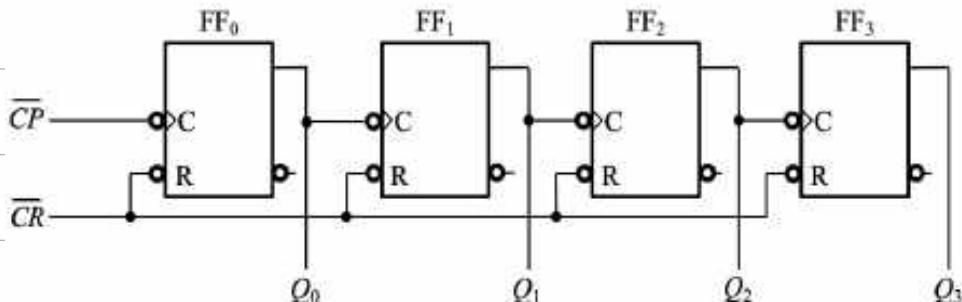
} 加法
减法
可逆

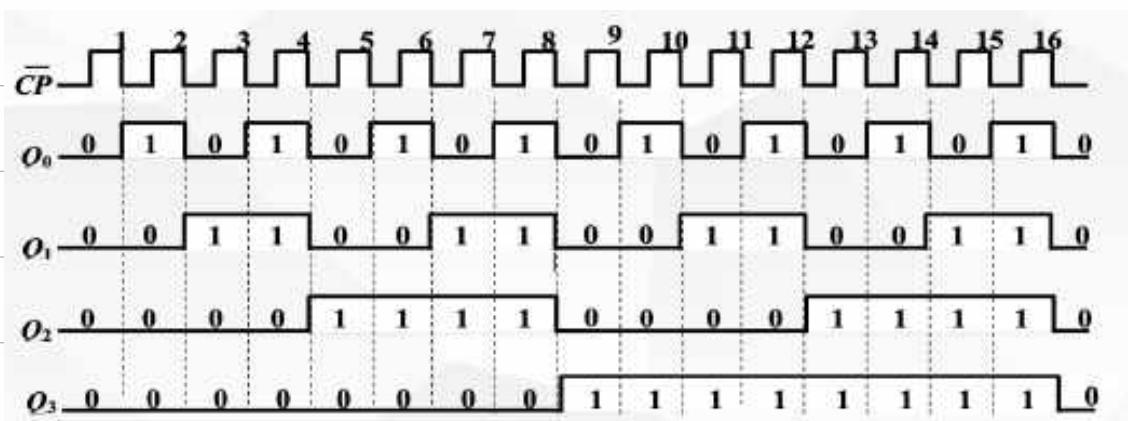
N位二进制计数器

按照二进制数自然递增或递减而工作的计数器

n 位二进制计数器的模为 2^n , 由 n 个触发器组成

4位异步二进制加计数器





4位同步二进制加计数器

T 触发器：T=1 翻转，T=0 保持

$$\left\{ \begin{array}{l} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 \end{array} \right.$$

8 集成计数器的应用

M进制 \longrightarrow N进制

N < M

反馈清零法

利用异步置零输入端，在M进制计数的计数过程中，跳过 M-N 个状态，得到 N 进制计数器

反馈置数法

利用同步置数端，在M进制计数的计数过程中，跳过 M-N 个状态，得到 N 进制计数器

N > M

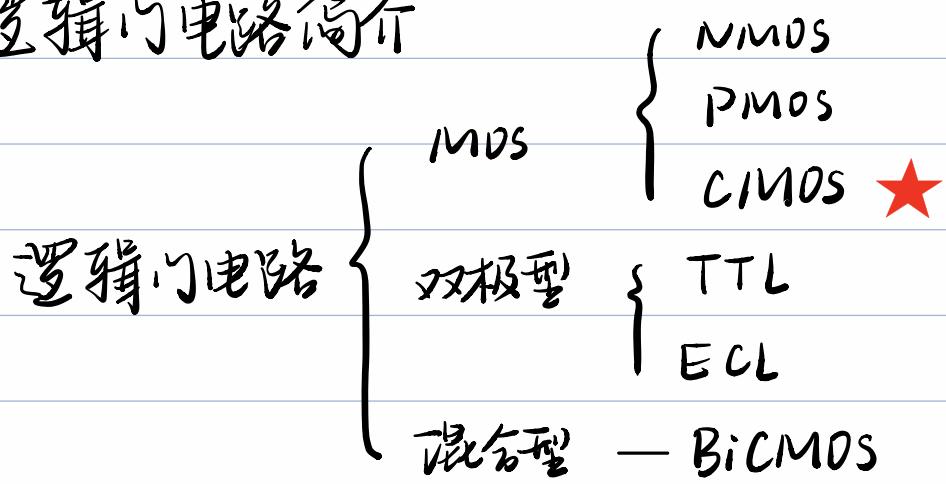
多个芯片连接扩展

并行进位：低位片的进位作为高位片的使能（同步）

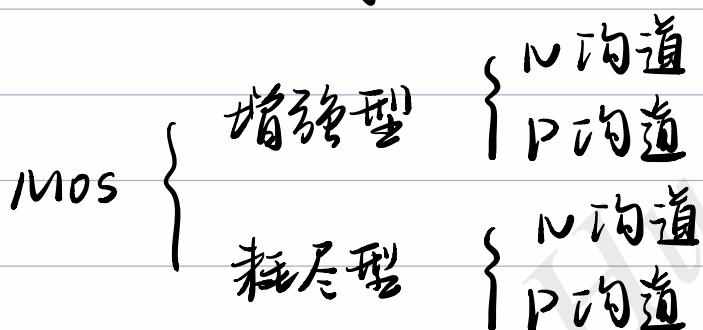
串行进位：低位片的进位作为高位片的时钟（异步）

8.6 逻辑门电路

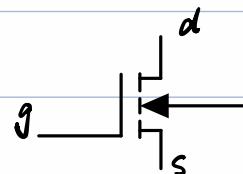
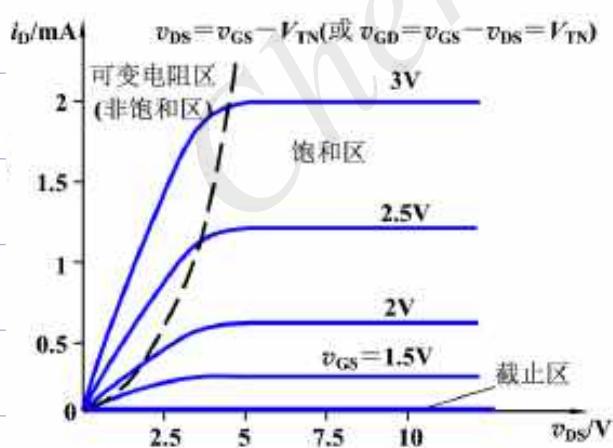
1 逻辑门电路简介



2 MOS 管及其开关特性



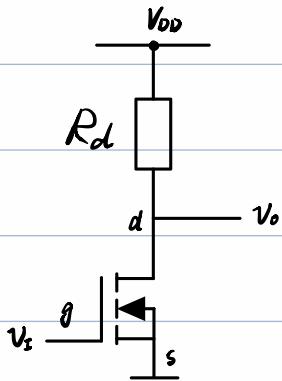
e.g. N沟道增强型 MOS管



详见模电笔记



MOS管开关电路



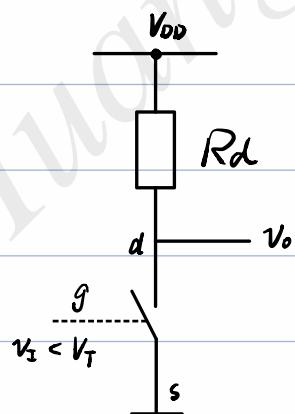
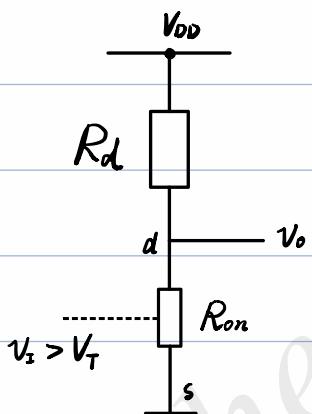
R_d 限流，功耗大
可用一个PMOS代替 R_d
 \Rightarrow 构成CMOS反相器

① $v_i < v_t \rightarrow$ 截止 \rightarrow 断开 \rightarrow 输出 1

输出电压 $v_o = V_{DD}$

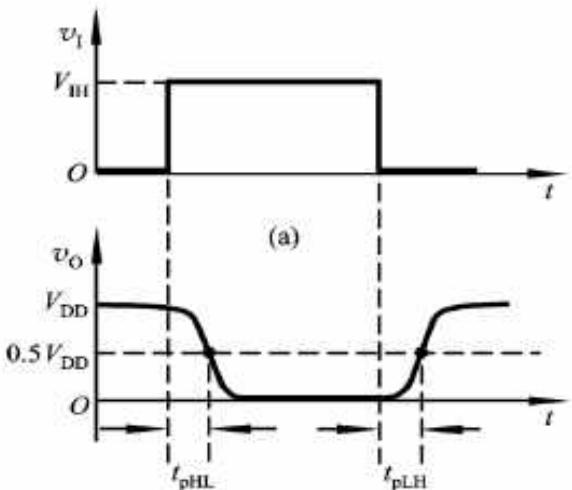
② $v_i > v_t \rightarrow$ 可变电阻区 \rightarrow 闭合 \rightarrow 输出 0

v_{GS} 足够大时， R_{on} 很小， $R_d \gg R_{on}$



MOS管相当于一个由 v_{GS} 控制的无触点开关
输入低电平，输出高电平
输入高电平，输出低电平

动态特性



存在极间电容

t_{pHl} t_{plh}
传输延迟时间

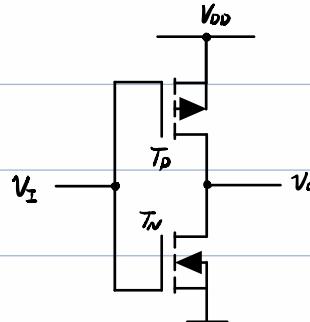
3 基本CMOS逻辑门电路

(1) CMOS 反相器

$$L = \overline{A}$$

用PMOS代替电阻

即互补NMOS和PMOS构成CMOS 反相器



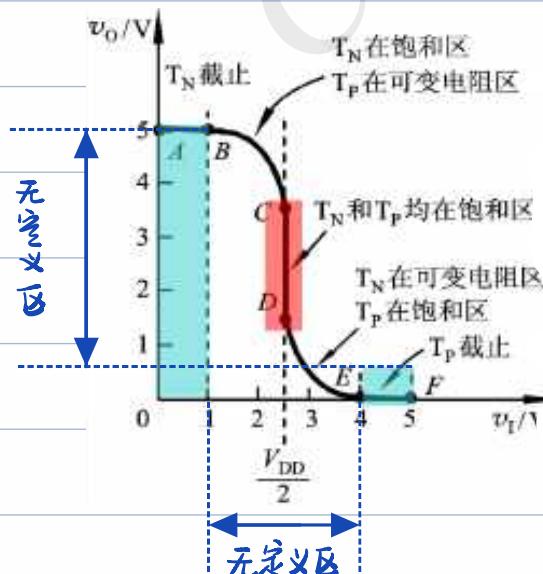
输入高电平 $v_I \approx V_{DD}$ 输出低电平 $v_O \approx 0$
输入低电平 $v_I = 0$ 输出高电平 $v_O \approx V_{DD}$

特点

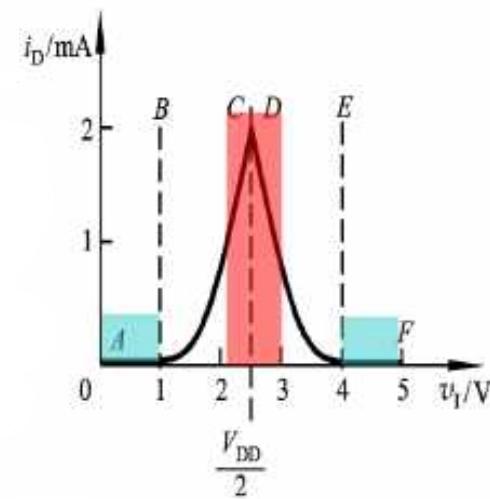
- ①无论 v_I 高/低电平, T_N 和 T_P 总是一个导通而另一个截止, CMOS的静态功耗几乎为零.
- ②MOS管导通电阻低, 截止电阻高, 充放电时间常数小, 具有更强的带负载能力.
- ③MOS管 $I_G \approx 0$, 输入电阻高.

电压和电流传输特性

$$v_O = f(v_I)$$



$$i_D = f(v_I)$$



输入 / 输出逻辑电平
允许波动范围

(2) 其他基本CMOS逻辑门电路

CMOS与非门

2个NMOS串联 & 2个PMOS并联

$$L = \overline{AB}$$

几个输入端的与非门必须有n个NMOS管串联和n个PMOS管并联

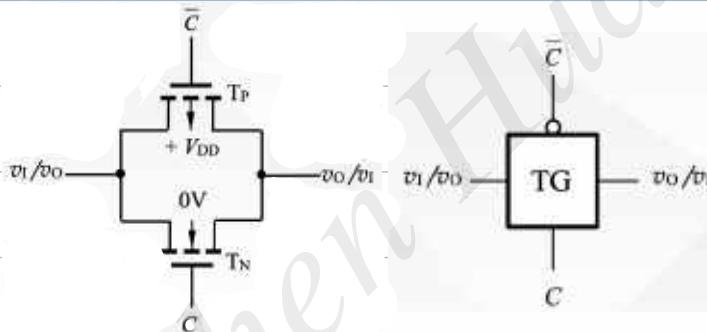
CMOS或非门

2个NMOS并联 & 2个PMOS串联

$$L = \overline{A+B}$$

CMOS传输门

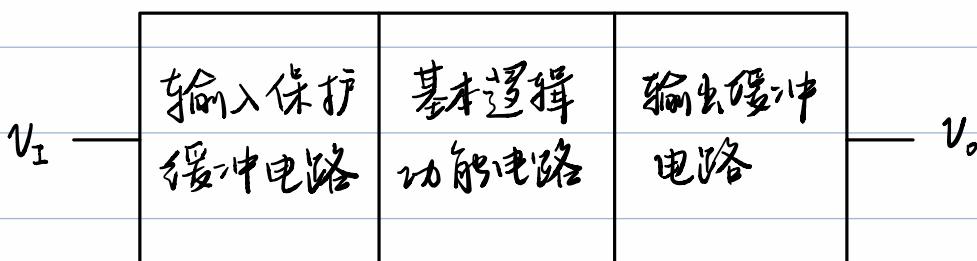
NMOS和PMOS三极管源极和漏极分别连在一起



C	\bar{C}	
1	0	传输
其余	断开	

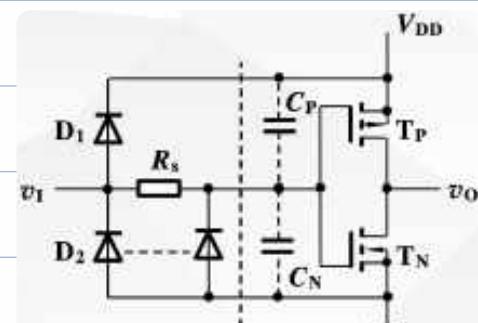
4 CMOS逻辑门的不同输出结构

(1) 保护和缓冲电路



输入端保护电路

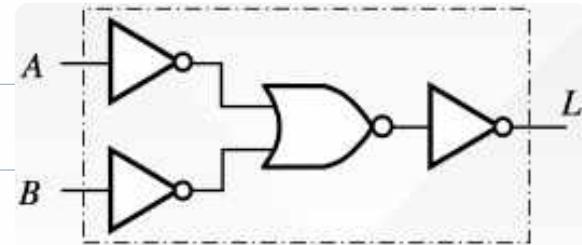
当输入电压不在正常范围时，二极管导通，限制电压的增加。



CMOS逻辑门的缓冲电路

输入、输出端加了反相器
作为缓冲电路

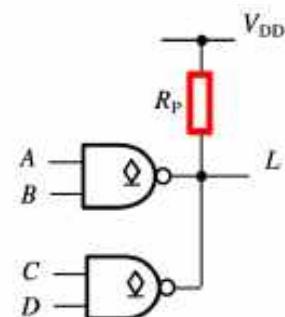
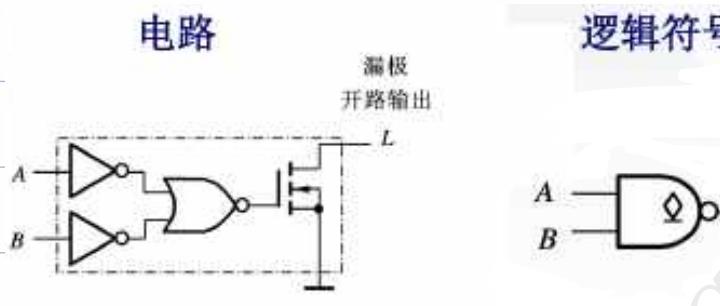
$$L = \overline{\overline{A} + \overline{B}} = \overline{AB}$$



(2) CMOS逻辑门的不同输出结构

CMOS漏极开路(OD)门与非门

① 结构及工作原理



$$L = \overline{AB} \cdot \overline{CD}$$

② 上拉电阻对OD门动态性能的影响

- 当其他门电路作为OD门的负载时，OD门称为驱动门，后接的称为负载门。
- 上拉电阻 R_P 影响OD门的开关速度。
 R_P 越小，负载电容的充电时间常数越小，开关越快。
- 避免用OD门驱动大的电容性负载。

③ 上拉电阻的计算

$$R_{P(\min)} = \frac{V_{DD} - V_{OL(\max)}}{I_{OL(\max)} - I_{IL(\min)}}$$

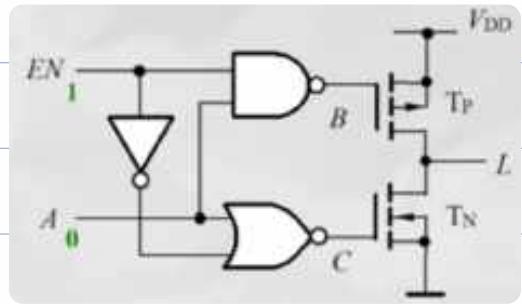
$$R_{P(\max)} = \frac{V_{DD} - V_{OL(\max)}}{I_{OL(\max)} - I_{IL(\max)}}$$

④ 应用

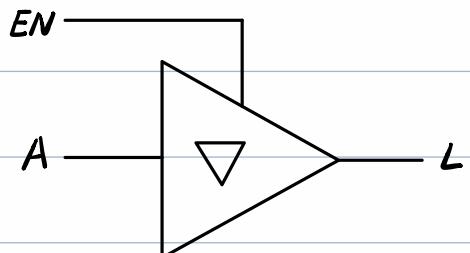
实现多个逻辑门输出端的线与
直接驱动大电流负载
实现逻辑电平转换

三态(TSL)输出门电路

使能 EN	输入 A	输出 L
1	0	0
1	1	1
0	X	高阻



逻辑功能：高电平有效的同相逻辑门



5 CMOS逻辑门电路的重要参数

输入和输出的高、低电平 (高: 1 低 0)

$$V_{IL(\max)}, V_{IH(\min)}, V_{OL(\max)}, V_{OH(\min)}$$

噪声容限：保证输出电平不变下，输入电平允许波动的范围

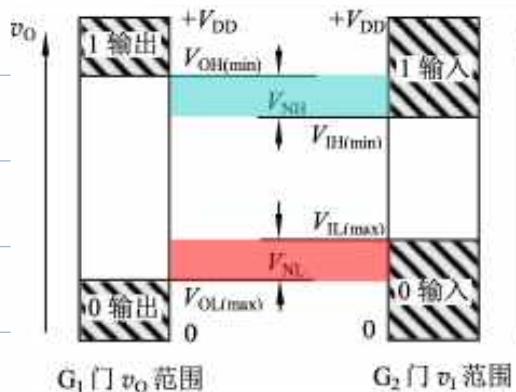
表示门电路的抗干扰能力

负载输入高电平时的噪声容限

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$

负载输入低电平时的噪声容限

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$



传输延迟时间

$$t_{PHL} = t_{PLH}$$

功耗

静态功耗

门电路空载时电源总电流 I_{DD} 与电源电压 V_{DD} 的乘积

- CMOS 静态功耗很低，有动态功耗

- TTL 静态功耗是主要的

动态功耗 电路在输出状态转换时的功耗

$$P_L = (C_{PD} + C_L) V_{DD}^2 f$$

延时—功耗积 $D \cdot P = t_{pd} P_D$

扇入/扇出数

扇入数 取决于逻辑门的输入端个数

扇出数 正常工作情况下，能带同类门的最大数目

$$\begin{cases} \text{高电平扇出数} & N_{OH} = \frac{I_{OH}(\text{驱动门})}{I_{OL}(\text{负载门})} \\ \text{低电平扇出数} & N_{OL} = \frac{I_{OL}(\text{驱动门})}{I_{OL}(\text{负载门})} \end{cases}$$

若 $N_{OH} \neq N_{OL}$ ，二者中数值小的为扇出数

6 逻辑描述中的几个问题

(1) 正负逻辑问题

正负逻辑规定

正逻辑 $\begin{cases} \text{高电平} \rightarrow 1 \\ \text{低电平} \rightarrow 0 \end{cases}$

负逻辑 $\begin{cases} \text{高电平} \rightarrow 0 \\ \text{低电平} \rightarrow 1 \end{cases}$

正负逻辑的等效变换

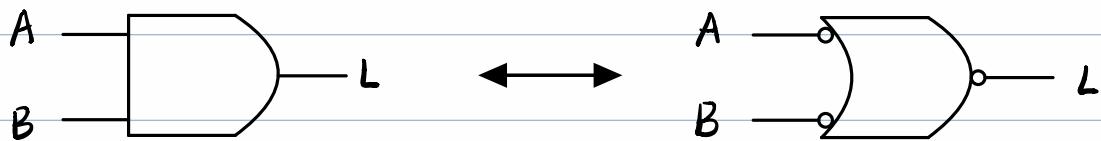
与非 \Leftrightarrow 或非

与 \Leftrightarrow 或

非 \Leftrightarrow 非

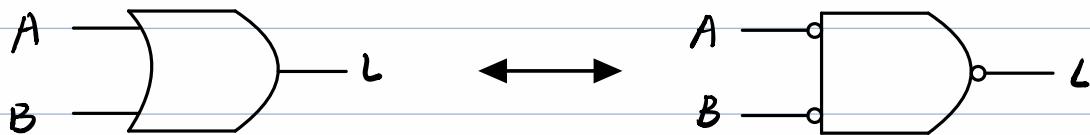
(2) 基本逻辑门的等效符号及其应用

$\begin{cases} \text{高电平有效} \\ \text{低电平有效} \end{cases}$



$$L = AB$$

$$L = \overline{\bar{A} + \bar{B}} = AB$$



$$L = A + B$$

$$L = \overline{\bar{A} \bar{B}} = A + B$$

7 逻辑门电路使用中的几个实际问题

(1) 接口问题 (电压兼容、电流匹配)

门电路输入、输出电压范围

电压兼容: 驱动的输出要在负载的输入范围内

输出问题: 驱动器件必须为负载提供足够的拉电流或灌电流。

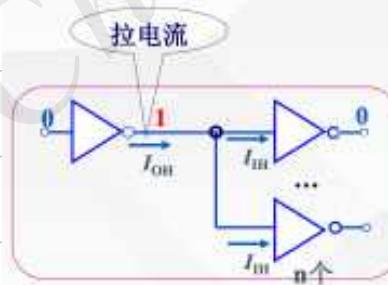


图4 负载器件的电流要求-拉电流

$$|I_{OL(max)}| \geq |I_{OL(total)}|$$

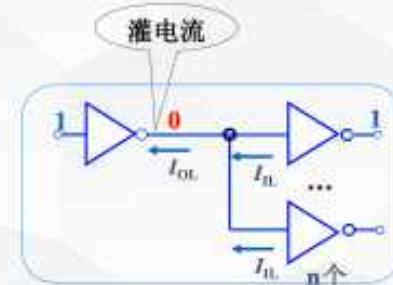


图5 负载器件的电流要求-灌电流

$$|I_{OL(max)}| \geq |I_{IL(total)}|$$

解决方案: 电平转换器, 外接上拉电阻……

(2) 驱动其它负载

显示性负载

机电性负载

(3) 抗干扰措施

多余输入端的处理措施

△ 原则：不改变电路工作状态及可靠性

① 与其他输入端并联

② 与门、与非门输入端接正电源

或门、或非门输入端接地

去耦合滤波电容

在直流电源和地之间接去耦合滤波电容，消除干扰信号

接地和安装工艺

电源地、信号地分开；模拟地、数字地分开