

一.简答题 (共1 题,100.0分)

1.

【第8次作业】11月23日(周四)交

P351-353

7.1.1 (3), (4)

7.1.2 (3)

7.1.3

7.2.3

7.2.4

7.2.5

2023.11.16

请大家通过附件提交一个pdf (可扫描)

(附件是编辑框从右向左第五个符号. 回形针)

7.1 只读存储器

7.1.1 指出下列存储系统各具有多少个存储单元,至少需要几根地址线 and 数据线。

(1) $64K \times 1$ (2) $256K \times 4$ (3) $1M \times 1$ (4) $128K \times 8$

解:(1) 存储单元 = $64K \times 1 = 64K$ 个(注: $1K = 1024 = 2^{10}$);

因为, $64K = 64 \times 1024 = 2^{16}$, 即 $n = 16$, 所以地址线为 16 根;

数据线根数等于位数, 此处为 1 根。

同理得:

(2) 存储单元 = $4 \times 256 \times 1024 = 2^{20} = 1M$ 个存储单元; 地址单元 $256K = 2^8 \times 2^{10} = 2^{18}$, 即 18 根地址线; 数据线为 4 根。

(3) 存储单元 = $1M \times 1 = 1M$, 地址单元 $1M = 2^{20}$, 即 20 根地址线; 1 根数据线。

(4) 存储单元 = $128K \times 8 = 1M$, 地址单元 $128K = 2^{17}$, 即 17 根地址线; 数据有 8 位, 需要 8 根数据线。

7.1.2 设存储器的起始地址为全 0, 试指出下列存储系统的最高地址的十六进制地址码为多少。

(1) $2K \times 1$ (2) $16K \times 4$ (3) $256K \times 32$

解: 因为存储系统的最高地址 = 字数 + 起始地址 - 1, (1)、(2)、(3) 题给出的字数分别为 $2K$ 、 $16K$ 和 $256K$, 而起始地址均为 0。所以它们的十六进制地址码是:

(1) 最高地址 = $2K + 0 - 1 = 2 \times 1024 - 1 = 7FF_H$

同理: (2) $3FFF_H$ (3) $3FFFF_H$

例 7.1.2 试确定用 ROM 实现下列逻辑函数时所需的容量:

7.1.3 试确定用 ROM 实现下列逻辑函数时所需的容量:(1)实现两个 3 位二进制数相乘的乘法器;(2)将 8 位二进制数转换成十进制数(用 BCD 码表示)的转换电路。

解:用 ROM 实现逻辑函数时,逻辑函数的输入变量由 ROM 地址线输入,逻辑函数值由 ROM 数据线输出。

(1) 两个 3 位二进制数相乘,共有 6 位输入,即需要 6 根地址线;而两个 3 位二进制数相乘的最大值是 49,即 $111_B \times 111_B = 11001_B$,共需要 6 位输出,所以 ROM 的容量应为 $2^6 \times 6$ 位。

(2) 8 位二进制数的最大值为 11111111,转换成十进制数表示为 255,用 BCD 码表示为 1001010101,即输入 8 位,输出 10 位,所以 ROM 的容量应为 $2^8 \times 10$ 位。

7.2.3 一个有 $1M \times 1$ 位的 DRAM,采用地址分时送入的方法,芯片应具有几根地址线?

解:由于 $1M = 2^{10} \times 2^{10}$,所以需要 10 根行地址线和 10 根列地址线,但芯片采用行、列地址分时送入,所以芯片应具有 10 根地址线。

7.2.4 用容量为 $16K \times 1$ 位存储器芯片构成一个 $32K \times 8$ 位的存储系统,总共需要多少根地址线?多少根数据线?多少个 $16K \times 1$ 位的存储器芯片?

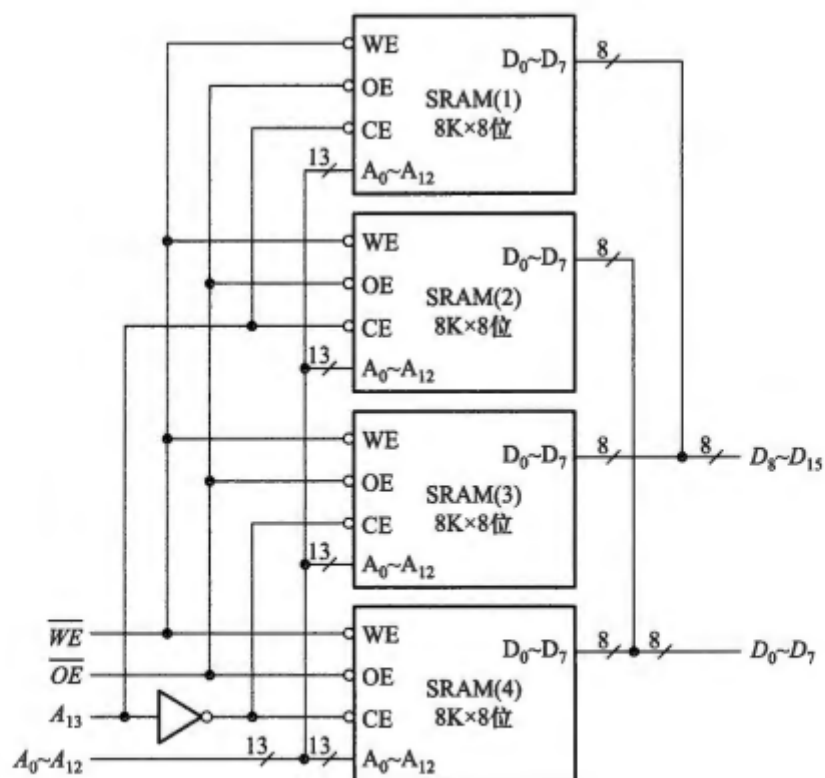
解: $32K \times 8$ 位存储系统的字数 $32K = 2^{15}$,所以需要 15 根地址线;而 8 位需要 8 根数据线。 $16K \times 1$ 的芯片扩展到 8 位就需要 8 片,再扩展到 32K 个字还需要加倍,所以共需要 $8 \times 2 = 16$ 个 $16K \times 1$ 位的存储器芯片。

7.2.5 试用具有片选使能 \overline{CE} 、输出使能 \overline{OE} 、读写控制 \overline{WE} 、容量为 $8K \times 8$ 位的 SRAM 芯

片和必要的逻辑门,设计一个 $16\text{K}\times 16$ 位的存储器系统,试画出其逻辑图。

解:采用 $8\text{K}\times 8$ 位的 SRAM 构成 $16\text{K}\times 16$ 位的存储器系统,必须同时进行字扩展和位扩展。用 2 片 $8\text{K}\times 8$ 位的芯片,通过位扩展构成 $8\text{K}\times 16$ 位系统,此时需要增加 8 根数据线。要将 $8\text{K}\times 16$ 位扩展成 $16\text{K}\times 16$ 位的存储器系统,还必须进行字扩展。因此还需 2 片 $8\text{K}\times 8$ 位的芯片通过同样的位扩展,构成 $8\text{K}\times 16$ 位的存储系统,再与另一个 $8\text{K}\times 16$ 位存储系统进行字扩展,从而实现 $16\text{K}\times 16$ 位的存储器系统,此时还需增加 1 根地址线。系统共需要 4 片 $8\text{K}\times 8$ 位的 SRAM 芯片。

用增加的地址线 A_{13} 控制片选使能 \overline{CE} 便可实现字扩展,两片相同地址的 SRAM 可构成 16 位数据线。其逻辑图如图题解 7.2.5 所示。其中 (1) 和 (2)、(3) 和 (4) 分别构成两个 $8\text{K}\times 16$ 位存储系统;非门将 A_{13} 反相,并将 A_{13} 和 $\overline{A_{13}}$ 分别连接到两组 $8\text{K}\times 16$ 的片选使能端 \overline{CE} 上,实现字扩展。



图题解 7.2.5