

2022

期中数电，期末数电模电各占一半（还有一道魔术转换），把数电分拿完了，模电随缘了。

2022秋回忆版试题如下

1. 20分填空题，一些概念填空：

时序与组合的区别，两种时序电路类型，单门限比较器的**电压三要素**，ADC的四个阶段，判断BJT的三个电极，BJT放大电路工作在哪两个区...

2. 一道六进制计数器设计，提供状态图，对 Q_1, Q_2, Q_3 分别要求使用 D, T, JK 触发器，画出全部状态图，判断自启动

3. 使用计数器模块实现第2题的设计

4. 读verilog代码，写逻辑电路图，问如果语句块中的 \leq 变为 $=$ 有什么结构区别

5. 共射极放大电路，给了 $i_c = f(v_{ce})|v_{be}$ 图像，以及**图像上直交流过同一Q点的直线**，求一些参数 V_{CC}, β 等，画出直流分路和交流分路，已知 r_{be} ，求 A_v, R_i, R_o

6. 运放，问级间反馈元件和类型，求 v_o ，求**平衡电阻**

7. 给MOS级电路，写出对应输出的逻辑表达式

8. 设计，给元件的逻辑和输入输出信号波形图，给定选择器，比较器，寄存器，要求画**数据通路**和设计摩尔型**控制器**，画出状态图

第一题就是一个简单的设计时序电路——一个模6计数器，第二题是根据第一题的功能用计数器实现（就是连连线，非常简单）

第三题是看verilog代码然后画出电路图，第二小问分析一下非阻塞赋值和阻塞赋值的区别

第四题就是模电最基本的BJT电路分析，算Q点相关参数，算输入电阻输出电阻放大倍数之类的

第五题是运放的电路推导，就是求 R_6 和 V_o 的表达式，自己胡乱写的感觉难者不会会者不难

第六题是mos电路图的推导，实际上让你求几个中间量和最后结果的表达式，也比较简单

第七题也就是压轴题，设计一个能处理两个数据的数字系统，第一题画数据通路，第二题画状态图，说实话考试结束前半个小时我在跟这个题大眼瞪小眼实在不会，也没记住啥，提供一下题型供明年参考吧。

听说这卷子cjb老师出的，cjb老师平时挺和蔼的一个人，我并没有讨厌老师的感觉，只是觉得老师出的题难度不一且题型偏怪，希望明年能改善一下吧，20分填空概念题是真的折磨人，什么玩意复习都不一定能扫上一眼，有的概念我是一点印象都没有，真蚌埠住了🤔

况卜,这个题班上做对者寥寥,最高分也没过90.

- 期末最后两个题(12+15分)分别是给一段有三个always语句的Verilog代码,第一问画出某段语句的电路图(基本送分),后面让画出DFA然后写出它的功能,三个always语句给我一种A调用B,B调用C,C调用A的感觉,平常没做过类似练习,实在是绕不过来,最后一个提是做一个有15位(?这个记不清了)序列检测电路,可以使用给出的寄存器,比较器,计数器,还有额外要求,如序列检测开始到结束之间复位键无法使用等,实在是太难,完全白给.这些题给我感觉类似于图论中merge定理,五色定理等,就算给我证明过程也要反应半天,实在是不会,最后班上最高分75,恐怕真的能够完整做出一个题的没几个吧....

期末(半开卷)考的内容按顺序为:二极管导通的恒压降模型、BJT类型分析(只给电流流向和大小,判断NPN or PNP并确定各极)、共集电极放大电路直流交流分析(没错就是那个最难的)、MOS管搭组合电路、方波锯齿波产生电路(老师在中间还塞了个放大电路,考场上看到三个运放时我的内心是懵逼的)、AD7533-DAC的应用与分析(这是作业题)、74x160串联组成的同步置数计数器、SRAM的字扩展、Verilog代码阅读与分析(根据代码画出部分逻辑元件及其数据通路)、数电压轴设计大题——模式匹配(没错就是找子串个数).试卷的平均难度明显高于期中,考试时间甚至还延长了十分钟.最后卷面全班均分40+, 最高75(鲨疯了鲨疯了), 等待调分中.....

这学期的助教也很有趣，骚话多多，总体体验不错。附带一份回忆的期末试卷，一共9道题，开考一小时后宣布延长半小时，从两点半考到五点，人都考傻了。

最后，求隔壁程老师出一张平均分能过60的卷子吧QAQ。

模拟与数字电路期末考卷

1. 给出一计数器的状态转换图与计数器引脚功能定义，画出计数器的外围电路。（有坑，复位和置数都是异步的）
2. Verilog代码阅读(FSM的Verilog描述)
 - (1)c和s分别有什么用：c下降沿触发时钟信号，r上升沿触发复位信号
 - (2)画出FSM状态转换图
 - (3)FSM运行到S3时n中的值为多少(input d[7]中1的个数)
3. 用D触发器，2-4线译码器实现一个可编程寄存器，用于逐次比较型ADC的计数器
4. 考察积分电路+传输门+T触发器
5. 实现一个FSM(一共六个状态，已不能化简)，根据状态转移图画出状态表，写出FSM三个输出端口的激励方程（Q2要求使用T触发器，Q1Q0使用D触发器），并画出门级电路图。
6. 根据MOS管电路图写出电路的功能，输入限制。（两个与非门 $C=\neg AD$ ， $D=\neg BC$ ，功能为低电平有效SR锁存器，限制为AB不同时为0）
7. 等压降模型二极管，根据 v_i 画出 v_o
8. 三极管放大电路，画出交流，直流电路，分析静态工作点，计算 R_i ， R_o ， A_v ，写出电容的作用（和书上长的不太一样，抄的模型都没用）
9. 理想运放，分析电路功能，画出电压特性曲线（考察迟滞比较器，加了一个稳压二极管用于输出端限幅）。

影响深刻的是第一题，利用给好的二进制计数芯片设计一个模6的计数器，给出了状态转换图，答主一看到这道题就乐了，这不是我看过的吗？就弄了一个异步清零反馈就看下一题了，但是考完试对答案发现，状态并不是递增+1！然后GG

还有第二题Verilog，个人以为这道题出的不好，其实这题蛮像大一C语言的读代码求运行结果这种题的，但是一定要铭记一点：Verilog代码并不是串行执行的语句，同步时序电路中，多个always块之间其实是在同一个时钟信号有效边沿到来时同时执行！这题有一个线网z没有定义。

最后一题是这张卷子中最有水平的题目，一个触发器+传送门+运放，需要你老师上课的ppt好好看一看，了解积分电路、虚短、和传送门的工作原理，题目让画输出波形

第二部分填空：考到了DRAM的分时输送，BJT三极管的工作区判断，等等，也是_需要在复习的时候把ppt（包括下面的注释）要好好看。_

第一大题，给了个同步置数法计数器，让你画出全部状态完整状态图：挖了个坑，置数置的是0010不是0000，容易思维定势然后做错。但是逻辑上不算不基础的。

第二大题：摩尔形时序逻辑设计。下降沿检测，将输入的连续高电平转换成一个单独时钟周期的高电平然后输出。还要求最低位用T触发器，其他用D触发器。这道题蛮耗时间的，而且设计要思路全面，不容易想清楚。

第三大题：掩模ROM，二极管类型的，和ppt上一样，送分

第四大题：verilog代码分析，要求不能生成锁存器，找错（但不用改）。这道题本人认为略微超纲，而且比较难，得分率蛮低的，要考虑清楚always语句块的行为，会联系到你在模数实验里使用verilog的经验。

第五大题：BJT放大电路，很基本的几乎不变的例题模型（参考ppt上的共集电极放大电路），没有具体数值，全部带字母算。最后一问问你，现在截止失真了，要你怎样调整一个电阻的大小。

（本来程老师出这道题是全部给了数值，最后一问要你定量计算电阻调整的取值范围，还要考虑同时饱和和截止来确定R的范围。但是张老师心慈手软把这题改了）

第六大题：虚断虚断分析集成运放电路，给你了几个输入字母，要你字母算出输出电压。这道题和模电书习题2.4.4的电路基本一模一样。貌似错了一片，有人误认为虚断的集成运放输出端电流也为0.....

第七大题：迟滞比较器，比较基本的。考了一个“平衡电阻”，这个概念要心里有个数。

第八大题：MOS的逻辑门，送分的，真的是送分的。



期中考试确实**恶心**，开卷没什么用

前两题是进制转换（送分），一题卡诺图（送分），一题读电路图写功能（**专有名称要写对**..比如**2-4译码器，带使能的1位全加器**），一题设计10进制BCD码全加器（**难!**），一题看电路画时序图（送分），最后两题时序电路设计（一题常规，但费时间，不容易对。另一题结合了PLD考，按要求连接触发器）

期末复习大概是数电花一天就可以看完（如果期中准备得充分的话

模电花了3天（仔细地看，楼上说的那些恶心的知识点都不会漏掉的

最后一题设计题10分完全不会...好像是**把3个移位寄存器里的数据排序，写出数据通路...**

期末半开卷，大题较为简单，但是填选出了一些藏在犄角旮旯里的知识点。举例（表述可能有细微差异）：

1. 选出与数据选择器功能相反的元件（我到现在都不知道是啥）
2. 请问PLA与阵列固定/可编程？或阵列固定/可编程？
3. 把OD门的输出端并联在一起可以实现_？
4. ADC的一般工作过程：采样，保持，____，编码？

大题记得是一道画计数器状态图，一道画移位寄存器状态图，一道读verilog代码画电路图，一道共射放大电路，一道运放，一道给CMOS门电路画逻辑图，还有一道不知道让人写什么的综合题。基本涵盖期中考试后所有知识点。