

PMC 光纤通信卡硬件设计方案

编写: _____

校对: _____

审核: _____

批准: _____

二〇〇八年七月

1 概述

1.1 需求分析

根据《PMC 光纤通信卡技术要求》，PMC 光纤通信卡在嵌入式系统中完成大容量数据的高速传输，设计为 PMC 子卡形式，对外提供标准 PMC 接口和四路 FC 通道。每路 FC 通道提供至少 2.125Gbps 的峰值数据传输速率，由于 FC 协议是使用 8b/10b 变换原则进行数据编码，有效数据速率为 200MB/s。假如两个通道同时通信或者将通道传输速率升级至 4.25Gbps，则需要 PMC 接口达到 400 MB/s 的接口传输速率，因此 PMC 接口采用标准的 66MHz 64bit PCI 协议进行通信，峰值传输速率为 528MB/s。

PMC (PCI Mezzanine Card) 规范是两个标准的结合：定义物理特性的通用中间层卡 (CMC) 格式和定义电气接口的 PCI 标准。PMC 子板的几何尺寸为 75.0mm×149.0mm。子板可以根据需要用 2、3 或 4 个紧凑连接器级联到载板上，前两个连接器为 32 位 PCI 传输提供电源和所有信号。第 3 个连接器将地址/数据总线从 32 位扩展到 64 位。第 4 个连接器用来将 64 位的用户定义 I/O 引到母板上。

1.1.1 系统组成及结构图

PMC 光纤通信卡主要由 PMC 接口单元、控制单元、存储器单元、FC 接口单元、调试单元和电源时钟单元组成，其组成框图如图 1 所示。

1.1.2 单元组成

PMC 接口单元负责完成 PCI 协议 (J1、J2、J3) 及自定义接口协

议（J4），主要由 PMC 连接器 J1、J2、J3 和 J4 组成。

控制单元主要由 FPGA 及其嵌入式处理器组成，完成数据打包、数据解析及数据分发等工作，以及各种接口的控制。

存储器单元主要由两片 DDRII RAM 和两片 QDRII RAM 组成，其中 DDRII RAM 主要用作嵌入式处理器的系统内存，QDRII RAM 用于作为高速数据缓存。

FC 接口单元完成四路光纤通道的信号转换，主要由四个光纤连接器组成。

电源时钟单元提供板上各单元的电源及时钟资源。

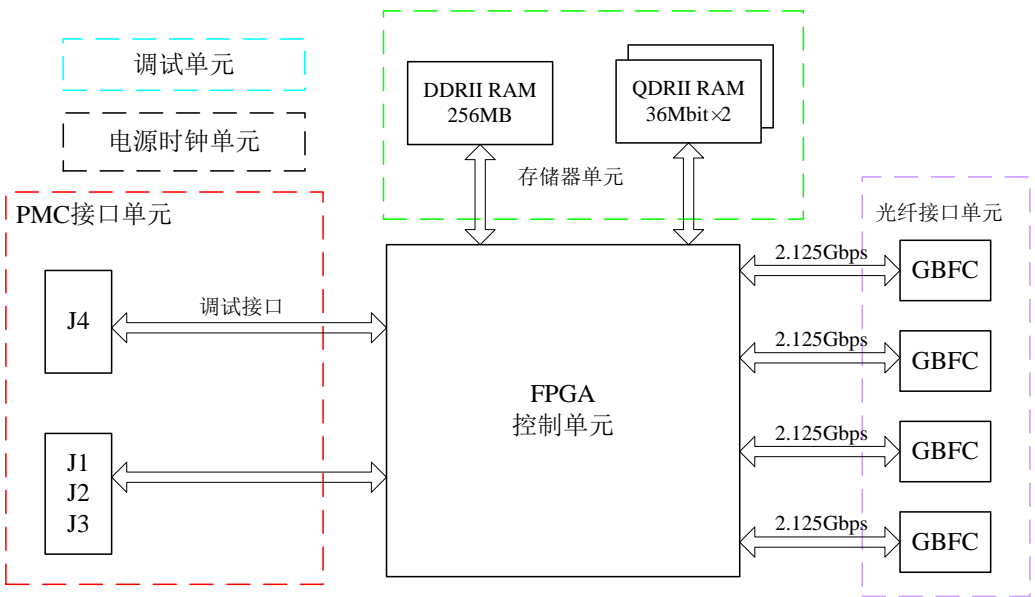


图 1 PMC 光纤通信卡组成框图

1.2 单元技术指标

1.2.1 PMC 接口单元

PMC 接口单元技术指标如下：

- PCI 协议总线数据宽度：64 bit；
- PCI 总线数据峰值吞吐量：528MB/s；

- PCI 总线时钟频率：66 MHz；
- 符合 PCI 2.2 规范；
- 符合 PMC IEEE P1386.1；
- 符合 CMC IEEE P1386；
- PCI 协议电平：PCI66_3。

1.2.2 控制单元

控制单元技术指标如下：

- CPU 内核工作频率： $\geq 300\text{MHz}$ ；
- 支持串行传输速率： $\geq 2.125\text{Gbps}$ ；
- 高速串行接口数量：4 路（收发）；
- 需要支持接口电平：LVDS、SSTL-1.8、HSTL、LVTTL 等；
- 配置方式：JTAG 在线加载或 flash 加载。

1.2.3 存储器单元

DDRII RAM 技术指标如下：

- 数据位宽：72bit；
- 存储容量：256MB；
- 工作时钟频率： $\geq 200\text{MHz}$ ；
- 接口电平：SSTL-1.8。

每片 QDRII RAM 技术指标如下：

- 数据位宽：18bit；
- 存储容量：36Mbit 或 72Mbit；
- 工作时钟频率： $\geq 167\text{MHz}$ ；

- 接口电平：HSTL。

1.2.4 FC 接口单元

FC 接口单元技术指标如下：

- 每个 FC 通道支持最大传输速率：4.25Gbps；
- FC 通道数据的接收和发送支持 DMA 方式；
- FC 通道数量：4 路；
- FC 通道缓冲区：≥256KB；
- 工作电压：3.3V。

1.2.5 电源时钟单元

时钟单元技术指标：

- 时钟源 1 频率：25MHz；
- 时钟源 2 频率：26.5625MHz；
- 时钟源输出电平标准：LVTTTL；
- 光纤接口参考时钟：2 路；
- 光纤接口参考时钟频率：212.5MHz；
- 光纤接口参考时钟电平：LVPECL。

1.2.6 环境指标

该 PMC 通信卡所允许的环境温度为-30°C 到+85°C，板上所选取的商业级器件也有其相对应的工业级产品，因此也可扩展环境温度为-45°C 到+85°C。为保证器件正常工作，机箱内需要有一定的通风措施。

motherboard 提供 5V 电源不能少于 18W。

2 功能描述

2.1 总体功能描述

PMC 光纤通信卡主要完成接收光纤数据，并利用 FPGA 内嵌的 CPU 解析光纤协议，将有效数据通过 PMC 接口送至主机；反之，通信卡接收主机传来的数据，经过 CPU 打包后，由光纤接口发送至光纤网络。如图 2 所示。

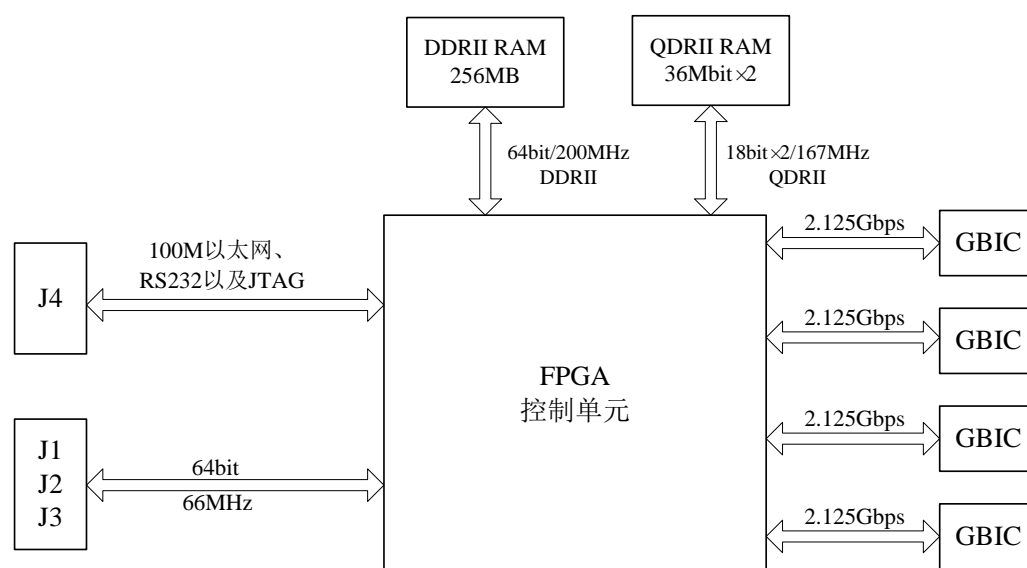


图 2 PMC 光纤通信卡数据流描述图

2.2 数据流描述

发送数据时，母板通过 J1、J2、J3 以 66MHz/64bit 的 PCI 协议将数据传输至 PMC 光纤通信卡，FPGA 内部的 PCI 接口模块接收到母板数据之后，首先将数据缓存于 QDR RAM 中，然后 FC 接口模块根据协议将数据打包，通过 FPGA 的高速串行接口（Rocket IO）送至光纤模块，输出到光纤网络；反之，当 PMC 光纤通信卡接收光纤数据时，光纤完成光电转换后，FPGA 通过高速串行接口（Rocket IO）接收数据，FPGA 内部的 FC 接口模块解析协议后，将有效数据缓存于 QDR RAM

中，并通知 PCI 接口模块，向母板请求发送数据。

2.3 系统时钟设计

系统时钟设计如图 3 所示，板上器件所需的五种基准时钟分别为 25MHz、100MHz、167MHz（差分）、200MHz（差分）和 212.5MHz（差分），其中前四种时钟由 25MHz 晶振经过可编程时钟发生器 IDT5V9885 产生，第一路为缓冲后的 25MHz 时钟，为 PHY 芯片提供参考时钟；第二路为 100MHz 时钟，为 FPGA 内部逻辑、DCM 和 PLL 提供时钟，并在内部处理后为 CPU CORE 提供时钟；第三路为 167MHz 差分时钟，为 FPGA 内部的 QDRII 控制器提供系统时钟；第四路为 200MHz 差分时钟，为 FPGA 内部 Idelay_ctrl 提供参考时钟；212.5MHz 差分时钟为 FPGA 内部的光纤收发模块（FC CORE）提供参考时钟，由专用时钟综合电路 ICS843002 产生。

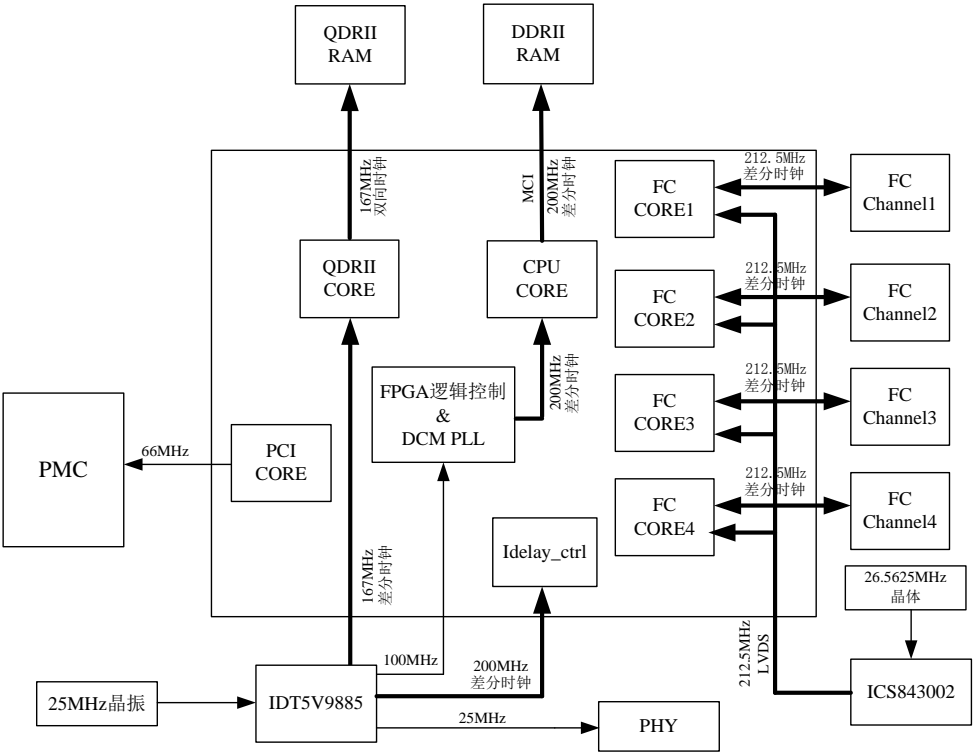


图 3 系统时钟设计

3 功能单元硬件设计

3.1 PMC 接口单元

3.1.1 连接器选择

基于相关文献提供的 PMC 的物理和电器特性，选择了 AMP 公司的 1.0mm FH 连接件：C_120521_H、C_120527_D。

主要指标如下：

- 机械尺寸：6mm×35.9mm；
- PMC 连接器管脚统计如表 1 所示：

表 1 PMC 连接器引脚统计

| POWER Pins | Bus Pins | PMC |
|--------------|----------|-----|
| +5V | | 6 |
| +12V | | 1 |
| -12V | | 1 |
| +3.3V | | 9 |
| V(I/O) | | 8 |
| Ground | | 43 |
| Subtotal | | 69 |
| | Signals | 101 |
| | BUSMODE | 4 |
| | I/O | 64 |
| | PCI | 11 |
| | PMC | 8 |
| | Subtotal | 187 |
| Total Pins : | 256 | |

- 电流的限制条件：0.5A/PIN；

机械特性如图 4 所示:

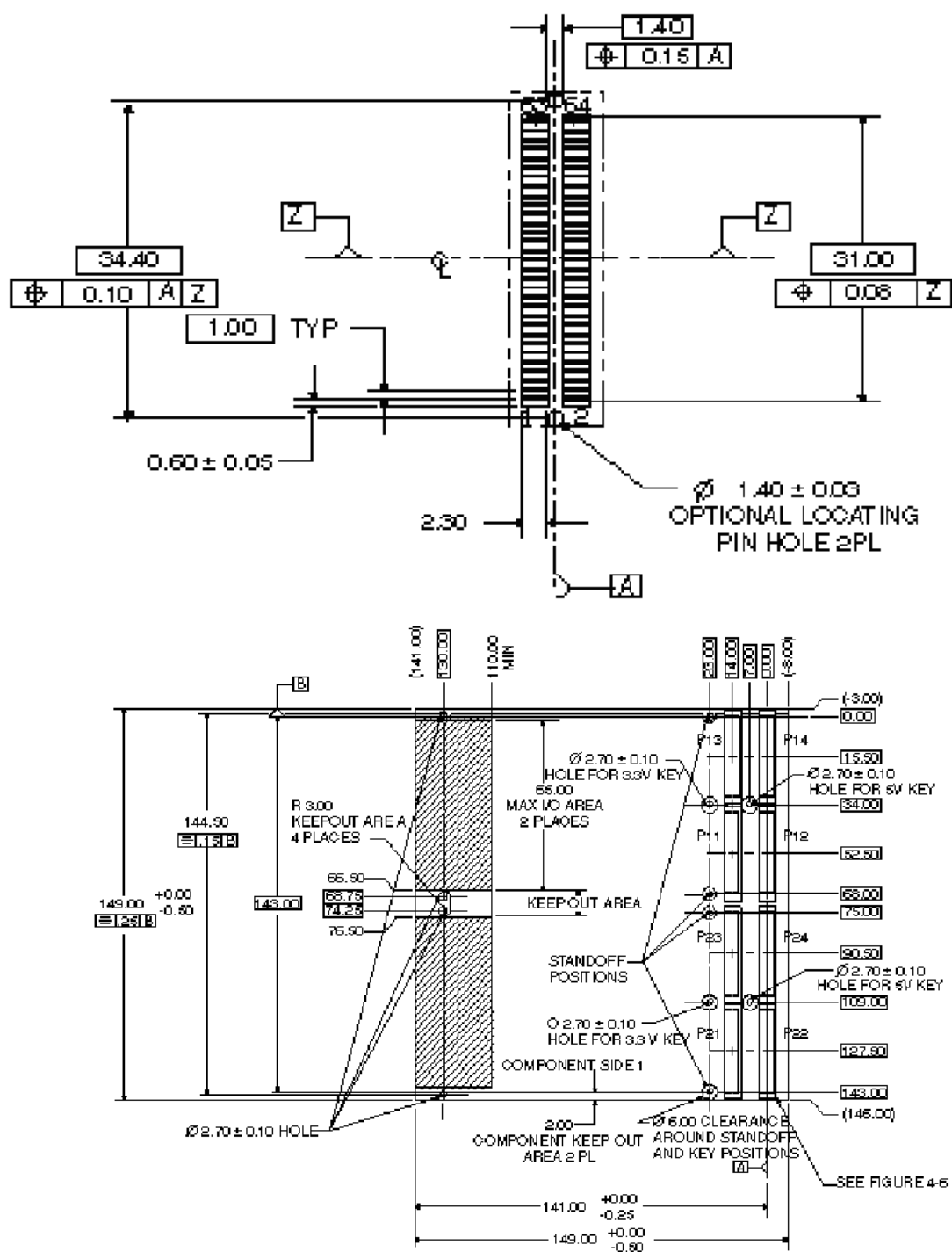


图 4 PMC 连接器机械特性图

3.1.2 硬件实现

PMC 接口中 J1、J2、J3 采用标准的 64bit PCI 连接引脚分配，J4 为自定义接口，按照主板要求进行分配。由于 PCI9656 的本地端

口峰值传输速率只有 264MB/s，对于大数据量的传输形成瓶颈，因此 64 位的 PCI 协议将由 FPGA 内部程序实现，而不采用 PCI9656 桥片。

3.2 控制单元

控制单元主要由 FPGA 及其嵌入式处理器组成，完成数据打包、数据解析及数据分发等工作。

3.2.1 主要器件选择

控制单元主要由 FPGA 芯片组成，芯片的选择主要基于以下几个方面因素：

- 4 路大于 2.125Gbps 传输速率的高速串行 IO；
- 合适的 I/O 管脚数和资源，支持所需的电平标准；
- 支持 VxWorks 操作系统；
- 具有较低的功耗；
- 合适的性价比。

由以上原因，我们选择了 XILINX 公司的 Virtex-5 FXT 系列的 FPGA，该系列 FPGA 支持最大 6.5Gbps 的单个 IO 传输速率，可以基于片上 PowerPC 构建嵌入式系统。其详细特点可见技术手册。

3.2.2 硬件实现

3.2.2.1 FPGA 加载方式

FPGA 加载的方式主要由上电时 FPGA 的 M[2:0] 引脚的状态决定，V5 系列 FPGA 支持 6 种加载接口，每种接口对应一种或几种加载方式，其对应的加载方式如表 2 所示。

表 2 FPGA 加载方式列表

| Configuration Mode | M[2:0] | Bus Width | CCLK Direction |
|---------------------------------|--------|-----------|----------------|
| Master Serial ⁽²⁾ | 000 | 1 | Output |
| Master SPI ⁽²⁾ | 001 | 1 | Output |
| Master BPI-Up ⁽²⁾ | 010 | 8, 16 | Output |
| Master BPI-Down ⁽²⁾ | 011 | 8, 16 | Output |
| Master SelectMAP ⁽²⁾ | 100 | 8, 16 | Output |
| JTAG | 101 | 1 | Input (TCK) |
| Slave SelectMAP | 110 | 8, 16, 32 | Input |
| Slave Serial | 111 | 1 | Input |

本设计中 FPGA 设计为三种加载方式：JTAG 加载、被动串行加载和 BPI 加载方式，通过设置 M[2:0]的跳线来选择不同的加载方式。JTAG 加载主要用于程序调试过程，通过 JTAG 电缆，可以方便的对各种模块程序进行调试和监测；而后两种加载方式为板卡正常工作时两种可选的加载方式。

被动串行加载的 FLASH 器件选用 XCF**P 系列芯片，其性能可参考器件手册。FX70T 的加载文件为 27Mb，因此选择 32Mb 容量的 FLASH XCF32P 作为 FPGA 被动串行加载的程序芯片，连接方式如图 5 所示。FLASH 单片存储深度为 32Mbit，可以根据要求级联以扩充容量，其内部主要存放 FPGA 的程序和 PowerPC 的 bootloader 程序。当 FPGA 选择被动串行加载方式时，还需要另外一片 FLASH 器件或者其他存储介质存储 PowerPC 的程序，本板设计为板载 Intel 公司的 P30 系列 FLASH 存储 PowerPC 程序。

当系统启动时，首先 FPGA 从 XCF32P 中加载其内部逻辑和 bootloader，然后由 bootloader 从 Intel P30 FLASH 中加载 PowerPC

的程序，完成整个的上电启动过程，其流程如图 6 所示。

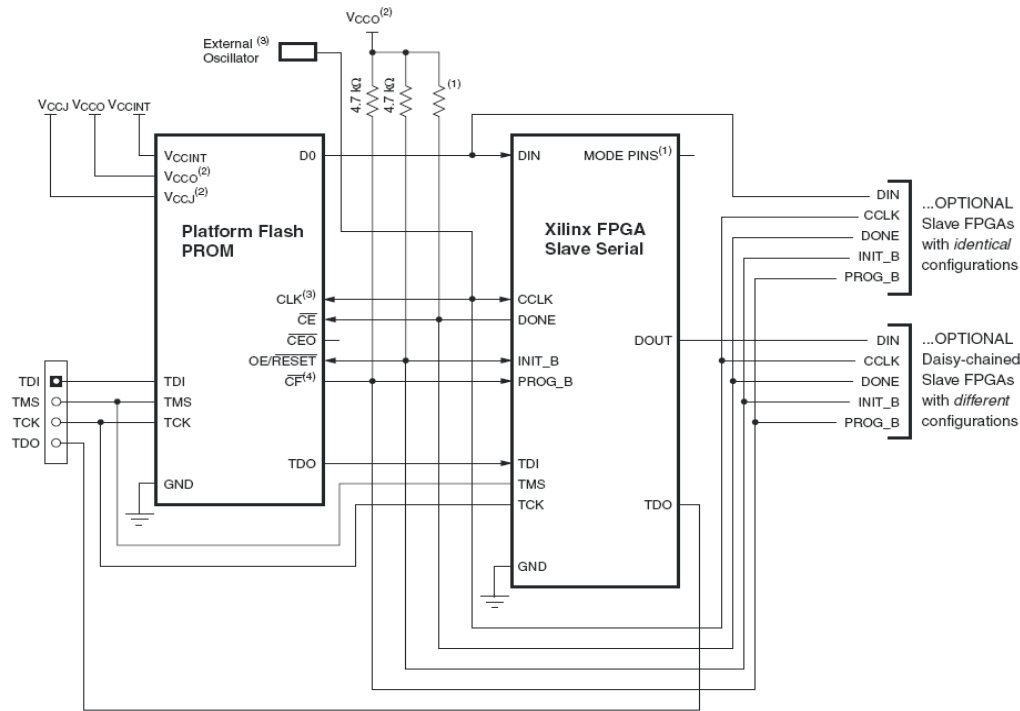


图 5 FPGA 被动串行加载方式

图中外部时钟可以根据需求禁用，只使用 XCF32P 内部的时钟，此时需要将 XCF32P 的 CLKOUT 引脚连接到 FPGA 的 CCLK，并且需要使用 4.7K 电阻上拉至 VCC0。

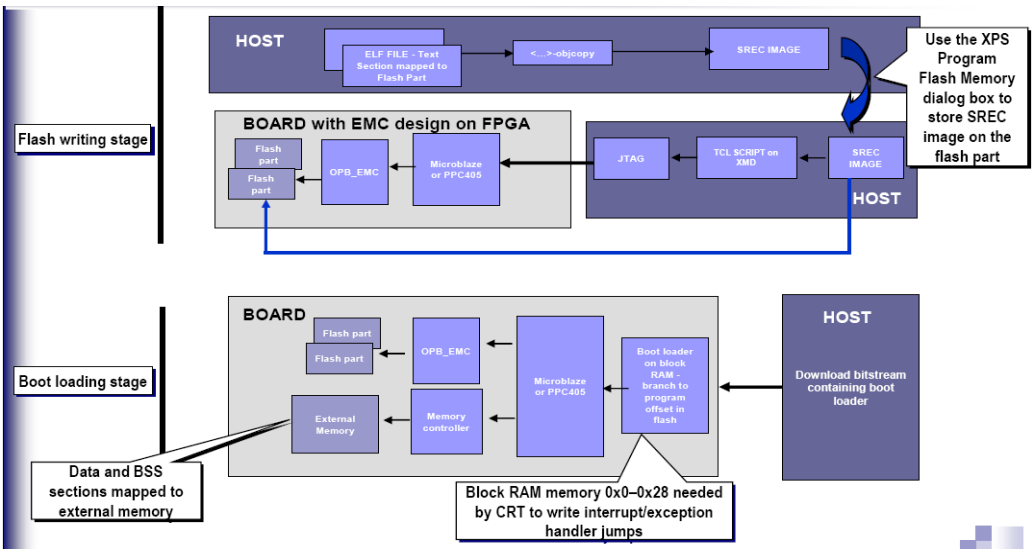


图 6 PowerPC 程序下载以及加载流程

另外一种加载方式为 BPI 方式，这种加载方式是采用一片大容量的 FLASH，将 FPGA 的逻辑程序和 PowerPC 的程序存储于同一片 FLASH 中，两种程序可以分区存储或者合并为一个 bit 文件存储。BPI 加载的 FLASH 选择 Intel 公司的 P30 系列 FLASH，单片容量为 512Mb，其连接方式如图 7 所示。

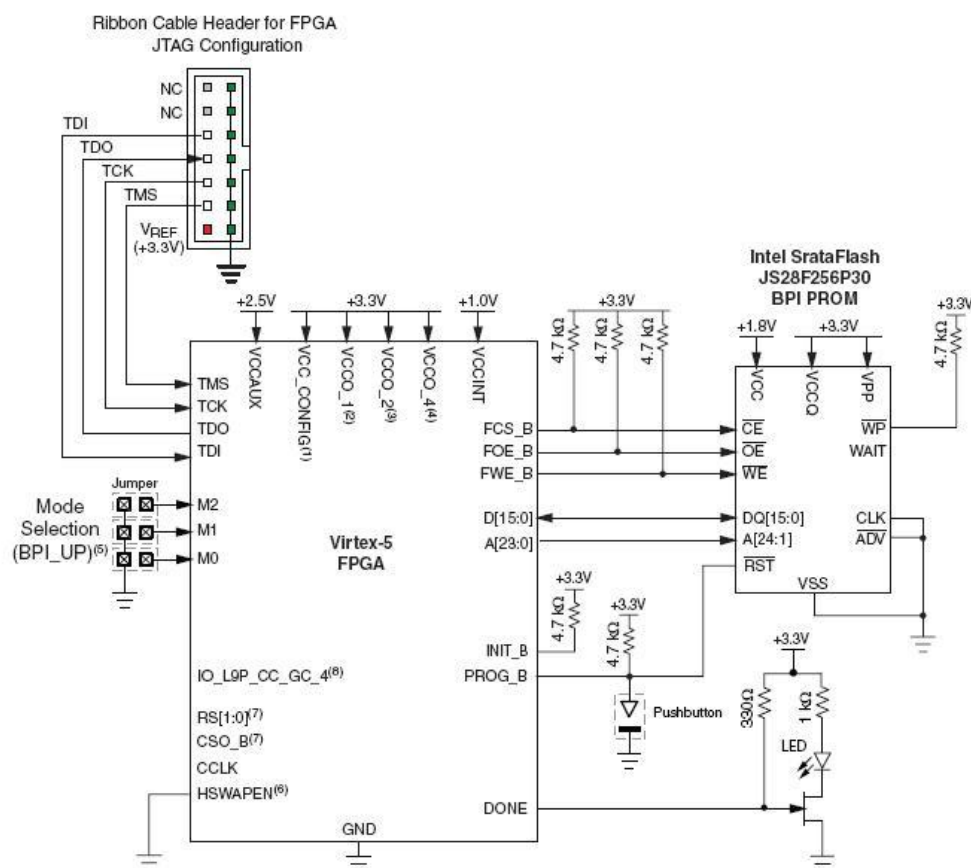


图 7 FPGA BPI 加载方式示意图（引自 XAPP973）

BPI FLASH 芯片的编程可以通过 JTAG 接口运行 FPGA 内部的“间接在线编程模块”完成，如图 8 所示。需要注意的是 iMPACT 在间接编程 FLASH 的时候，驱动 FPGA 的所有地址引脚（A[25:0]），因此这些地址引脚必须直接连接到 BPI PROM 的地址线上，如果不用的高位地址线尽量悬空，以免上述程序对对应 IO 产生影响。实际上 iMPACT

支持 BPI PROM 最大容量为 256Mb (A[23:0], 16bit), 这样对于 512Mb 的 FLASH, 高位的地址线 A24 将由 FPGA 用户程序驱动, 将高 256Mb 的空间用于存储用户数据。由于 BPI 的部分数据线在 BANK4 中, 因此需要注意 BANK4 的其余 IO 的设计, 在 iMPACT 编程的时候, 这些 IO 被设置为输出低电平。

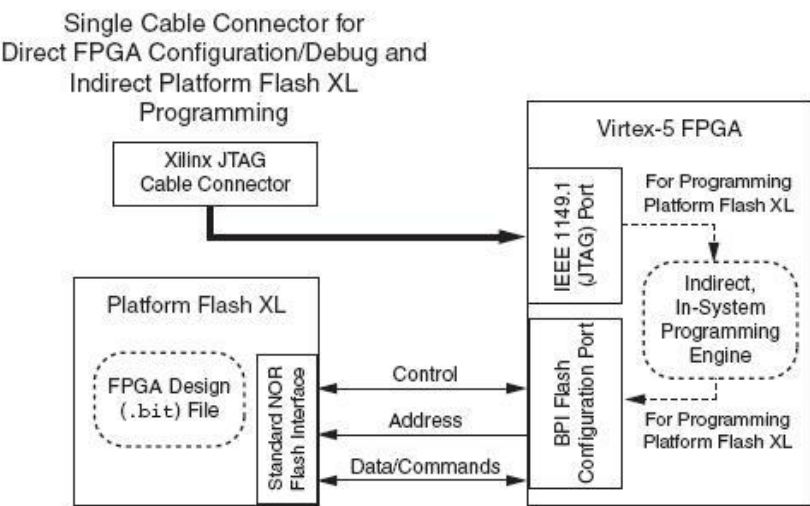


图 8 FPGA 间接编程 FLASH 器件示意图

3.2.2.2 FPGA 资源规划

V5 FXT 系列 FPGA 资源如表 3 所示。

表 3 V5 FXT 系列 FPGA 资源列表

| Device | Configurable Logic Blocks (CLBs) | | | DSP48E Slices ⁽²⁾ | Block RAM Blocks | | | CMTs ⁽⁴⁾ | PowerPC Processor Blocks | Endpoint Blocks for PCI Express | Ethernet MAC Blocks | Max RocketIO Transceivers ⁽⁵⁾ | | Total I/O Banks ⁽⁷⁾ | Max User I/O ⁽⁶⁾ |
|------------|----------------------------------|--------------------------------|--------------------------|------------------------------|----------------------|-------|----------|---------------------|--------------------------|---------------------------------|---------------------|--|-----|--------------------------------|-----------------------------|
| | Array (Row x Col) | Virtex-5 Slices ⁽¹⁾ | Max Distributed RAM (Kb) | | 18 Kb ⁽³⁾ | 36 Kb | Max (Kb) | | | | | GTP | GTX | | |
| XC5VFX30T | 80 x 38 | 5,120 | 380 | 64 | 136 | 68 | 2,448 | 2 | 1 | 1 | 4 | N/A | 8 | 12 | 360 |
| XC5VFX70T | 160 x 38 | 11,200 | 820 | 128 | 296 | 148 | 5,328 | 6 | 1 | 3 | 4 | N/A | 16 | 19 | 640 |
| XC5VFX100T | 160 x 56 | 16,000 | 1,240 | 256 | 456 | 228 | 8,208 | 6 | 2 | 3 | 4 | N/A | 16 | 20 | 680 |
| XC5VFX130T | 200 x 56 | 20,480 | 1,580 | 320 | 596 | 298 | 10,728 | 6 | 2 | 3 | 6 | N/A | 20 | 24 | 840 |
| XC5VFX200T | 240 x 68 | 30,720 | 2,280 | 384 | 912 | 456 | 16,416 | 6 | 2 | 4 | 8 | N/A | 24 | 27 | 960 |

| Package | FF323 FFG323 | | FF324 FFG324 | | FF676 FFG676 | | FF1153 FFG1153 | | FF1760 FFG1760 | | FF665 FFG665 | | FF1136 FFG1136 | | FF1738 FFG1738 | |
|------------|--------------|-----|--------------|-----|--------------|-----|----------------|-----|----------------|-----|--------------|-----|----------------|-----|----------------|-----|
| Size (mm) | 19 x 19 | | 19 x 19 | | 27 x 27 | | 35 x 35 | | 42.5 x 42.5 | | 27 x 27 | | 35 x 35 | | 42.5 x 42.5 | |
| Device | GTs | I/O | GTs | I/O | GTs | I/O | GTs | I/O | GTs | I/O | GTs | I/O | GTs | I/O | GTs | I/O |
| XC5VFX30T | | | | | | | | | | | 8 GTXs | 360 | | | | |
| XC5VFX70T | | | | | | | | | | | 8 GTXs | 360 | 16 GTXs | 640 | | |
| XC5VFX100T | | | | | | | | | | | | | 16 GTXs | 640 | 16 GTXs | 680 |
| XC5VFX130T | | | | | | | | | | | | | | | 20 GTXs | 840 |
| XC5VFX200T | | | | | | | | | | | | | | | 24 GTXs | 960 |

对 FPGA 的 IO 资源和片上资源进行综合考虑，选取 FPGA 型号为 XC5VFX70T，封装选择 FF1136，最大可用 IO 为 640 个，共 19 个 BANK，其中 BANK0~BANK4 为专用 IO 和全局引脚；包含 16 个 GTX，可以实现最多 16 路的双向高速串行数据通信。

根据 Virtex 系列 FPGA 器件特点，同一个 BANK 中的 IO 电平需要使用相同的 VCC0，因此需要将相同电平的引脚分配到同一个 BANK 中，FPGA 的 IO 资源需求如表 4 所示。

表 4 FPGA IO 资源需求统计

| 名称 | | IO 数量 | 信号电平 | VCC0 | 备注 |
|-------------------|------|-------|-------------|-----------|---------|
| PCI 端 | | 98 | PCI66_3 | 3.3V | |
| 串口 | | 2 | LVTTL | 3.3V | |
| 以太网口 | | 19 | LVTTL | 3.3V | |
| DDRII RAM | 数据 | 125 | SSTL_18 | 1.8V | |
| | 地址控制 | | SSTL_18 | 1.8V | |
| | 时钟 | | SSTL_18_dif | 1.8V | |
| QDRII RAM (×2) | 数据 | 18×4 | HSTL_18 | 1.8V | |
| | 地址控制 | 27×2 | HSTL_18 | 1.8V | |
| | 时钟 | 4×2 | HSTL_18 | 1.8V | |
| | | | | | |
| 光纤接口 | 收发信号 | 4×4 | | | 2 个 MGT |
| | 控制信号 | 4×4 | LVTTL | 3.3V | |
| 时钟 1 | | 4 | LVTTL/LVDS | 3.3V/2.5V | |
| 时钟 2 | | 4 | LVDS | 2.5V | |
| FLASH | | 53 | LVTTL | 3.3V | |
| 预留部分 GPIO | | 4 | | | |
| 合计 | | 483 | | | |

根据 V5 FXT 系列的引脚分配，每个 BANK 最多可提供 40 个用户 IO，考虑参考电压及配置引脚等因素，每个 BANK 可提供 36 个 IO，因此 BANK 数量统计如表 5 所示。

表 5 FPGA BANK 统计

| 名称 | | 所需 BANK 数量 | 备注 |
|-----------------------------|------|------------|-----------------|
| PCI 端及其他 3.3V 低速控制信号、串口、以太网 | | 4 | BANK15、17、19、21 |
| | | | |
| DDRII RAM | 数据 | 4 | BANK5、11、20、23 |
| | 地址控制 | | |
| | 时钟 | | |
| QDRII RAM | 数据 | 4 | BANK6、13、22、25 |
| | 地址控制 | | |
| | 时钟 | | |
| 光纤接口 | | | 2 个 MGT |
| 时钟 | | 2 | BANK3、BANK4 |
| 加载及 FLASH | | 3 | BANK0~2、BANK4 |
| 合计 | | 19 | |

3.3 存储器单元

3.3.1 存储器选择

存储器主要根据存储器单元的技术指标选择，另外考虑封装、价格及供货情况等因素，选定 DDRII 存储器为 WHITE 公司的 W3H32M72E，单片容量为 256MB，数据总线宽度 72bit；QDRII 存储器 Cypress 公司的 CY7C1412AV18，单片容量 36Mb，数据总线宽度为 18bit，两者封装形式都是 FBGA 封装。

3.3.2 硬件实现

存储器单元硬件实现框图如图 9 所示。由于 QDRII 存储器用作高速 DMA 缓存，因此将两片 QDRII 存储器独立设计，在 FPGA 内部编写两个独立的 QDR 控制接口，可以根据 FPGA 内部的程序灵活控制 QDRII，以完成不同的缓存任务。而 DDRII 存储器主要用作 PowerPC 的系统内存，因此直接连接到 PowerPC 的 MCI（Memory Control Interface）接口即可。

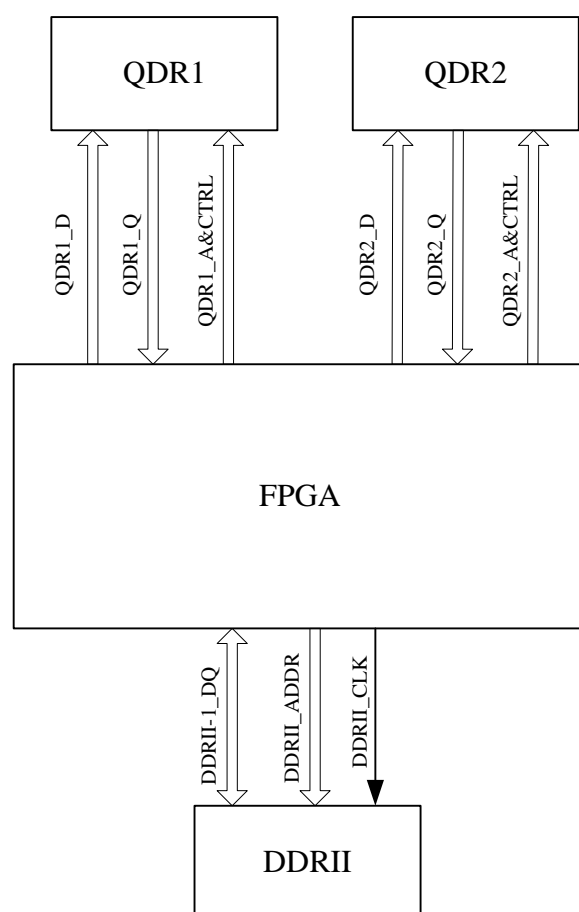


图 9 存储器单元设计框图

另外，根据 FPGA IO 规则的要求，需要将 DDRII 和 QDRII 的时钟信号分配到每个 BANK 的 CC (Clock Capable) 引脚上，如 DDRII 的 CK、DQS 信号以及 QDRII 的 C、K 信号。而根据 XILINX 用户手册的要求，QDRII 的 CQ 和 /CQ 信号则需要分配到 CC 引脚的 P 端，如 CQ 连接 BANK6 的 L8P_CC， /C 连接 BANK6 的 L9P_CC。

3.4 FC 接口单元

3.4.1 FC 接口器件选择

FC 接口单元完成外部光信号与控制单元电信号的转换，其中光纤模块的选择为主要指标。根据系统技术指标的要求，光纤接口单元必须能够完成 2.125Gb/s 的数据传输速率。FC-PI 规范中详细定义了

连接器及传输介质的特性及参数，如表 6 所示为传输介质的特性。

表 6 光纤传输介质特性

| <div>传输速率</div> <div>传输介质</div> | 100MB/S | 200 MB/S | 400 MB/S |
|---------------------------------|-----------------------|-----------------------|-----------------------|
| 单模光纤 | 1300nm 2—10m | 1300nm 2—10m | 1300nm 2—10m |
| 多模 50um | 780—850nm 0.5—500m | 780—850nm 0.5—300m | 780—850nm 0.5—150m |
| 多模 62.5um | 780—850nm 0.5—300m | 780—850nm 0.5—150m | 780—850nm 0.5—70m |
| 非平衡电缆 | 传输长度依赖不同介质。 | | |
| 平衡电缆 | 传输长度依赖不同介质。 | | |

光纤模块负责光信号与电信号的转换，其内部的功能框图如图 10 所示。

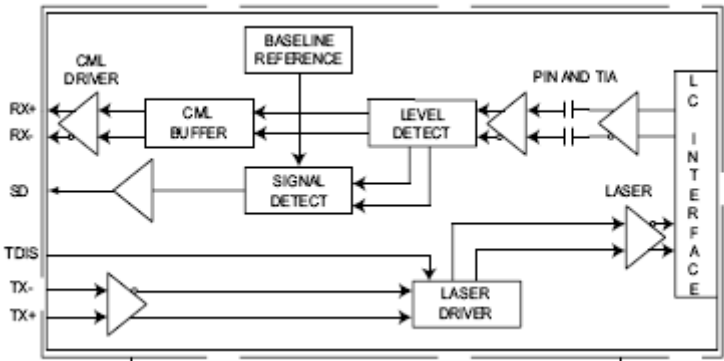


图 10 光纤模块内部结构

常用的光纤模块封装有 SFP、SFF 及 HSSDC2 等。但 HSSDC2 封装的光纤连接器货源较少，网上查找只有美国 STRATOS 公司提供的军用

产品，形状规格如图 11 所示，但国内没有该公司的代理商，无法购买。

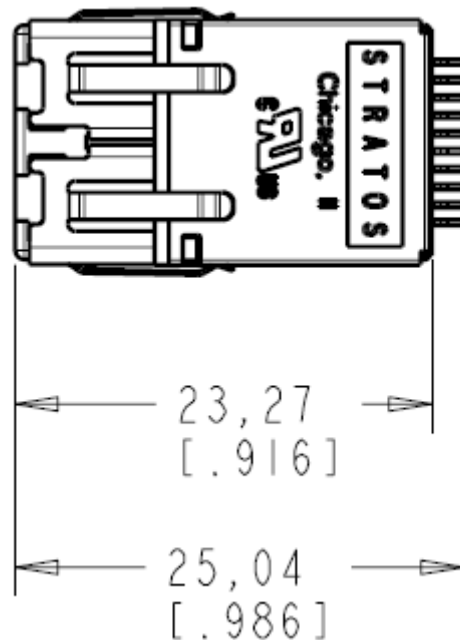


图 11 HSSDC2 封装尺寸

而 SFP 封装形式为在印制板上焊装插座和安装架，将光纤模块安装于插座上，优点是光纤模块可以拔插，主要用于交换机等应用。基于以上因素考虑，本光纤通信卡选用 SFF 封装形式的光纤模块，型号为 finisar 公司的 FTLF8524E2KNL，支持传输速率高达 4.25Gbps，外形尺寸规格如图 12 所示。该模块为 2×7 封装的 SFF 模块，兼容 2×5 封装，缺点为工作温度范围仅为-10℃～85℃，但可以选用其兼容型号 FTLF8519F2HTL，工作温度范围-40℃～85℃，最高速率 2.125Gbps。

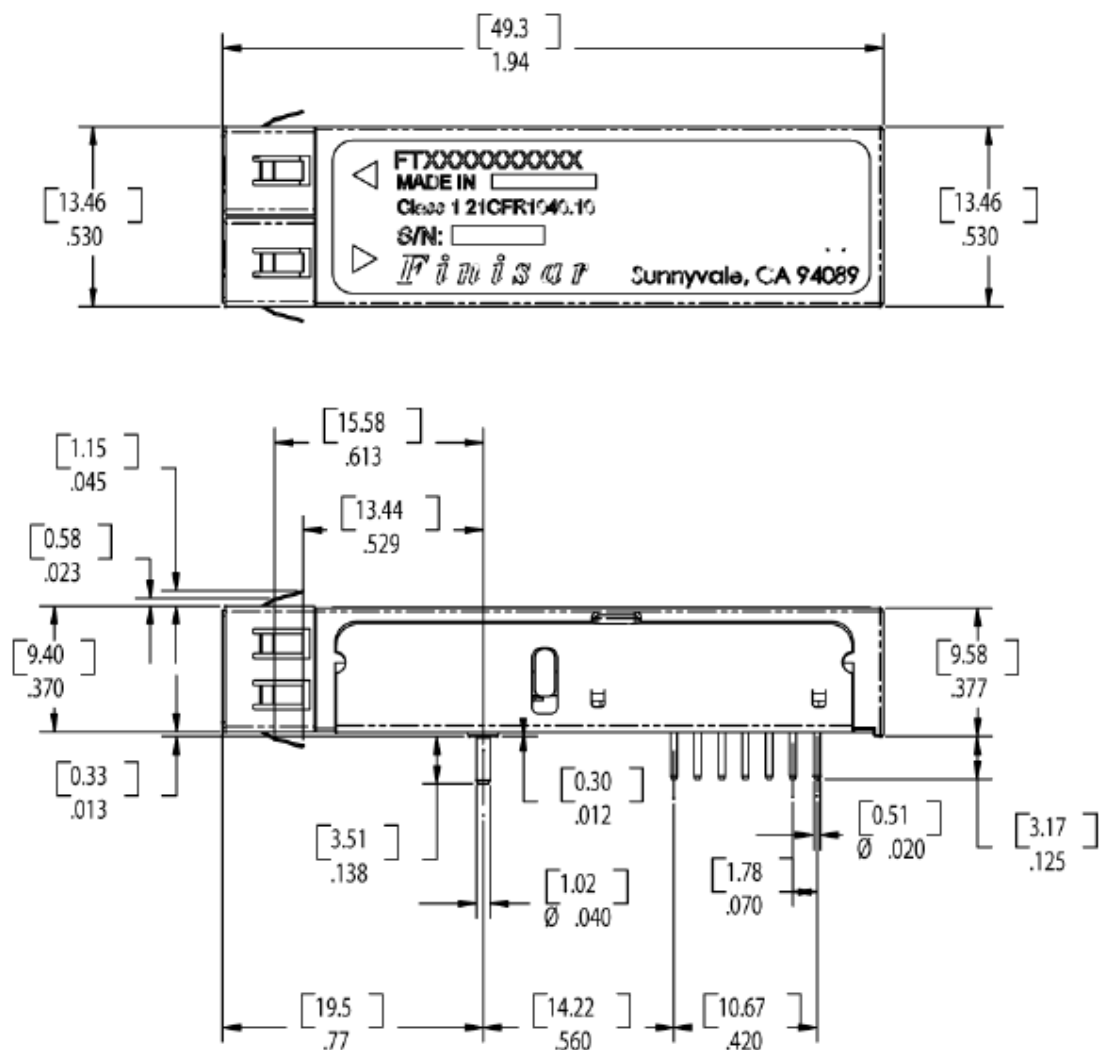


图 12 SFF 封装外形尺寸

其性能参数如下：

- 双向数据链路，最高传输速率为 4.25Gbps；
- 内建数字诊断功能；
- 850nm 波长激光发射器；
- 全双工 LC 连接器；
- 在 50/125um 的光纤上可传输 500m，62.5/125um 的光纤上可传输 300m；
- 3.3V 单电源供电；

- 功率耗散<750mW。

3.4.2 FC 接口的硬件实现

3.4.2.1 光纤模块的设计

稳定可靠的电源是光纤模块正常工作的基础，因此对于光纤模块的设计主要考虑其电源。

根据印制板布局的因素，四个光纤模块并排放置于印制板的外边缘，根据器件手册推荐，每两个模块之间的间距需要大于 40mil。由于光纤模块处于印制板的一端，因此采用专用的 LDO 对光纤模块进行供电，以隔离其他器件产生的电源纹波影响，另外，还对每个光纤模块的收发电源采用磁珠加电容的方式隔离，以期达到更好的供电效果。

3.4.2.2 FC 接口的 FPGA 设计

光纤模块输入输出的电信号主要与 FPGA 的 ROCKET IO 相连，即 FPGA 内部的 MGT DUAL 模块，因此 FC 接口的 FPGA 设计主要是针对 MGT DUAL 的设计。

MGT DUAL 的设计主要参考 V5 用户手册，XC5VFX70TFF1136 共有 8 个 MGT DUAL，其内部结构如图 13 所示，每个 MGT DUAL 中有两个 GTX 收发器，两个 GTX 共用一个时钟锁相环，因此根据光纤通信卡的特点，采用两个 MGT DUAL 即可实现 4 路光纤通道。根据 MGT 在 FPGA 上的分布，决定采用 MGT112 和 MGT114（处于 FPGA 的中间边缘位置，可参考 FPGA 资源分布图）。

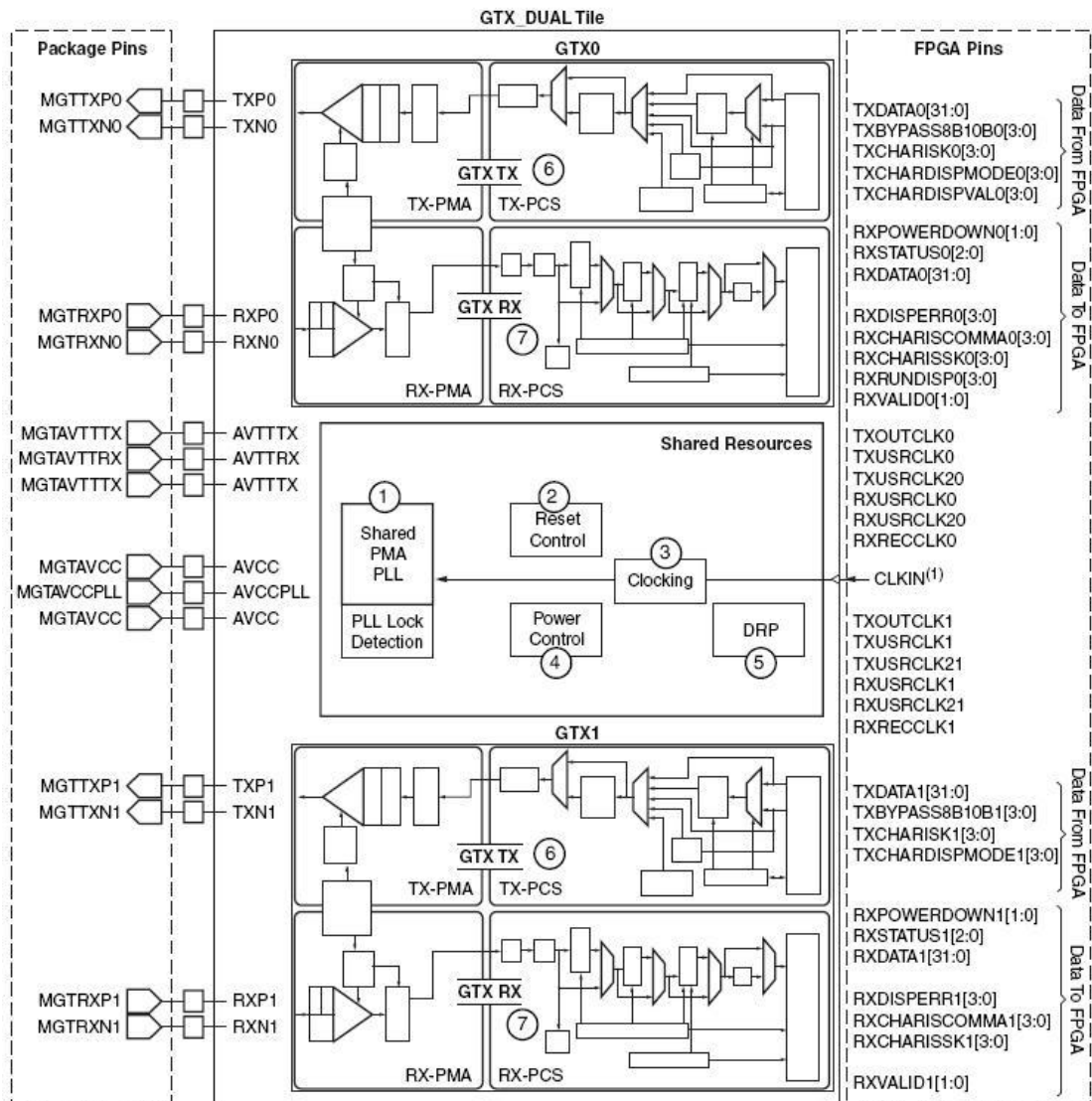


图 13 MGT DUAL 内部结构图

MGT 的时钟从内部的 CLKIN 输入，共有三种时钟资源：专用时钟引脚输入、GTX 专用时钟通路和全局时钟，其中采用全局时钟效果最差，而专用的时钟引脚效果最佳。MGT 的时钟可以从邻近的 MGT 的时钟引脚通过 GTX 专用时钟通路输入，但是必须遵循以下两个原则：

- 1) GTX 专用时钟通路一侧的 MGT 不能超过 3 个；
- 2) 一个输入时钟驱动的 MGT 不能超过 7 个，如图 14 所示。

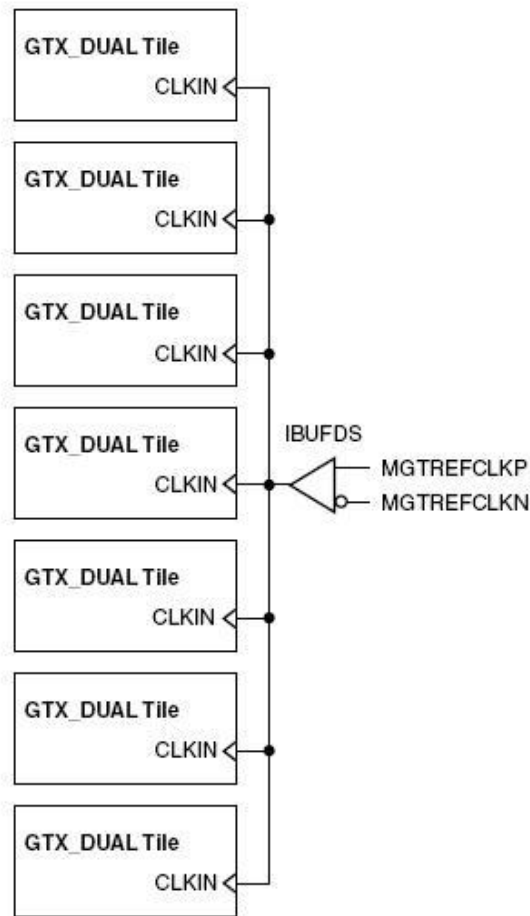


图 14 MGT 时钟输入

时钟输入采用交流耦合，这样可以隔离时钟源和 MGT 时钟输入引脚之间的直流电流，另外通路上的电容可以和 FPGA 内部的终端电阻形成高通滤波器，以降低参考时钟的抖动。

为减小 MGT 与邻近 BANK 的串扰，应避免在 MGT 旁边的 BANK 中设置大量的高速 IO，与 MGT112 和 MGT114 邻近的 BANK 分别为 BANK12 和 BANK18，在 FPGA IO 资源分配的时候需要尽量考虑这两个 BANK 中的信号。另外使用的 MGT 电源和时钟输入也应与其他信号线保持足够的距离，这些 IO 分别为：P5、AA5、AB5 和 AC4，这些 IO 在 FPGA 分配时应禁用。

MGT 电源参考开发板进行设计，MGTAVCCPLL、MGTAVTT 和 MGTAVCC 分别由不同的 LDO 产生，MGTAVTT_RX 和 MGTAVTT_TX 有 MGTAVTT 通过两个磁珠隔离。没有使用的 MGT DUAL 按照参考手册进行接地或者屏蔽处理。

3.5 调试单元

PMC 光纤通信卡调试单元主要有两部分：FPGA 程序调试和 PowerPC 程序调试。

FPGA 程序调试将主要使用 JTAG 接口，可以灵活的对 FPGA 内部的各种控制逻辑进行调试。

PowerPC 的程序调试接口比较成熟的有 JTAG、RS232 串口和以太网接口。为了方便将来系统调试，将 JTAG 接口、RS232 串口和以太网接口都通过 J4 连接到母板上，通过母板上的相应插座连接到调试计算机，对 PowerPC 进行调试。调试框图如图 15 所示。

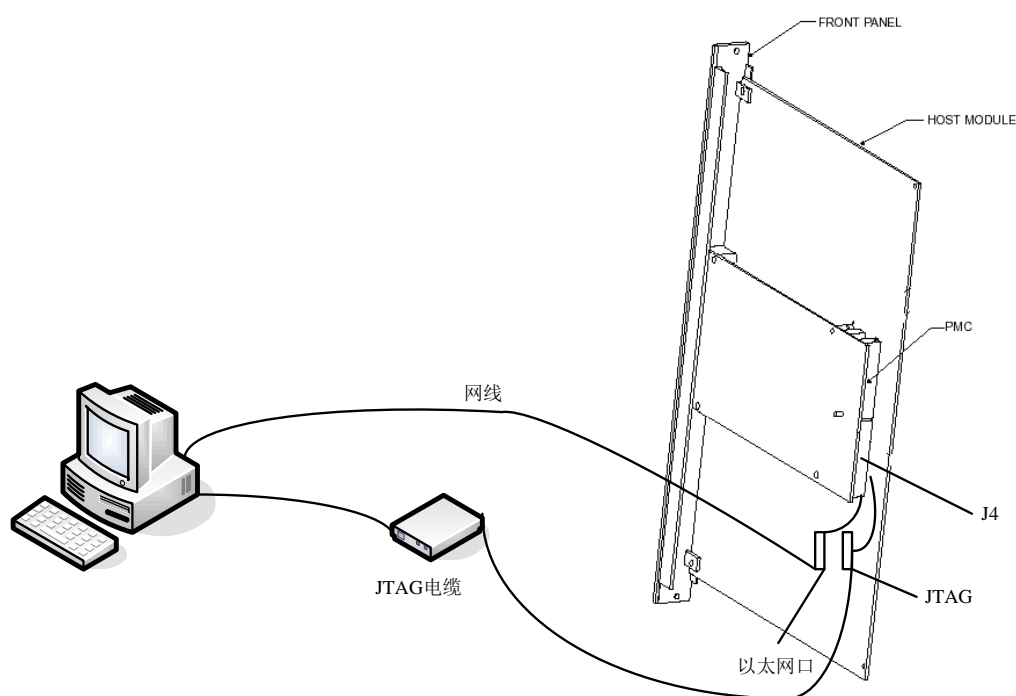


图 15 FPGA 及 PowerPC 调试连接图

3.6 电源时钟单元

3.6.1 时钟单元

3.6.1.1 FPGA 逻辑时钟

根据板上资源需求, 光纤通信卡需要五种时钟, 分别为 25MHz PHY 参考时钟、100MHz FPGA 内部逻辑、DCM 和 PLL 所需时钟、167MHz QDRII 控制器时钟、200MHz FPGA Idelay_ctrl 参考时钟和 212.5MHz FC 参考时钟。

前四种时钟采用 25MHz 晶振由可编程时钟发生器 IDT5V9885 产生, 其内部结构如图 16 所示。

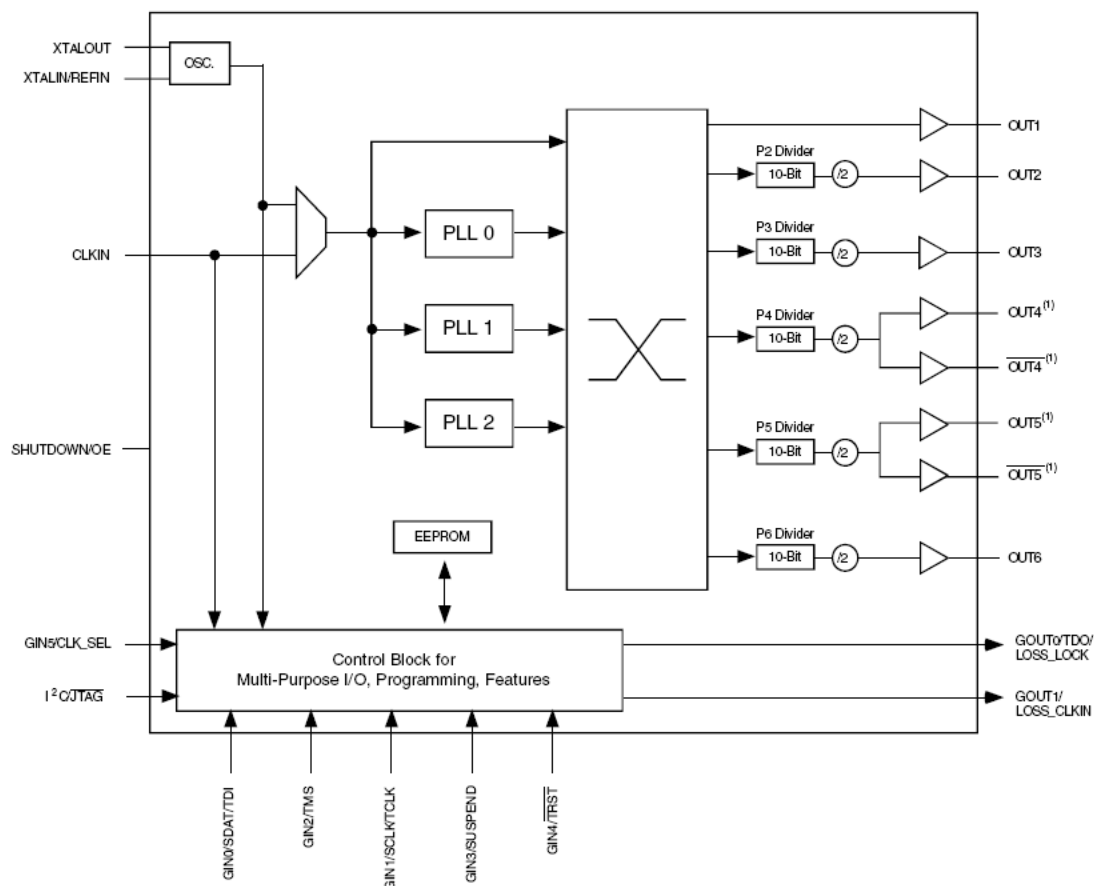


图 16 IDT5V9885 内部结构

IDT5V9885 主要技术指标如下:

- 供电电压范围：2.97V-3.63V；
- 三个内部集成锁相环（PLL）；
- 内部集成非易失性 EEPROM；
- 输入时钟频率范围：1MHz~400MHz；
- 输出频率范围：4.9KHz~500MHz；
- 输入电平：LVTTL/LVCMOS；
- 输出电平：LVTTL/LVCMOS，LVPECL，LVDS；
- 正常工作温度范围：-40℃-85℃。

IDT5V9885 内部有三个独立的锁相环，可以分别设置各自的分频比；六个输出端，OUT1 可以作为编程输出也可以作为参考时钟的缓冲输出或者锁相环的输出，OUT2~OUT3 和 OUT6 为可编程单端输出，OUT4 和 OUT5 都可以配置为两个单端输出或者一对差分输出，输出电平为 LVDS 或者 LVPECL，所有时钟作为单端输出时都为 LVTTL 电平。

IDT5V9885 有两个时钟输入端，分别是 CLKIN 和 XTALIN/REFIN，其中 XTALIN/REFIN 可以连接晶体或者外部时钟源，而 CLKIN 只能作为外部时钟源的输入。两个输入时钟可以根据内部寄存器配置主从，配置为主输入的时钟将作为三个锁相环的参考时钟，从时钟将作为备用时钟，当主时钟发生故障时启用从时钟。

3.6.1.2 FC CORE 参考时钟

稳定可靠的时钟源可以保证低误码率的 FC 传输，因此对于 FC 通道，需要使用专用的参考时钟，根据以前工程中应用经验，FC 参考时钟采用 ICS843002，这是 IDT 公司专用于产生光纤参考时钟的频率

综合器，具备如下性能：

- 两路 LVPECL 输出；
- 可选的晶振输入接口或单端 LVTTTL/LVCMOS 输入；
- 支持 5 种输出频率 (MHz)：212.5、106.25、53.125、159.375、187.5；
- VCO 频率范围：560—680MHz；
- 相位抖动指标：212.5MHz 时，典型值为 0.65ps；
- 工作电压：3.3V；
- 工作温度：-30~+85℃。

3.6.2 电源单元

电源种类及功耗估算如表 7 所示。

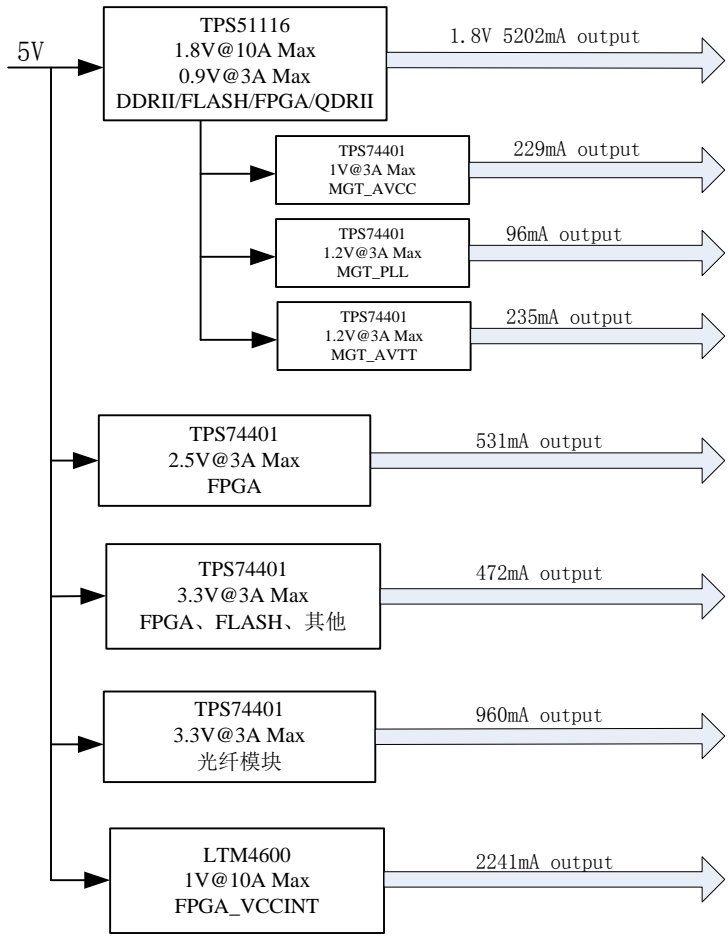
表 7 电源种类及功耗估算

| 电源种类及电流 器件 | 1V 电源 (mA) | | 1.2 V 电源 (mA) | | 1.8V 电源 (mA) | | 2.5V 电源 (mA) | | 3.3V 电源 (mA) | | 数量 |
|---------------|---------------------------|---------|---------------|---------|--------------|---------|--------------|---------|--------------|---------|----|
| | max | typical | max | typical | max | typical | max | typical | max | typical | |
| XC5VFX70T | | 2241 | | 235 | | 441 | | 531 | | 39 | 1 |
| W3H32M72E | | | | | 1700 | 1650 | | | | | 2 |
| CY7C1812AV18 | | | | | 650 | | | | | | 2 |
| XCF32P | | | | | | 10 | | | | 10 | |
| INTEL P30 | | | | | | 51 | | | | 22 | |
| 光纤模块 | | | | | | | | | 240 | 180 | 4 |
| 其它 | | | | | | | | | | 401 | |
| 电流合计 (mA) | | 2241 | | 235 | 5202 | 5102 | | 531 | 1432 | 1192 | |
| 功耗 (mW) | | 2241 | | 282 | 9363 | 9183 | | 1327 | 4725 | 3933 | |
| 功耗合计 | 16.966W max: 17.938W | | | | | | | | | | |

板上主要器件，只有 FPGA 有上电顺序需求，顺序为 VCCINT (1V)、VCCAUX (2.5V)、VCCO (1.8V、2.5V、3.3V 等)，但是根据器件手册说明大多数情况可以忽略此上电顺序，因此电源设计中将不考虑上电顺序。根据功耗估算，系统电源分配框图如图 17 所示。

根据 Virtex5 器件手册要求，各种电源的纹波需要 $\leq 5\%$ ，因此主要供电电源需要考虑其输出纹波性能，另外，FPGA 的 PCB 设计也需要严格按照 4.4 节中的要求进行。其他器件的电源引脚也根据要求设计电容耦合电路。

对于板上两个时钟电路 IDT5V9885 和 ICS843002，其电源均采用磁珠+电容的耦合方式，尽量减小器件引脚处电源的纹波。



4 关键技术指标分析

PMC 光纤通信卡是整个光纤通信系统的核心部件之一，采用了大量高速、大容量新器件，具有研制开发难度高的特点。为了降低系统研制风险，更好的推进项目的研制工作，下面对系统研制中的关键技术指标进行分析。

4.1 FC 接口设计

FC 接口单元完成外部光信号与控制单元电信号的转换，根据系统技术指标的要求，FC 接口单元必须能够完成至少 2.125Gb/s 的数据传输速率。如此高的信号速率，需要在 PCB 布线时充分考虑外界各种干扰对光纤信号的影响，根据系统框图，将 FPGA 与光纤模块之间的连线尽量缩短，尽量避免在两者之间有其他连线或者器件。

4.2 印制板设计

由于光信号经过光纤模块之后输出为 LVDS 信号电平，LVDS 是一种高速低压差的数据传输标准，利用两条印制线来进行差分传输，为了能在差分线上很好地传输信号，以下规则需要遵守：

- 减少 PCB 中过孔的个数。过孔会降低信号的完整性；
- LVDS 差分对信号中间不要有过孔或其他信号，如图 18 所示；

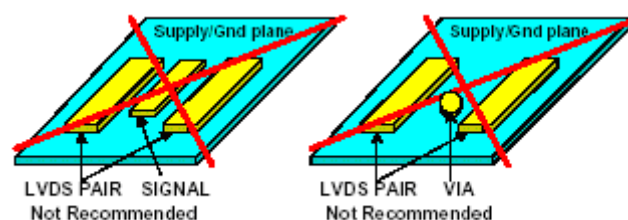


图 18 LVDS 走线示意图 1

- 不要把任何空间信号和过孔放置在 LVDS 差分对附近，除非经过认真的分析，如图 19 所示；

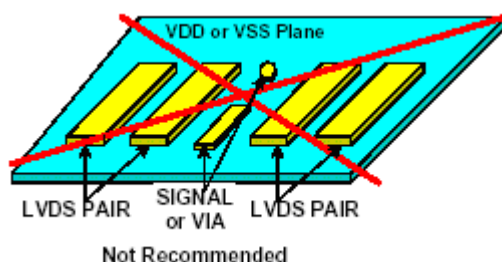


图 19 LVDS 走线示意图 2

- LVDS 布线时不要出现 90 度弯角，应成 45 度，而且所有 LVDS 差分对之间的线间距和长度保持恒定，如图 20 所示；

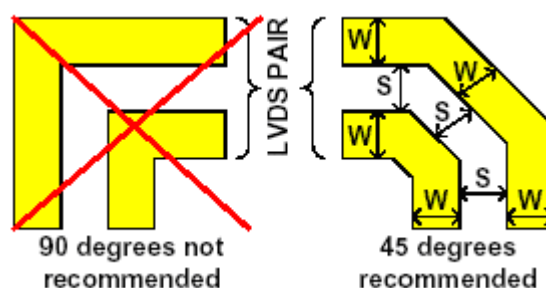


图 20 LVDS 走线示意图 3

- LVDS 差分对上下各层尽量不出现其他任何信号；
- 尽可能把 LVDS 差分信号放在顶层或底层，并且把地层直接放在 LVDS 信号下面是很必要的；
- 如果不能把差分信号放在顶层或底层，把它放在地层和电源层之间。这样做虽然可以减小 EMI，但却存在例如需要额外的过孔不能保证恒定阻抗等缺点；
- 如果其他信号必须要和 LVDS 信号在同一层，则需要地或电源隔开，如图 21 所示；

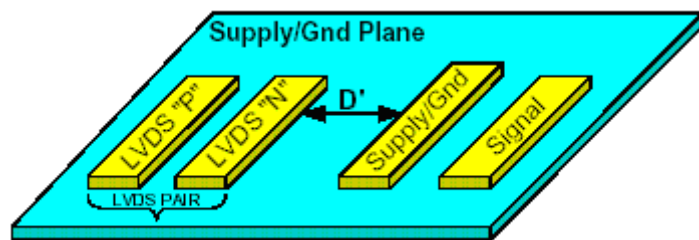


图 21 LVDS 走线示意图 4

4.3 系统热设计

系统热设计包括电源热设计和芯片热设计，单板热设计分析按照环境温度（ T_A ）为 80°C 进行分析，下面主要对电源热设计和主要电源消耗单元和器件进行分析。

4.3.1 电源模块热设计

根据板上电源种类及功耗估算，需要对输出电流较大的电源模块进行分析，主要为 FPGA 内核电源和 1.8V 电源。

4.3.1.1 FPGA 内核电源热设计

FPGA 内核电源由 LTM4600 产生，其设计参数如下：

- 输入电压 $V_{in} = 5\text{V}$;
- 输出电压 $V_o = 1\text{V}$;
- 输出电流 $I_o = 2.24\text{A}$ 。

根据芯片器件手册，参考 5V 输入， 1.5V 输出的情况，在输出 10A 时的热功耗为 3W ，芯片正常工作所需的热阻计算公式为：

$$\theta_{JA} = (125 - T_A) / P_D$$

假设机箱温度（环境温度）为 80°C ，可以算出芯片正常工作需要的热阻为 $15^{\circ}\text{C}/\text{W}$ 。根据器件手册推荐，在器件底部采用覆铜处理，如图 22 所示，在不通风的情况下，可以达到 $13.915^{\circ}\text{C}/\text{W}$ 的热阻，基

本可以满足器件散热需求。

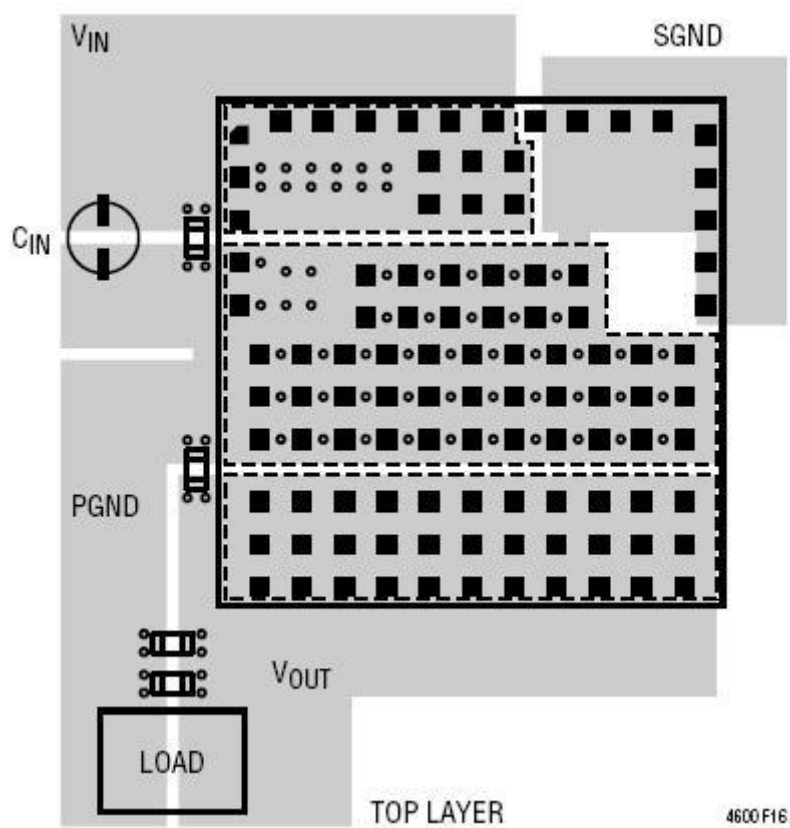


图 22 LTM4600 PCB 推荐布局

4.3.1.2 1.8V 电源热设计

1.8V 电源主要有 TPS51116 产生，其设计参数如下：

- 输入电压 $V_{in} = 5V$;
- 输出电压 $V_o = 1.8V$;
- 输出电流 $I_o = 3.9A$ 。

根据 TPS51116 的外围电路特点，其大部分热功耗将分散到其他几个外围器件上，主要是两个 MOS 管（PMOS 和 NMOS）和功率电感上，因此其芯片本身的热功耗主要是由 VTT 线性稳压器产生的。VTT 电流是在电源和 VTT 岛之间流动，针对电源芯片本身 V_{LDOIN} （即 VDDQ）和 VTT 的电压差与 ITT 的乘积即为芯片的热功耗 W_{DSRC} 。根据芯片手册推

荐，芯片可提供最大 VTT 负载为 $W_{PKG} = (T_J - T_A) / \theta_{JA}$ ， T_J 和 T_A 已知的情况下，尽量减小 θ_{JA} 即可增加芯片的实际负载。TPS51116 在封装底部带有增强的 PowerPAD，PCB 设计时需要将 PowerPAD 连接到地 PLANE，并且需要过孔将热量迅速传到到内部 PLANE 层。根据手册分析，在芯片底部 PLANE 大小为 $6.5\text{mm} \times 3.4\text{mm}$ ，并且有 8 个过孔传导热量，在不通风的环境下可以达到 $39.6^\circ\text{C}/\text{W}$ 的热阻，这样加大 PLANE 的面积并增加过孔，将可实现更小的热阻，从而增加芯片的有效负载。

4.3.2 主要芯片的热分析与设计

PMC 光纤通信卡的主要发热器件为 FPGA，因此将主要针对 FPGA 进行芯片热分析。使用 XILINX 公司提供的 FPGA 功耗分析软件 XPE10.1 进行初步分析，分析结果如图 23 所示。

| | |
|--------------------------------|--------|
| Ambient Temp (°C) | 80.0 |
| Airflow (LFM) | 250 |
| Heat Sink | None |
| Custom θ_{SA} (°C/W) | |
| Board Selection | Custom |
| # of Board Layers | |
| Custom θ_{JB} (°C/W) | 1.6 |
| Board Temperature | 80.0 |
| Thermal Summary | |
| Effective θ_{JA} (°C/W) | 1.1 |
| Max Ambient (°C) | 94.1 |
| Junction Temp(°C) | 85.9 |

图 23 FPGA 热功耗分析

根据分析显示，在环境温度为 80℃自然通风的情况下，FPGA 可

以满足工作温度的需求。但初步估算的 FPGA 功耗可能比实际功耗稍低，为保证 FPGA 正常工作，还需要采取一定的散热措施。

4.4 FPGA 的 PCB 设计

4.4.1 FPGA 电源耦合电容设计

稳定可靠的电源是器件正常工作的基础，因此对于 FPGA 的电源设计需要充分考虑各种外界干扰和参考手册。FPGA 主要有四种电源：VCCINT、VCCAUX、VCCO 和 MGT 电源。对于前三种电源，参考 V5 系列 PCB 设计手册，需要耦合电容的数量如表 8 所示。

表 8 FPGA 逻辑电源耦合电容统计

| 电源种类 | 电容数量 | 容值 | 电容类型 | 封装大小 | 耐压值 |
|--------|---------------|--------|------|---------|------|
| VCCINT | 1/7000slices | 330uF | 钽电容 | CAK45-E | 2.5V |
| | 1/1500slices | 0.22uF | 陶瓷电容 | 0603 | 25V |
| VCCAUX | 1/15000slices | 33uF | 钽电容 | CAK45-B | 6.3V |
| VCCO | 1/BANK | 47uF | 钽电容 | CAK45-B | 6.3V |

参考手册中陶瓷电容均采用 0402 封装，而在实际设计中，将 0402 封装的电容改为 0603 封装，因此电容数量会相应减少。PCB 中耦合电容的设计需要参考 UG203 page26 进行设计。

由于使用了 FPGA 内部的 GTX，GTX 的电源耦合需要根据图 24 进行。根据手册要求，GTX 的各种电源需要由各自独立的 LDO 产生，根据开发板的设计以及印制板空间考虑，将 AVTTTX 和 AVTTRX 合并到一起，由一片 LDO 产生。

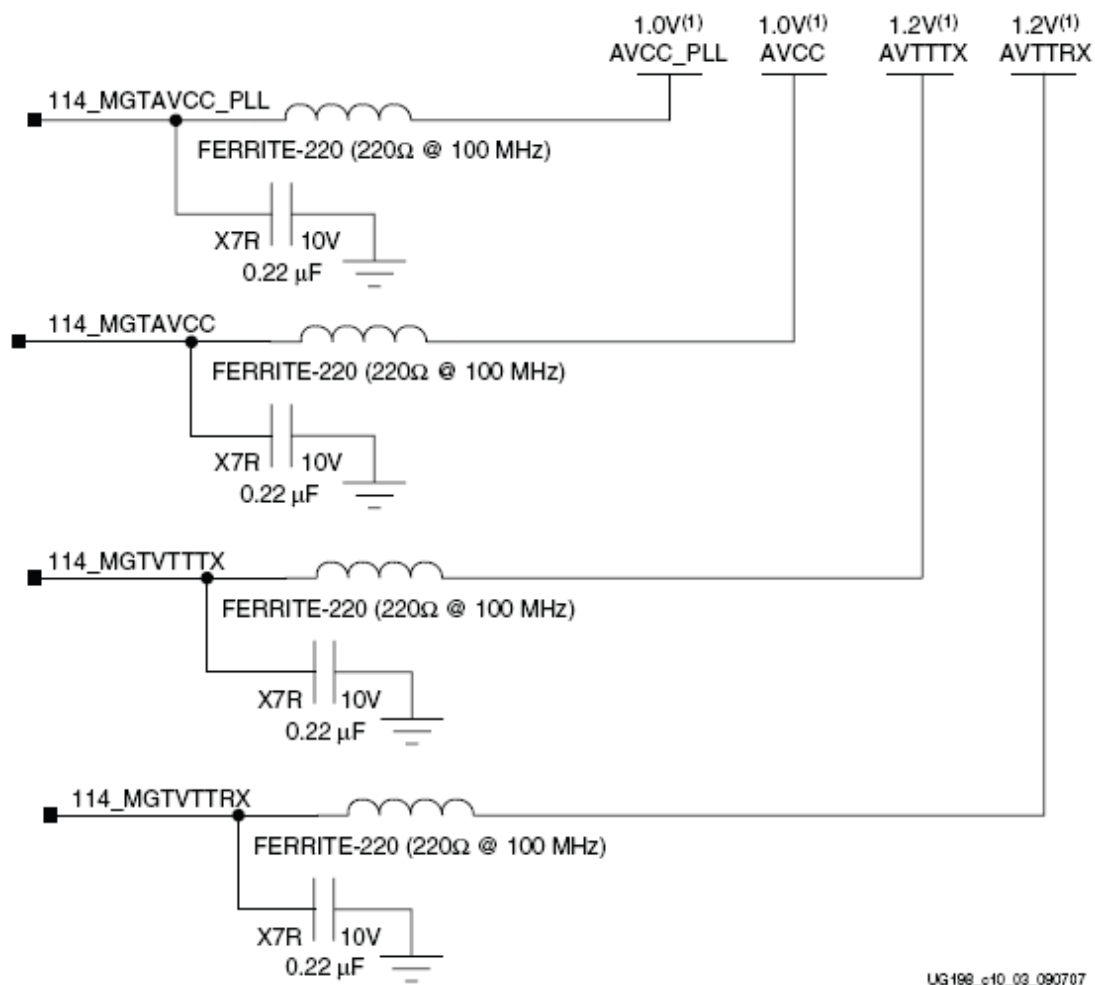


图 24 GTX 电源设计

4.4.2 印制板的层叠设计

在 PCB 层叠设计中，电源和地的放置对电源通路上的寄生电感有很大影响。层叠的分配必须遵循以下原则：

- 1) 高优先级的电源应该靠近 FPGA（层叠的上半边）；
- 2) 低优先级的电源可以远离 FPGA（层叠的下半边）。

另外，为了减小分布电感，每个电源层应该邻近一个地层。

版本信息

| 版本号 | 修改日期 | 修改者 | 修改记录 |
|-----|-----------|-----|-------------------------------|
| 1.0 | 2008-6-11 | | |
| 1.1 | 2008-6-13 | | 将 DDR 和 QDR 更换为 DDRII 和 QDRII |

| | | | |
|-----|-----------|--|---|
| 2.0 | 2008-7-8 | | 增加调试单元及加载方式、更改电源及时钟部分设计 |
| 2.1 | 2008-7-16 | | 更改调试单元设计，将其通过 PMC J4 引入母板 |
| 3.0 | 2008-8-7 | | 原理图设计完成，对一些改动进行调整 |
| 3.1 | 2008-8-13 | | 增加存储器单元的详细设计 改动时钟单元，增加 167MHz 时钟 增加电源部分设计考虑 |
| 3.2 | 2008-8-16 | | 更改了电源分配，图 17 |
| 3.3 | 2009-8-21 | | 完善部分内容 |
| | | | |