

多芯片双面 PCB 的热应力分析

王兴久, 沈煜年

(南京理工大学 理学院, 江苏 南京 210094)

摘 要: 运用隔热材料和复合材料的计算公式, 采用三维有限元方法, 计算了单芯片组和多芯片组集成电路板的温度场和热应力场。数值模拟结果显示, 芯片组与印刷电路板之间存在较大的剪应力, 这可能是芯片剥离的原因之一。芯片位置对电路板的温度场和热应力场分布影响很大。合理地布置各芯片, 可有效降低电路板的温度极值和应力极值。

关键词: 电路板; 热应力; 热变形; 有限元; 各向异性材料

中图分类号: TN 305. 94; O 343. 6; O 484. 2 **文章编号:** 1005 - 9830 (2010) 02 - 0170 - 06

Thermal Stress Analysis of Double-sided PCB with Multiple Chips

WANG Xing-jiu, SHEN Yu-nian

(School of Sciences, NUST, Nanjing 210094, China)

Abstract: The temperature fields and thermal stress fields of the integrate circuit boards with single chip and multiple chips are simulated using formula for thermic insulants and composite materials by 3D FEM (finite element method). The numerical results indicate that there are great tangential thermal stresses between chips and integration circuit boards, which may do peeled damage to the boards. Different layouts of chips on board are also investigated, which makes an impact on temperature fields and thermal stress fields. Both maximum values of temperature and stresses can be decreased effectively when the chips are distributed reasonably.

Key words: circuit boards; thermal stress; thermal deformation; finite element; anisotropic materials

多芯片组件 (MCM) 的出现使电子设备的微型化成为现实, 但是, 元件封装密度的提高却使电子设备的散热问题越来越突出。由于印制集成电路板 (PCB) 的组件材料不同, 电子元件散热造成的热变形会引起印制电路板的层间应力, 进而造成封装结构的脱层失效^[1,2]。芯片封装中的界面脱层问题是微电子封装可靠性领域重要的研究

课题之一^[3]。

通常认为热变形和脱层开裂的主要原因^[4]是: (1) 复合微电子组薄膜、基底和封装结构的成型残余热应力 (热落差应变); (2) 集成电路 (IC) 和集成系统 (IS) 工作发热引起的热疲劳。

目前, 对多层膜结构热应力的计算已有一定进展。针对电路板的界面热应力问题的理论方法

收稿日期: 2009 - 04 - 28 修回日期: 2010 - 01 - 14

作者简介: 王兴久 (1965 -), 男, 工程师, 主要研究方向: 固体力学的工程应用, E-mail: wangnust@yahoo.com.cn

有力平衡法^[5]、界面柔度系数 (IC)法^[6]、Airy应力函数-位移函数结合法^[7]、Bessel函数法^[8]、K-L模型^[9]等。Yu^[10]等采用一种特殊的有限元方法,计算了三维带导线式芯片载体的封装结构的热应力。Wang和 Crossman^[11]、Lau^[12]采用 2D 模型代替 3D 模型的有限元方法,计算了自由边缘附近的热应力。但是,对多芯片组封装结构的热应力分析还不多。本文针对双面集成电路板普遍存在的热变形和脱层开裂问题,采用三维有限元模型,计算了单芯片组和多芯片组在生热状态下电路板的温度场和热应力场,研究了芯片组布局方式对热应力场的影响。

1 热应力求解的基本理论

基于实验建立起来的各向异性物体内部温度与热流场的联系,可用傅里叶定律^[13]表达为

$$\begin{bmatrix} q_x \\ q_y \\ q_z \end{bmatrix} = \begin{bmatrix} k_{xx} & k_{xy} & k_{xz} \\ k_{yx} & k_{yy} & k_{yz} \\ k_{zx} & k_{zy} & k_{zz} \end{bmatrix} \begin{bmatrix} \frac{\partial T}{\partial x} \\ \frac{\partial T}{\partial y} \\ \frac{\partial T}{\partial z} \end{bmatrix} \quad (1)$$

式中: \vec{q}_m ($m = x, y, z$) 为热流密度, k_{st} ($s, t = x, y, z$) 为各向异性材料的导热系数。如果 x, y, z 是材料导热系数的主轴,则 $k_{xx} = k_{yy} = k_{zz}$, $k_{xy} = k_{yx} = k_{yz} = k_{zy} = k_{zx} = k_{xz} = 0$, 其中 k_{xx}, k_{yy} 和 k_{zz} 称为主导导热系数。根据热力学第一定律,可推出均匀各向同性体的导热微分方程为

$$\frac{\partial T}{\partial t} - a \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \right) = \frac{H}{c} \quad (2)$$

式中: T, a, H 和 c 分别为温度场、热扩散系数、密度、生热率和比热容。基于导热方程 (2), 采用第二类 and 第三类边界条件, 电路板的温度场能唯一地被确定下来。第二类边界条件也称诺伊曼 (Neumann) 条件, 给出边界上的热流密度 (相当于温度梯度)

$$q_n|_s = k \frac{\partial T}{\partial n} \Big|_s = f_2(x, y, z, t) \quad (3)$$

第三类边界条件也称罗宾 (Robin) 条件, 给出物体边界上对流换热条件

$$\left(k \frac{\partial T}{\partial n} + hT \right) \Big|_s = hT_a \quad (4)$$

式中: T_a 是周围介质的温度, h 为对流换热系数。

求解热应力的本构方程可写为

$$\sigma = D(\epsilon - \epsilon_0) = D - D_0 \quad (5)$$

式中: ϵ_0 是温度变化引起的温度应变, 它作为初应变出现在应力应变关系式中; ϵ 为包含自由膨胀初应变向量 ϵ_0 的总应变向量; D 为三维问题的弹性应变矩阵。令 $\sigma = D \epsilon$, 则 σ 可看成是引起初应变向量 ϵ_0 的温度载荷强度。

2 热力学模型

2.1 热力学模型和基本假设

图 1 为单芯片组双面集成电路板的热力学模型。该模型是由上、下表面等效铜箔模型和基板模型组成的三层矩形板结构, 芯片位于正方形三层板结构上表面的中央。图 1 中 L_x, L_y 和 l_c 分别为电路板纵向尺寸、电路板横向尺寸和芯片的长度尺寸。 a, b, c 为铜箔的厚度、基板的厚度和芯片的厚度。对该模型作了如下简化: (1) 不考虑基座表面或内部导线及连接点的热传导; (2) 忽略芯片及模块引线或插脚的热传导; (3) 所有芯片发热源位于基板顶面上, 其厚度不为 0, 即芯片为体热源, 忽略电路板层与层之间的接触热阻; (4) 基板形状为矩形, 芯片的形状则为正方形; (5) 除了芯片各向同性外, 其他各层均为各向异性; (6) 芯片为均匀发热源, 即体热源的加热条件为等生热率。

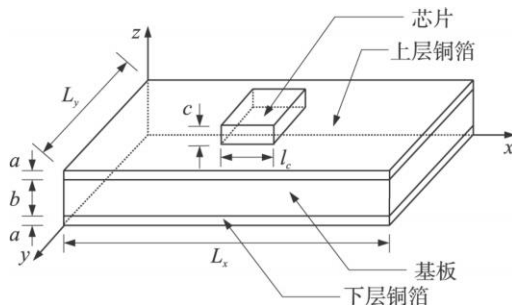


图 1 单芯片组双面集成电路板的热力学模型

2.2 表面铜箔等效材料模型

通常情况下, 双面集成电路板上、下 2 层铜导线的大致走向是垂直交叉的。所以, 建模时将上、下 2 层铜箔看成是纤维沿 x 和 y 方向的复合材料。当计算该模型的导热系数时, 图 2 和图 3 中阴影部分的材料是空气; 当计算该模型的弹性模量、泊松比、剪切模量和线膨胀系数时, 阴影部分则是空气和铜的混合材料。基于铜和空气的材料参数, 并根据文中给出的隔热材料的导热系数、复合材料的等效法则和含量法, 推导出该混合材料的基本参数。

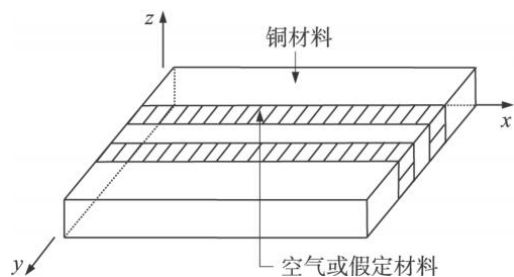


图 2 上表面铜箔等效模型

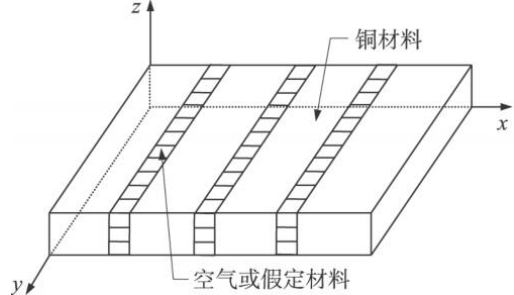


图 3 下表面铜箔等效模型

(1) 导热系数 k 的计算^[14]

在计算导热系数时, 把该模型的材料看成是由铜和空气两相组成的隔热材料。那么隔热材料的导热系数计算公式为

$$\begin{cases} k_{xx} = \phi_g k_g + \phi_s k_s \\ k_{yy} = k_g k_s / (\phi_g k_s + \phi_s k_g) \\ k_{zz} = k_{xx} \end{cases} \quad (6)$$

式中: k_g 和 k_s 分别为空气和铜的导热系数; ϕ_g 和 ϕ_s 分别为空气和铜在整个模型中所占的体积分数; k_{xx} 、 k_{yy} 和 k_{zz} 分别为模型材料沿 x 轴、 y 轴和 z 轴方向的导热系数。

(2) 弹性模量和线膨胀系数的计算

根据复合材料的等效法则, 运用串联法或并联法可以求得等效的弹性模量 E 和热膨胀系数。其中

$$\begin{cases} E_1 = \phi_g E_g + \phi_s E_s & \text{沿纤维方向} \\ E_2 = E_g E_s / (\phi_g E_s + \phi_s E_g) & \text{垂直于纤维方向} \end{cases} \quad (7)$$

类似地, 只需将 E_g 和 E_s 替换成 α_g 和 α_s , 即可计算出等效热膨胀系数 α_1 和 α_2 。

(3) 泊松比 μ 和剪切模量 G 的简化计算

用含量法求出各向同性的等效的泊松比和剪变模量

$$\mu_1 = \phi_g \mu_g + \phi_s \mu_s \quad (8)$$

类似地, 只需将 μ_g 和 μ_s 替换成 G_g 和 G_s , 即可计算出等效的剪切模量 G_1 。

(4) 体积分数 ϕ_g 和 ϕ_s 的确定

铜箔上印制导线的宽度一般为 $1.5 \sim 4.0 \text{ mm}$,

这里选取为 2 mm 。印制导线的线距一般为 $0.5 \sim 3.0 \text{ mm}$, 这里选取为 1.5 mm 。 $\phi_g = 1.5 / (1.5 + 2.0) \times 0.7 = 0.429$ $\phi_s = 0.3003$ (这里 0.7 为近似系数, 因为铜箔并非全部似所建模型, 有的是整块的铜皮), $\phi_s = 1 - \phi_g = 0.6997$ 。

2.3 模型边界条件

如图 4 所示, 在温度场计算中, 只考虑下层铜箔的下表面和上层铜箔没被芯片覆盖的上表面, 以及芯片上表面与空气的对流散热。认为芯片、铜箔和基板的边缘是绝热的。整个芯片是个等生热率的体热源。

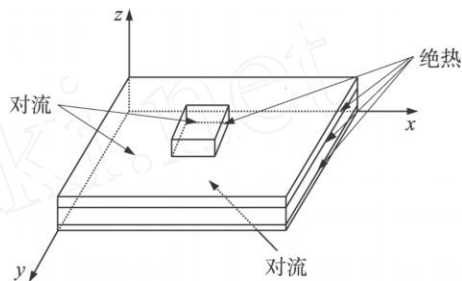


图 4 热传导边界条件

3 数值模拟计算

采用表 1 和表 2 的系统参数模拟计算了单芯片组电路板工作状态时的温度场分布和温度应力场分布。 L_x 、 L_y 和 l_z 分别为 150 mm , 80 mm , 10 mm , a , b , c 分别取为 0.05 mm , 2 mm , 1 mm 。由于 z 向正应力 σ_z 和水平剪应力 τ_{xy} 同属于层间剥离应力, 本节重点分析集成电路板工作时这 2 种应力的分布。

表 1 模型的物理参数

	干空气	铜	假定材料
弹性模量 / MPa		1.25×10^5	6×10^4
泊松比		0.4	0.6
热膨胀系数 / $(\text{ppm} \cdot ^\circ\text{C}^{-1})$		16.5	50
剪切模量 / MPa		0.446×10^5	0.1875×10^5
室温 (20°C) 下			
的导热系数 / $(\text{W} \cdot \text{mm}^{-1} \cdot ^\circ\text{C}^{-1})$	0.026×10^{-3}	0.39	—

3.1 层间界面剥离应力

图 5 是沿电路板上表面对称轴线的温度分布。由图 5 可以发现温度呈正态曲线式分布, 在芯片处的温度达到最大值 26°C , 其余部分的温度

随着与芯片距离的增大而降低。电路板边缘的温度仅略高于室温。

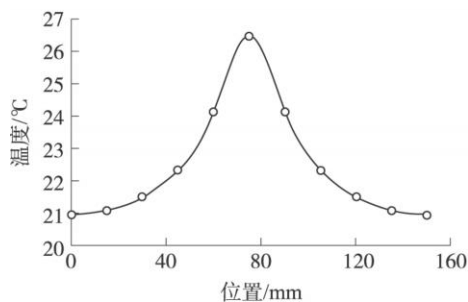


图 5 沿电路板上表面对称轴线的温度分布

图 6 为下层铜箔的下表面的 z 向正应力 σ_z 。图 7 为上层铜箔的上表面剪应力 σ_{xy} 。观察图 6 发现, 下层铜箔的对称中心表面受到垂直于表面向外的拉应力, 而在其附件则出现了垂直于表面向内的压应力, 这种拉压应力梯度的急剧变化容易造成下层铜箔和基板出现层间开裂。

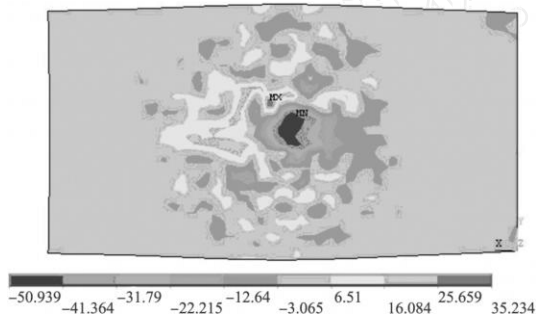


图 6 下层铜箔下表面的 z 向正应力

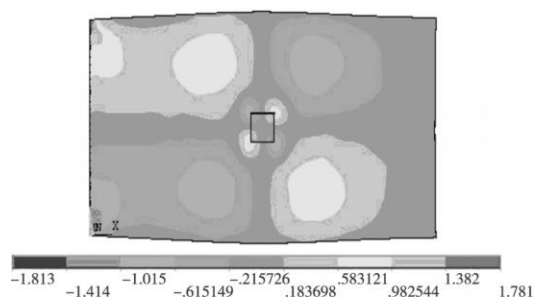


图 7 上层铜箔上表面的剪应力 σ_{xy}

此外, 从图 6 中还发现, 电路板中间的大片区域存在拉应力和压应力交替出现的情况, 整片区域的应力梯度较大。观察图 7 可以发现, 水平剪应力 σ_{xy} 在电路板的上表面呈对称规律分布状态, 铰支固定端的剪应力呈轴向反对称, 其余区域的剪应力呈中心对称状态。需要注意的是, 在芯片的 4 个角处, 与上层铜箔连接的地方出现了剪应力集中的现象。本文研究结果表明, 该剪应力集中是造成芯片与铜箔开裂的主要原因, 对电路板的热失效起决定作用。

图 8 为芯片侧面剪应力 σ_{yz} 分布。观察发现, 芯片和上层铜箔的接触处剪应力 σ_{yz} 会出现应力集中现象。计算结果也表明, σ_{xz} 在芯片和上层铜箔的接触处同样也会出现应力集中, 因此芯片的角端区域是非常危险的。

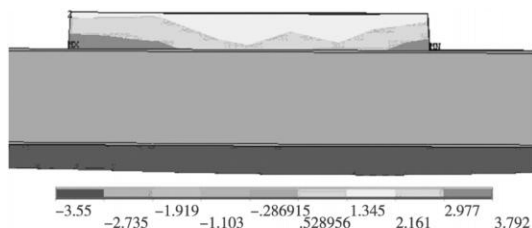


图 8 芯片侧面剪应力 σ_{yz}

3.2 芯片结构对热应力的影响

改变芯片边长 l_c , 系统其他参数保持不变。图 9 显示温度随着 l_c 的增大而升高, 并且曲线越来越陡峭, 图 10 显示最大剪应力的绝对值也随着边长的增大而增大。

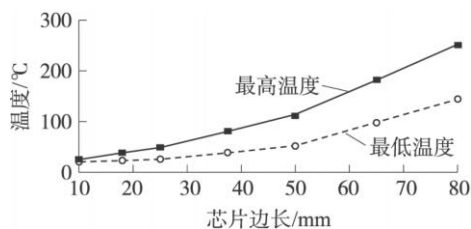


图 9 电路板的最高和最低温度随芯片边长的变化

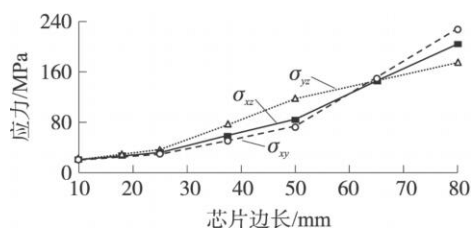


图 10 各向剪应力随芯片边长的变化

改变基板的厚度, 系统其他参数保持不变。图 11 显示温度随着基板厚度的增大而降低, 且变化趋于平缓。图 12 显示, 最大正应力的绝对值随着基板厚度的增大而减小, 且变化趋于平缓, 当厚度大于 3 mm 时, 正应力基本上是一条水平线。

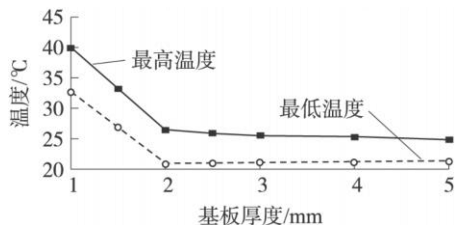


图 11 电路板的最高和最低温度随基板厚度的变化

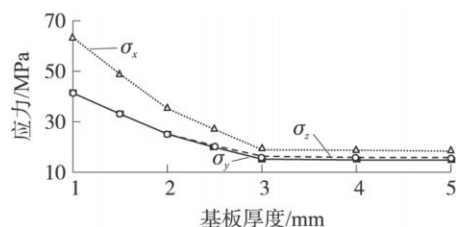


图 12 各向正应力随基板厚度的变化

改变基板芯片的生热率 H , 系统的其他参数保持不变, 图 13 显示最小位移的绝对值随生热率增大基本呈线性增大。当生热率 $H < 20 \text{ mw/mm}^3$ 时, 位移的最大值基本不变, 但当 $H > 20 \text{ mw/mm}^3$ 时, 位移随着生热率的升高而急剧增大, 电路板的翘屈也就越明显。图 14 显示最大正应力的绝对值随着 H 的增大而增大。

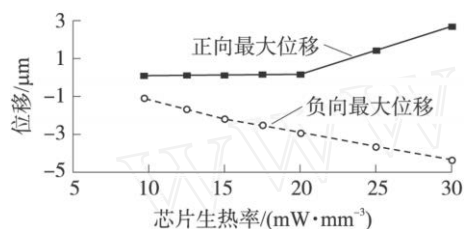


图 13 电路板的最大位移随芯片生热率的变化

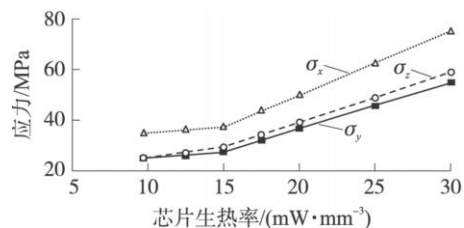


图 14 各向正应力随芯片生热率的变化

3.3 多芯片组布局方式的影响

本文多芯片组采用 2 种布局方式: (1) 4 块芯片分布在电路板的 4 个角上, 距离中央芯片较远 (图 15(a)); (2) 4 块芯片均匀分布在中央芯片的四周, 距离中央芯片较近 (图 15(b))。布局 1 是芯片分散布置方式, 布局 2 是相对密集的布置方式。2 种芯片布局方式的温度场见图 15, 应力场见图 16。

观察图 15 - 16, 可以得到如下结论:

(1) 布局 1 的中间芯片温度较低, 四周芯片温度较高; 布局 2 的中间 3 个芯片的温度较高, 其余芯片温度较低。

(2) 布局 1 和布局 2 的高温区均对应较大 z 向正应力区, 但布局 2 的中心芯片出现明显的内压外拉的应力状态。

(3) 布局 1 的温度极值和温度梯度变化相对较

小, 布局方式较为合理, 表明电路板的布局方式直接关系到温度和应力分布, 因此芯片布置不能过于拥挤。

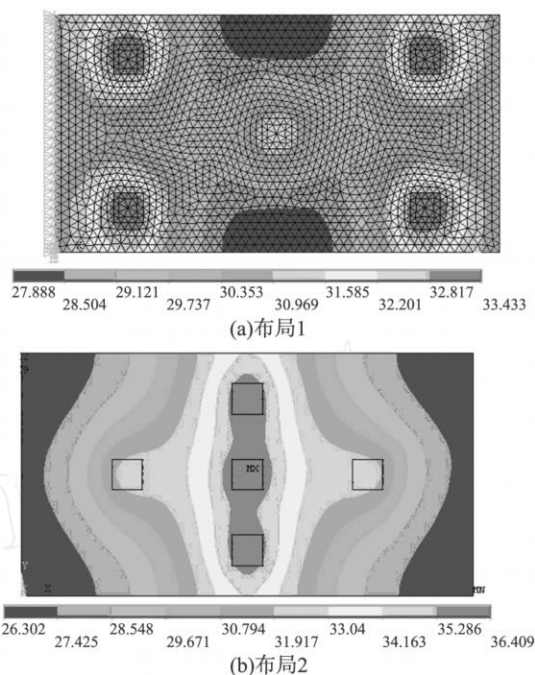


图 15 多芯片组布局温度场分布

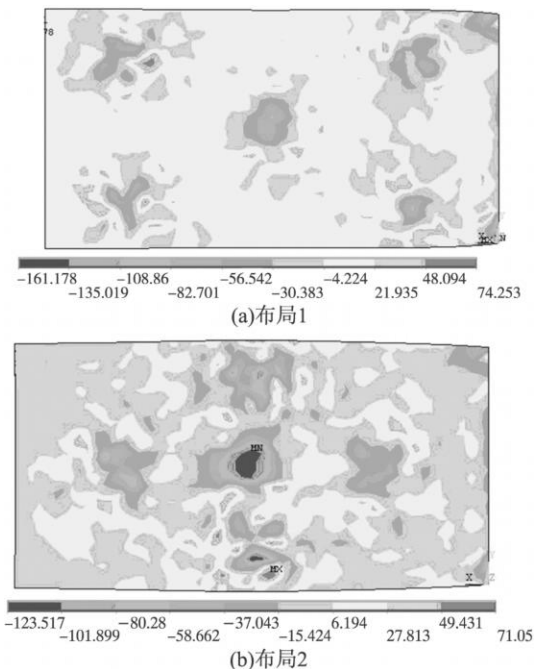


图 16 多芯片组布局应力场分布

4 结论

针对印刷集成电路板的热应力问题, 考虑印刷电路板的实际特点, 运用隔热材料或复合材料的计算方法进行了数值模拟计算。计算结果表明:

(1)芯片组与印刷电路板之间剥离的原因是剪应力较大,且芯片组封装的尖角处的剪应力最大。适当减小尖角的锋锐程度,可降低剪应力数值。类似芯片组的其他电子器件,也应考虑减小电子器件与印刷电路板间焊接区域各尖角的锋锐程度。

(2)印刷板基板的厚度值对热应力数值及温度数值影响较大,基板厚度减小至 3mm 以下时,热应力明显增大。可能的情况下,尽量采用厚度大于 2.5mm 的印刷电路板。

(3)芯片组发热量的增大会明显提高热应力数值,应尽量降低芯片组的发热量。

(4)尽量分散印刷电路板上主要的发热芯片组也会降低应力,具体的芯片组分布方式也将影响热应力的数值。

参考文献:

- [1] Liu J. Conductive adhesives for electronics packaging [M]. Isle of Man: Electrochemical Publication Ltd, 1999.
- [2] Friedrich K, Fakirov S, Zhang Z. Polymer composites: from nano-scale to macro-scale [M]. Berlin: Springer, 2006.
- [3] Koughia C, Kasap S, Capper P. Handbook of electronic and photonic materials[M]. Berlin: Springer, 2006.
- [4] Xie B, Shi X Q, Ding H. Understanding of delamination mechanism of anisotropic conductive film (ACF) bonding in thin liquid crystal display (LCD) module [J]. IEEE Transactions on Components and Packaging Technologies, 2007, 30(3): 509 - 516.
- [5] Chen W T, Nelson C W. Thermal stress in bolted joints [J]. BM Journal of Research and Development, 1979, 23: 178 - 188.
- [6] Buratynski E K. Analysis of bending and shearing of tri-layer laminations for solder joint reliability [J]. ASME Journal of Electronic Packaging, 1998, 9 (120): 221 - 228.
- [7] Swett D W, Shillet G R. Edge stress in a composite strip subjected to axial temperature gradients: Part I. Development of the theoretical solution [J]. Journal of Composite Materials, 1990 (31): 1334 - 1361.
- [8] Suhir E. Approximate evaluation of the elastic thermal stresses in a thin fabricate on a very thich circular substrate [J]. Journal of Electronic Packaging, 1994, 116: 171 - 176.
- [9] Xie W D, Suresh K, Sitaraman. Interfacial thermal stress analysis of anisotropic multi-layered electronic packaging structures [J]. ASME Journal of Electronic Packaging, 2000, 122: 61 - 66.
- [10] Yu Q, Shiratori M, Wang S B. Thermal conduction and thermal stress analysis of surface mount assembly with a solder joint element [J]. Mechanicals and Materials for Electronic Packaging, 1994, 2: 205 - 211.
- [11] Wang A S, Crossman F W. Edge effects on themally induced stresses in composite laminates [J]. Journal of Composite Materials, 1977, 11: 300 - 312.
- [12] Lau J H. A note on the calculation packaging of thermal stresses in electronic packaging by finite element methods [J]. Journal of Electronic Packaging, 1989, 111: 313 - 320.
- [13] 严宗达,王洪礼. 热应力 [M]. 北京:高等教育出版社, 1993.
- [14] 屠传经,沈珞婵,吴子静. 热传导 [M]. 北京:高等教育出版社, 1992.