

2010 University/College IC Design Contest

Cell-Based IC Design Category for Graduate Level

Gauss-Seidel Iteration Machine

1.問題描述

請完成一Gauss-Seidel Iteration Machine(後文以**GSIM**表示)的電路設計來求出多元線性聯立方程式(Linear Equation)之解。線性方程式如(1)所示，矩陣**A**、**B**為已知之整數值，待求矩陣**X**之解。圖一為GSIM電路之方塊圖，其功能為：使用本電路將不同矩陣**B**的數值按照 b_1, b_2, \dots, b_{16} (本題**N**值固定為16)的順序輸入，經過GSIM計算後求得矩陣**X**的值，再按照 x_1, x_2, \dots, x_{16} 的順序輸出計算後的結果，其中，矩陣**B**的數值為16bits整數值，取二的補數(2'S Complement，後文以**2'SC**表示)來表示，矩陣**X**的數值為32bis，其整數與小數各佔16bits，採2'SC表示。有關GSIM詳細規格將描述於後。

本電路各輸入輸出信號的功能說明，請參考表一。每個參賽隊伍必須根據下一節所給的設計規格及附錄 A 中的測試樣本完成設計驗證。

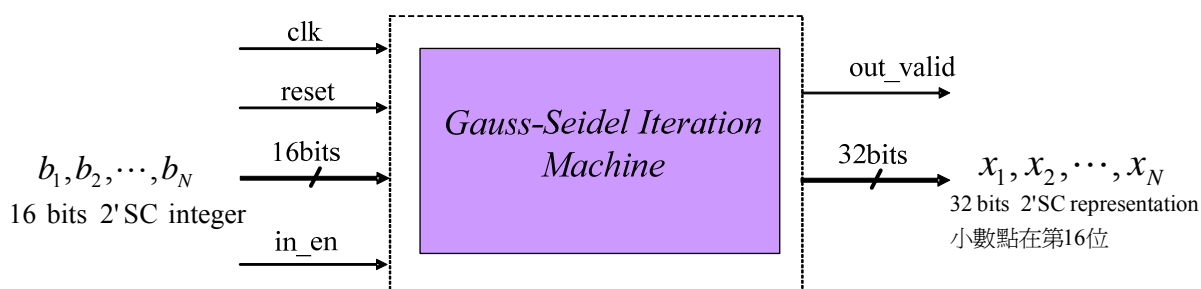
本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 E 中所列的要求，附上評分所需要的檔案。

本題目之測試樣本置於 **/usr/cad/icc2010/gcb/icc2010cb.tar**，請執行以下指令取得測試樣本：

`tar xvf /usr/cad/icc2010/gcb/icc2010cb.tar`

軟體環境及設計資料庫說明請參考附錄 F 與附錄 G。

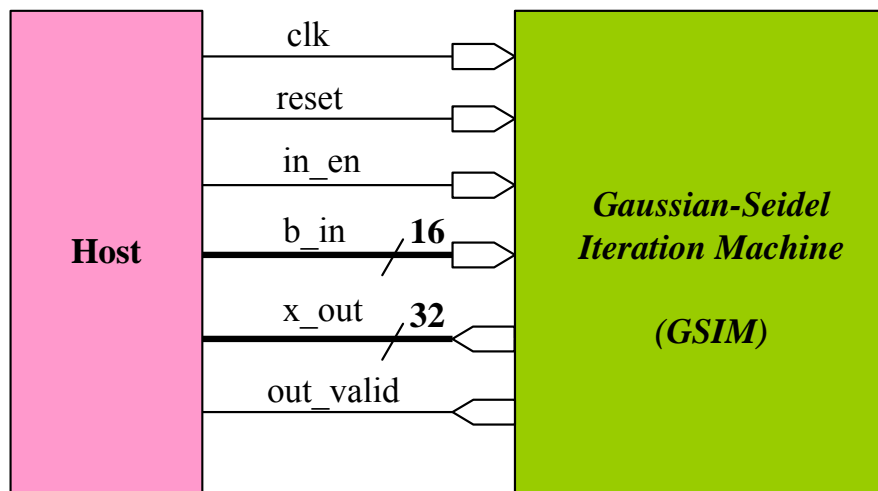
$$AX=B \longrightarrow \begin{bmatrix} a_{11} & a_{12} & \dots & a_{1N} \\ a_{21} & a_{22} & \dots & a_{2N} \\ \dots & \dots & \dots & \dots \\ a_{N1} & a_{N2} & \dots & a_{NN} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ \dots \\ x_N \end{bmatrix} = \begin{bmatrix} b_1 \\ b_2 \\ \dots \\ b_N \end{bmatrix} \quad (1)$$



圖一、Gauss-Seidel Iteration Machine 之方塊圖

2.設計規格

2.1 系統方塊圖



圖二、系統方塊圖

2.2 輸入/輸出介面

表 1 -輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
clk	I	1	本系統為同步於時脈正緣之同步設計。 (註: Host 端採 clk 正緣時送資料。)
reset	I	1	高位準”非”同步(active high asynchronous)之系統重置信號。
in_en	I	1	資料輸入致能控制訊號。當 Host 端有資料要輸入時，該訊號就會一直維持在 High，直到 Host 端 16 筆資料送完後，該訊號才為 Low。
b_in	I	16	線性方程式(1)式中矩陣 B 資料輸入的匯流排。矩陣 B 的資料會按照 b_1, b_2, \dots, b_{16} 的順序輸入，輸入的資料為 16bits 整數，採 2' SC 表示。
x_out	O	32	線性方程式(1)式中矩陣 X 資料輸出的匯流排。矩陣 X 的資料會按照 x_1, x_2, \dots, x_{16} 的順序輸出，輸出的資料為 32bis，其整數、小數各佔 16bits，採 2' SC 表示。
out_valid	O	1	輸出資料有效之控制訊號。當為 High 時，表示目前輸出的資料為有效的；反之，當為 Low 時，表示目前輸出資料為無效的，即不被採用。

2.3 系統描述

2.3.1 解多元線性聯立方程式之基本概念

欲求出(1)式之多元線性聯立方程式之解，方法眾多，例如：利用反矩陣公式、高斯(Gaussian)消去法、Jacobi Iteration、Gauss-Seidel Iteration 等方法求解，前兩種解法只適合小矩陣之計算，速度慢又不適合作硬體，後兩者則是採用疊代的方法，用疊代法不僅可以計算大型矩陣且非常適合作硬體，由於考量到 Gauss-Seidel Iteration 的收斂速度比 Jacobi Iteration 更快些，因此主辦單位今年題目限定，請參賽者只能使用” Gauss- Seidel Iteration” 方法作成硬體，透過 GSIM 電路來計算多元線性聯立方程式之解。

2.3.2 Gauss-Seidel Iteration Machine 功能描述

將多元線性聯立方程式(1)式展開後，如(2)式所示。

$$\begin{aligned} a_{11}x_1 + a_{12}x_2 + \cdots + a_{1N}x_N &= b_1 \\ a_{21}x_1 + a_{22}x_2 + \cdots + a_{2N}x_N &= b_2 \\ &\vdots \\ a_{N1}x_1 + a_{N2}x_2 + \cdots + a_{NN}x_N &= b_N \end{aligned} \quad (2)$$

欲求 x_1, x_2, \dots, x_N 的值，可以將 (2)式整理成(3)式，在(3)式中所謂 x_2^1 是指疊代第一次的 x_2 值，其值可以用等號右邊的式子求得。注意：等號右邊式子，一部分 x 是由該次疊代出之新的 x 值，另外一部分則是由前一次疊代出的 x 值，此乃Gauss-Seidel Iteration的特性。由於(3)式只是第一次疊代展開的式子，因此在此所謂的” 前一次疊代的 x 值” 就是初始值。例如，式中所謂的 x_3^0 是指 x_3 在疊代之前所設定的初始值，其餘類似的符號皆依此類推。

$$\begin{aligned} x_1^1 &= \frac{1}{a_{11}}(b_1 - a_{12}x_2^0 - \cdots - a_{1N}x_N^0) \\ x_2^1 &= \frac{1}{a_{22}}(b_2 - a_{21}x_1^1 - a_{23}x_3^0 - \cdots - a_{2N}x_N^0) \\ &\vdots \\ x_N^1 &= \frac{1}{a_{NN}}(b_N - a_{N1}x_1^1 - a_{N2}x_2^1 - \cdots - a_{NN-1}x_{N-1}^1) \end{aligned} \quad (3)$$

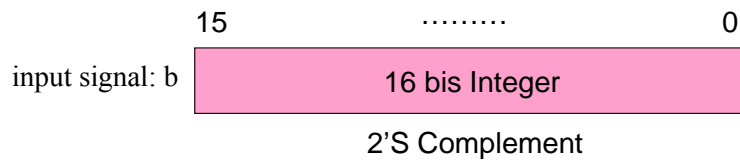
事實上，Gauss-Seidel Iteration 就是將(3)式作相同的動作數次的疊代，其行為如(4)式所示，反覆地疊代數次後，即可將所有待求的 x 值收斂在某一個值，該 x 值即為所求，本題就是要參賽者將(4)式實現出來，製作出 GSIM 電路。

$$x_i^{k+1} = \frac{1}{a_{ii}} \left[b_i - \sum_{j=1}^{i-1} a_{ij} x_j^{k+1} - \sum_{j=i+1}^N a_{ij} x_j^k \right] \quad (4)$$

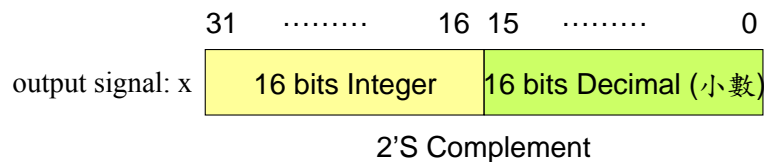
註：

1. 矩陣 **X** 之初值，由參賽者自行決定，例如： $X^0 = \begin{bmatrix} x_1^0 \\ x_2^0 \\ \vdots \\ x_N^0 \end{bmatrix} = \begin{bmatrix} b_1/a_{11} \\ b_2/a_{22} \\ \dots \\ b_N/a_{NN} \end{bmatrix}$ 。

2. 輸入訊號 b 格式：



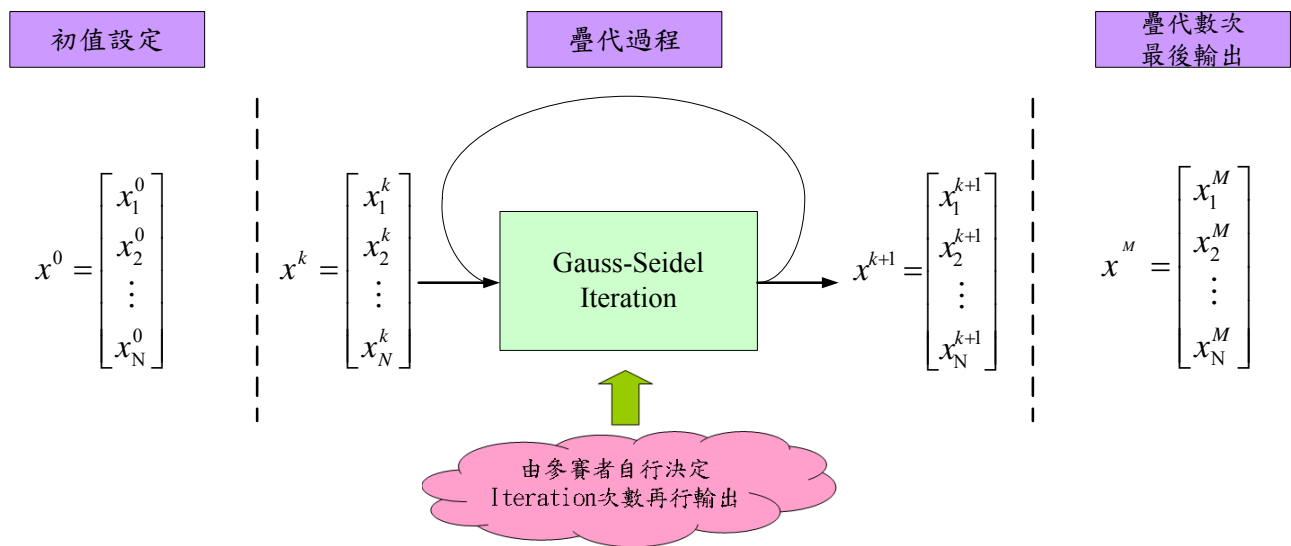
3. 輸出訊號 x 格式：



4. (4)式中的 a_{ij} 的值即為(1)式矩陣 **A** 的值，該矩陣 **A** 為固定的整數值，本題主辦單位已規定 N=16，因此矩陣 **A** 為 16x16 之矩陣，其值如下(5)式所示。

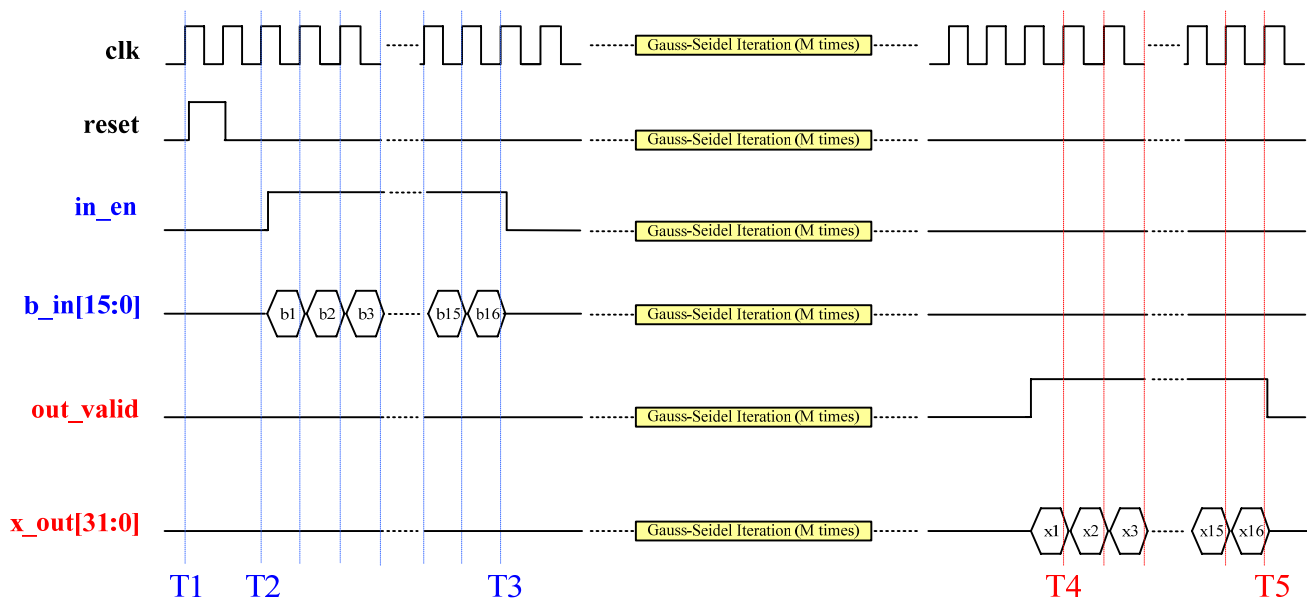
$$A = \begin{bmatrix} 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 & -1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 & 6 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 6 & -13 & 20 & -13 \end{bmatrix} \quad (5)$$

當參賽同學設定完初值後，便可開始用(4)式進行 Gauss-Seidel 疊代，整個疊代流程如圖三所示，最後疊代到該 x 值收斂或參賽者滿意的疊代次數(例如：30 次)後再輸出。



圖三、GSIM 電路疊代流程

2.4 GSIM 電路時序規格



圖四、GSIM 電路時序圖

1. T1 時間點，GSIM 電路初始化，reset 一個 Cycle 的時間。
2. T2 時間點，Host端開始送出第一筆訊號” b₁”，in_en在送訊號期間都會維持在High，直到Host端送完 16 筆訊號後(i.e. T3 時間點)，in_en立即拉為Low。Host端沒有送訊號期間，b_in會一直維持在高阻抗 (High Impedance)，in_en維持在Low。注意，Host端送訊號至GSIM電路，其延遲時間固定為 1ns。
3. Host端花了連續 16 個Cycle時間傳送訊號b₁, b₂, ..., b₁₆後，隨即開始進行Gauss-Seidel Iteration運算，Iteration次數由參賽者自行判斷與決定。
4. T4 時間點，Host端開始接收Gauss-Seidel Iteration運算完之第一筆訊號” x₁”，此時將out_valid拉為High表示x_out輸出之值是有效的(Valid)，直到T5 時間點，共接收 16 筆資料後，即完成整個模擬。請注意，當x_out沒有要作輸出時(i.e. out_valid為Low時)，其值主辦單位並無限定，唯有當out_valid為High時，Host端才會抓目前x_out的輸出值。

3. 評分標準

各參賽隊伍必須做到”完成設計”，即完成下列三項要求。倘若達成”完成設計”的組數太少，主辦單位才會考慮依這三項要求，來進行同級完成度的評分排名，完成越多項目之隊伍成績越佳。另外，本電路”不會”依晶片效能(Performance)作為評分依據，但參賽者仍須提供一組正確的週期時間(CYCLE TIME)給評分人員驗證本電路之正確性，不可有設置與保持時間(setup/hold time)的問題發生。

◇ “完成設計”的三項要求：

- a、 功能正確，RTL 模擬與 golden pattern 比對之誤差值在合理範圍，依誤差值進行評分。
- b、 完成 Synthesis，且 Gate-Level Pre-layout Simulation 結果正確。
- c、 完成 APR，DRC/LVS 無誤，且 Gate-Level Post-layout Simulation 結果正確。

◇ 第一階段評分：依”誤差值”大小評分

主辦單位在 Test Bench 檔案裡，已加入(6)式來計算”矩陣A與參賽者最後一次疊代輸出的新矩陣 X^M 所求得之新矩陣B值與原輸入訊號矩陣B值之誤差”取其平方倍相加，作為評分排名之依據，共區分八個等級如下：

$$E^2 = \sum_{i=1}^{16} [\sum_{j=1}^{16} a_{ij} x_j^M - b_i]^2 \quad (6)$$

註： x_j^M ：為本電路第j筆之最後一次疊代的輸出值。

A 級：	$E^2 < 0.000001$
B 級：	$0.000001 \leq E^2 < 0.000005$
C 級：	$0.000005 \leq E^2 < 0.000010$
D 級：	$0.000010 \leq E^2 < 0.000050$
E 級：	$0.000050 \leq E^2 < 0.000100$
F 級：	$0.000100 \leq E^2 < 0.001000$
G 級：	$0.001000 \leq E^2 < 0.005000$
H 級：	$0.005000 \leq E^2 < 0.010000$
I 級：	$0.010000 \leq E^2 < 0.100000$
J 級：	$0.100000 \leq E^2 < 0.300000$
K 級：	$0.300000 \leq E^2$ (Fail)

註 1. K級： $E^2 \geq 0.300000 \Rightarrow$ 誤差過大，主辦單位將視K級為錯誤的(Fail)，請注意!

註 2. 主辦單位提供五組測試樣本，五組都要模擬，分數是五組模擬結果中，取最差的一個。

◇ 第二階段評分：依”Area” 大小評分

若同等級誤差範圍的”Area”越小，成績越佳。

註. 評分考量優先順序為：1. 誤差值等級 2. Area 大小 (本題目完全不比速度，請注意!)

附錄

附錄 A 為主辦單位所提供各參賽者的設計檔說明；附錄 B 為主辦單位提供的測試樣本說明；附錄 C 為設計驗證說明；附錄 D 為評分用檔案，亦即參賽者必須繳交的檔案資料；附錄 E 則為設計檔案壓縮整理步驟說明；附錄 F 中說明本次競賽之軟體環境；附錄 G 中說明本次競賽使用之設計資料庫。

附錄 A 設計檔(For Verilog or VHDL)

1. 下表為主辦單位所提供各參賽者的設計檔

表 2、設計檔案說明

檔名	說明
GSIM.v	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
pattern1.dat pattern2.dat pattern3.dat pattern4.dat pattern5.dat	五組測試樣本，每組提供 16 個Signal b的值，分別為 b_1, b_2, \dots, b_{16} ，其格式為 16 進制採 2'SC表示法。 欲模擬pattern1 的結果，請務必搭配testfixture1.v檔案；模擬pattern2 的結果，請務必搭配testfixture2.v檔案，其餘的依此類推。
testfixture1.v testfixture2.v testfixture3.v testfixture4.v testfixture5.v	五個Test Bench檔案。每個Test Bench已自動加入對應的pattern檔，主辦單位提供五個Test Bench檔案，主要是因為每個Test Bench都已將線性聯立方程式待求的Signal x_1, x_2, \dots, x_{16} (i.e. Golden Pattern)秀出，好讓參賽者可以比對自己最後的輸出結果與Golden Pattern Signal x之間的誤差值作比較與參考。Golden Pattern Signal x是用Floating-Point(i.e.無限精確度)計算出來的結果，請注意。
.synopsys_dc.setup	使用 Design Compiler 作合成之初始化設定檔。參賽者請依 Library 實際擺放位置，自行填上 Search Path 的設定。
GSIM_DC.sdc	使用 Design Compiler 作合成之 sdc 檔。參賽者可自行調整 cycle 值。
GSIM_SOCE.sdc	使用 SOC Encounter 作 Layout 之 sdc 檔。參賽者可自行調整 cycle 值。
GSIM_ICC.sdc	使用 IC Compiler 或 Astro 作 Layout 之 sdc 檔。參賽者可自行調整 cycle 值。

請使用 **GSIM.v**，進行 GSIM 電路之設計。其模組名稱、輸出/入埠宣告如下所示：

```
module GSIM ( clk, reset, in_en, b_in, out_valid, x_out);  
    input    clk ;  
    input    reset ;  
    input    in_en;  
    output   out_valid;  
    input    [15:0] b_in;  
    output   [31:0] x_out;  
  
endmodule
```

2. 主辦單位提供五個 Test Bench 檔案 testfixture1.v, testfixture2.v, ..., testfixture5.v 分別對應到 pattern1, pattern2, ..., pattern5，這五組 Pattern 都已加入了，參賽者只要注意 pattern 檔案的路徑即可。

例如：

第一個 Test Bench 模擬，使用 testfixture1.v：

```
`define PAT      " ./pattern1.dat "
```

註：參賽者無須作修改，只需注意 pattern1.dat 的檔案位置即可，預設為目前目錄。

在每個 Test Bench 裡已提供用 **Floating-Point(i.e.無限精確度)**計算出的 Signal X 當作 Golden Pattern 給參賽者參考。例如，在 testfixture1.v 檔案裡可以看到如下之內容。其他的 Test Bench 檔案也有提供相對的 Golden Pattern 值，好讓參賽者作 Debug 時可以使用。

```
$display("-----\n");  
$display("          Your Output          Golden X\n");  
$display(" X1:      %.10f      402.1120217501      \n", x_f[0 ] );  
$display(" X2:      %.10f      1689.5336804421      \n", x_f[1 ] );  
$display(" X3:      %.10f      2455.4774264763      \n", x_f[2 ] );  
$display(" X4:      %.10f      563.1671481130      \n", x_f[3 ] );  
$display(" X5:      %.10f      703.0136705772      \n", x_f[4 ] );  
$display(" X6:      %.10f      1745.1919122734      \n", x_f[5 ] );  
$display(" X7:      %.10f      33.2002351074      \n", x_f[6 ] );  
$display(" X8:      %.10f      607.1379155812      \n", x_f[7 ] );  
$display(" X9:      %.10f      -477.5895727426      \n", x_f[8 ] );  
$display(" X10:     %.10f      869.0943789319      \n", x_f[9 ] );  
$display(" X11:     %.10f      1907.5237775384      \n", x_f[10] );  
$display(" X12:     %.10f      1524.3408800767      \n", x_f[11] );  
$display(" X13:     %.10f      596.4154551345      \n", x_f[12] );  
$display(" X14:     %.10f      1476.6345624265      \n", x_f[13] );  
$display(" X15:     %.10f      1011.5707976786      \n", x_f[14] );  
$display(" X16:     %.10f      -1330.8985774801      \n", x_f[15] );  
$display("-----\n");  
$display("So Your Error Ratio=  %.15f\n", SquareError);  
$display("-----\n");
```

Golden Pattern Signal X

3. 主辦單位所提供的五個 Test Bench 檔案，都有多加上如下的敘述：

```
`define SDFFILE  "./GSIM_syn.sdf"           // Modify your sdf file name
`ifdef SDF
    initial $sdf_annotate(`SDFFILE, GSIM);
`endif
```

其目的是給合成或 APR 後可以順利進行模擬，請參賽者在模擬時，要記得多加一個參數”+define+SDF”，方可順利模擬。此外，SDF 檔名也要搭配合成與 APR 後實際名稱作修改。

例如：模擬合成後使用 NC-Verilog 模擬第一個 Test Bench，在 UNIX 下執行下面指令

```
> ncverilog testfixture1.v GSIM_syn.v -v tsmc13_neg.v +define+SDF +access+r
```

附錄 B 測試樣本

為了讓參賽者看完題目後，更能確定題意，在此主辦單位以第一個測試樣本為例(注意：下面所列之範例是用 Floating-Point 來計算的)，秀出第一次疊代結果，以下純作參考使用。注意：疊代次數請自行決定，主辦單位沒有限定。

表 3、使用測試樣本 1 執行 Gauss-Seidel 疊代之範例

Gauss-Seidel Iteration Machine (example for pattern1)											
Input Signal B			X初值		疊代第一次		疊代第二次		疊代到第M次後輸出	
	10進制	16進制		10進制		10進制		10進制			10進制
b1	248	00F8	x1	12.4	x1	-404.475	x1		x1
b2	-682	FD56	x2	-34.1	x2	642.14375	x2		x2
b3	24710	6086	x3	1235.5	x3	1587.0934375	x3		x3
b4	-9624	DA68	x4	-481.2	x4	-300.7736406	x4		x4
b5	-3313	F30F	x5	-165.65	x5	709.5062898	x5		x5
b6	30377	76A9	x6	1518.85	x6	658.9008525	x6		x6
b7	-29996	8AD4	x7	-1499.8	x7	40.83248512	x7		x7
b8	30995	7913	x8	1549.75	x8	602.0186741	x8	x8
b9	-20368	B070	x9	-1018.4	x9	-306.7375648	x9		x9
b10	10952	2AC8	x10	547.6	x10	158.8591049	x10		x10
b11	5665	1621	x11	283.25	x11	1037.925621	x11		x11
b12	11476	2CD4	x12	573.8	x12	822.1945442	x12		x12
b13	-9108	DC6C	x13	-455.4	x13	-352.8707775	x13		x13
b14	7882	1ECA	x14	394.1	x14	1105.254412	x14		x14
b15	20391	4FA7	x15	1019.55	x15	861.0238286	x15		x15
b16	-31505	84EF	x16	-1575.25	x16	-1364.804374	x16		x16

附錄 C 設計驗證說明

參賽者繳交資料前應完成 RTL，Gate-Level 與 Physical 三種階段驗證，以確保設計正確性。

- RTL 與 Gate-Level 階段：參賽者必須進行 RTL simulation 及 Gate-Level simulation，模擬結果必須於題目所定義的系統時脈下，**輸出結果正確且無 setup/hold time** 的問題。
- Physical 階段，包含三項驗證重點：
 1. 完成最後 layout，
 - i. Marco layout，不含 IO Pad。
 - ii. **VDD 與 VSS power ring 寬度請各設定為 2um。**
 2. 完成 post-layout simulation：參賽者必須使用 P&R 軟體**寫出之 netlist 檔與 sdf 檔完成 post-layout gate-level simulation**，以下分為 IC Compiler、Astro、SOC Encounter 三種軟體說明 netlist 與 sdf 寫出步驟。

- i. 使用 Synopsys IC Compiler 者，執行步驟如下：

在 IC Compiler 主視窗底下點選

“File > Export > Write SDF...”

Specify Version	Version 2.1
Instance	空白即可
File name	GSIM_pr.sdf
Significant digits	2

按 **OK**。

對應指令： write_sdf -version 2.1 GSIM_pr.sdf

“File > Export > Write Verilog...”

先按 **Default**

Output verilog file name	GSIM_pr.v
Output physical only cells	disable
Wire declaration	enable
Backslash before Hierarchy Separator	enable

按 **OK**。

- ii. 使用 Synopsys Astro 者，執行步驟如下：

在 Astro 視窗底下點選

“Timing > SDF Out”

Specify Version	Version 2.1
Operation Mode	Normal SDF
File Name	GSIM_pr.sdf

按 **OK**。

“Cell > Hierarchical Verilog Out”

Flattened Cell Name (.EXP .CEL)	GSIM.CEL
Enter File Name	GSIM_pr.v
No power/ground ports	Enable
No power/ground nets	Disable
Output bus as individual bits	Disable
No empty Cell Module Definitions	Enable
No Corner Pad Instances	Enable
No Pad Filler Cell Instances	Enable
No Core Filler Cell Instances	Enable
No Unconnected Cell Instances	Enable
No Unconnected Ports	Enable
Strip BackSlash Before Hierarchy Separator	Enable
No Diode Ports	Enable
Output Wire Declaration	Enable
Output 1'b1 for Power(VDD, vdd, ...) and 1'b0 for Ground(VSS, gnd, ...)	Enable
Generate macro definitions	Disable

按 。

iii. 使用 Cadence SOC Encounter 者，執行步驟如下：

在 SOC Encounter 視窗下點選：

“Design → Save → Netlist...”

Netlist File	GSIM_pr.v
All other options	Default value

按 。

“Timing → Calculate Delay...”

存成 GSIM_pr.sdf，按 。

註：如果發現 **Calculate Delay** 功能是灰色的(無法點選)，請先將目前結果存檔後離開 Encounter，再重新進入 Encounter 並 Restore 回原本 Design 即可。

3. 完成 DRC 與 LVS 驗證：參賽者必須以其所使用之 **P&R 軟體內含之 DRC 與 LVS 驗證功能完成 DRC 與 LVS 驗證**，以下分為 IC Compiler、Astro、SOC Encounter 三種軟體說明執行步驟。

- i. 使用 Synopsys IC Compiler 者，驗證 DRC 與 LVS 步驟如下：

在 IC Compiler Layout 視窗底下點選

“Route > Verification > DRC ...”

Read child cell from	Cell view
All other options	Default value

按 。

將跳出 Error Browser 視窗，請參賽者自行查看是否有錯，若有則自行修改 Layout 到 0 個 Violation 為止。

“Route > Verification > LVS ...”

Pins not connected to a wire segment(Floating port)	disable
All other options	Default value

按 。

將跳出 Error Browser 視窗，檢查看看是否有錯，若有請自行修正到 0 個 Violation 為止。

- ii. 使用 Synopsys Astro 者，驗證 DRC 與 LVS 步驟如下：

在 Astro 視窗底下點選

“Verify > DRC ”

List Error Summary Immediately	Enable
All other options	Default value

按 。

將跳出來的 DRC report 存成 DRC.report 檔。

“Verify > LVS ” Default 值，按 。

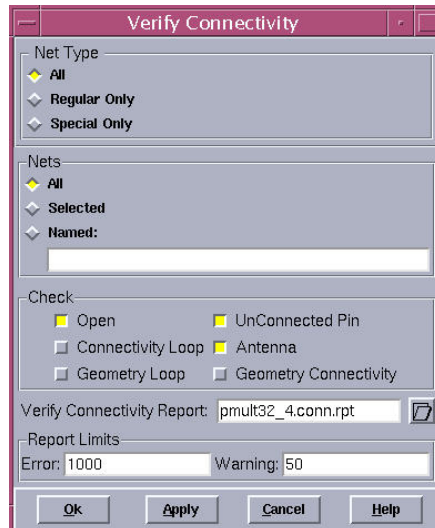
List Error Summary Immediately	Enable
All other options	Default value

將跳出來的 LVS report 存成 LVS.report 檔。

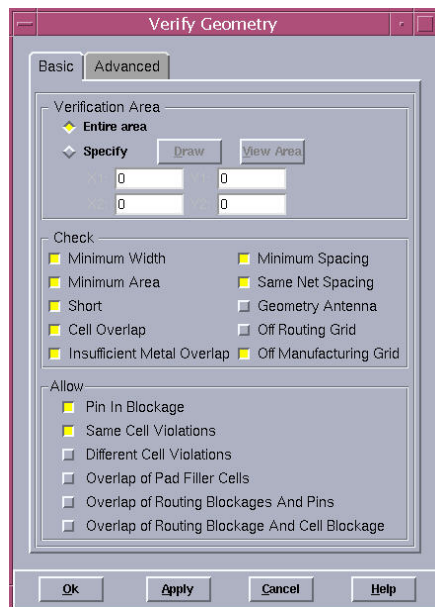
- iii. 使用 Cadence SOC Encounter 者，驗證 DRC 與 LVS 步驟如下：

在 SOC Encounter 視窗下點選

“Verify → Verify Connectivity...” Default 值，按 。



“Verify → Verify Geometry...” Default 值，按 **OK**。



“Verify → Violation Browser...”
將 Verify 的結果存成 DPA.viols.rpt

附錄 D 評分用檔案

評分所須檔案可以下幾個部份：(1)RTL design，即各參賽隊伍對該次競賽設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各module檔放進來，以免評審進行評分時，無法進行模擬；(2)Gate-Level design，即由合成軟體所產生的gate-level netlist，以及對應的SDF檔；(3)Physical design，使用Synopsys IC Compiler/Astro者，請記得將整個相關的design library，壓縮成一個檔案。使用Cadence SOC Encounter者，請將SOC Encounter相關的design library（包含一個.enc檔及一個.dat目錄），壓縮成一個檔案。壓縮的檔案格式如下：假設參賽者的design library目錄名稱爲”your_lib”，請執行底下的UNIX指令，最後可以得到”your_name.tar”的檔案。

> **tar cvf your_name.tar your_lib**

在執行以上的指令之前，請確定將你使用的 P&R Tool 儲存後關閉，再執行以上的指令，否則在壓縮的過程會出現錯誤。

表 4

RTL category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	N/A	Design Report Form
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Gate-Level category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout Gate-level Simulation	*_syn.v	Verilog gate-level netlist generated by Synopsys Design Compiler
	*_syn.sdf	Pre-layout gate-level sdf
Physical category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
P&R	*.tar	archive of the design library directory
	*.gds	GDSII layout
	DRC/LVS report	For IC Compiler/Astro : DRC.report ; LVS.report For SOC Encounter : GSIM.viols.rpt
Post-layout Gate-level Simulation	*_pr.v	Verilog gate-level netlist generated by Cadence SOC Encounter or Synopsys Astro/IC Compiler
	*_pr.sdf	Post-layout gate-level sdf

附錄 E 檔案整理步驟

當所有的文件準備齊全如表 4 所列，請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下，步驟如下：

1. 在自己的 home directory 建立一個新目錄，名稱叫做“**result**” 例如：

> **mkdir ~/result**

2. 將附錄 D 要求的檔案複製到 result 這個目錄。例如：

> **cp GSIM.v ~/result/**

> **cp GSIM_syn.v ~/result/**

.....

3. 在 Design Report Form 中，填入所需的相關資訊。

附錄 F 軟體環境

1. 主辦單位已將所有軟體環境設定於：/usr/cad/cshrc/env.cshrc，參賽同學不需再做任何設定。
2. 在 env.cshrc 所設定好的軟體環境包括：
 - NC-Verilog
 - NC-VHDL
 - VCS
 - Verdi
 - Laker
 - ModelSim
 - Design Compiler (Design Vision)
 - IC Compiler
 - Astro
 - SOC Encounter
 - joe
 - nedit
 - vim
 - gvim
 - gnome-calculator (工程計算機執行檔，請開啟 View -> Scientific mode)
 - gcc

EDA 軟體所須使用的 license 皆已設定完成，不須額外設定，且每組限定**每個 EDA 軟體只能使用一套 license**。

附錄 G 設計資料庫

設計資料庫位置： /usr/cad/icc2010/CBDK_IC_Contest_v2.0

目錄架構

Astro/		IC Compiler/Astro 皆可使用!
	tsmc13gfsg_fram/	
	tsmc13_CIC.tf	Astro core library
	macro.map	Astro technology
	tluplus/	layer mapping file
	t013s8mg_fsg_typical.tluplus	t13 tluplus file
	t013s8mg_fsg.map	t13 tluplus mapping file
SOCE/		
	lef/	
	tsmc13fsg_8lm_cic.lef	LEF for core cell
	antenna_8.lef	LEF for antenna
	lib/	
	fast.lib	best case for core cell
	slow.lib	worst case for core cell
	typical.lib	typical case for core cell
	streamOut.map	Layout map for GDSII out
SynopsysDC/		
	db/	
	fast.db	Synthesis model (fast)
	slow.db	Synthesis model (slow)
	typical.db	Synthesis model (typical)
	lib/	
	fast.lib	timing and power model
	slow.lib	timing and power model
	typical.lib	timing and power model
Verilog/		
	tsmc13_neg.v	Verilog simulation model
VHDL/		
	tsmc13.vhd	VHDL simulation model

Design Report Form

隊號(Team number)		登入帳號(login-id)	
RTL category			
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>	
RTL Simulation	使用之 HDL 名稱 (請填入 Verilog 或 VHDL)		
RTL Simulation	RTL 檔案名稱 (RTL Netlist file name)		
Gate-Level category			
<i>Design Stage</i>	<i>Description</i>	<i>File Name</i>	
Pre-layout Gate-level Simulation	Gate-Level 檔案名稱 (Gate-Level Netlist file name)		
	Pre-layout sdf 檔案名稱		
	Gate-Level simulation, 所使用的 CYCLE Time (請確定無 setup/hold time Violation)	() ns	
Physical category			
<i>Design Stage</i>	<i>Description</i>	<i>File Name or Value</i>	
P&R	使用之 P&R Tool (請填入 IC compiler 或 Astro 或 SOC Encounter)		
	設計資料庫檔案名稱(Library name)		
	佈局檔檔案名稱(GDSII file name)		
	佈局面積(layout area)	() um X () um	
	佈局座標點	左下角座標點(Lower-Left Coordinate) : XLB = YLB = 右上角座標點(Upper-Right Coordinate): XRT = YRT =	
	DRC report file		
	LVS report file		
Post-layout Gate-level Simulation	Post-layout Gate-Level 檔案名稱		
	Post-layout sdf 檔案名稱		
	五組測試樣本之誤差等級 (最差的)	填寫格式, 例如: A 等級	
其他說明事項(Any other information you want to specify:(如設計特點 ...) 如寫不下可寫於背面			