

# CAD/VLSI Circuit Design 期末報告

## 構想說明

題目：Serial Transmitter and Data Arrange Controller

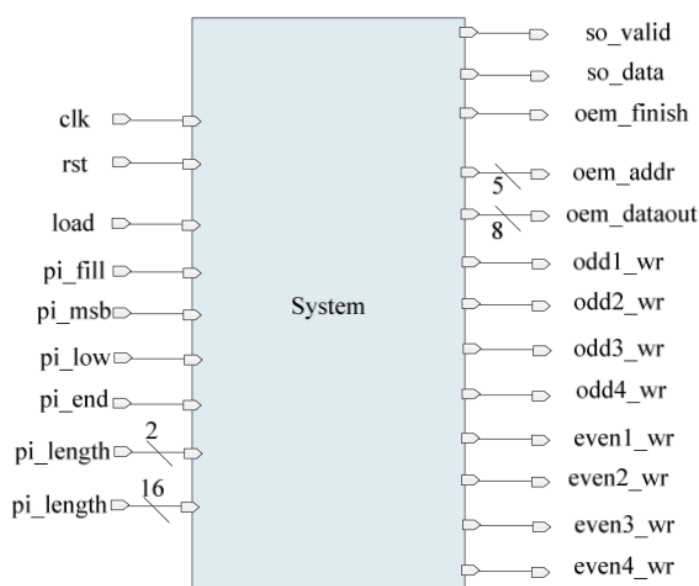
學號：7109064382

姓名：葉政勳

### 1. 簡介：

一個系統，其訊號界面如圖一所示，內容包含一**序列傳輸介面處理電路 (SERIAL TRANSMITTER INTERFACE, STI)**及一**資料排列控制電路(DATA ARRANGE CONTROLLER, DAC)**。STI 電路動作為從並列埠進行資料輸入處理後由序列埠將處理完成之資料以序列輸出。DAC 電路之功能為將經 STI 電路處理完成後之序列資料進行排列後分別寫入指定記憶體。

### 2. 系統方塊圖：



### 3. 輸出/輸入信號

信號名稱	輸入/輸出	位元寬度	說明
clk	input	1	系統提供的時脈信號。
reset	input	1	<b>高位準非同步</b> (active high asynchronous)之系統重置信號。 說明：此信號於系統啟動時送出。
load	input	1	系統提供的讀取控制信號。 說明：訊號寬度持續一個時脈週期。當 load = 1 時且經時脈 <b>訊號正緣</b> 觸發時，表示並列資料輸入埠及序列控制訊號為有效。
pi_data	input	16	十六位元並列資料輸入埠。
pi_length	input	2	序列資料輸出長度設定信號。 說明：當此訊號呈現 2'b00 時，表示序列輸出為 8bits 資料輸出。 當此訊號呈現 2'b01 時，表示序列輸出為 16bits 資料輸出。 當此訊號呈現 2'b10 時，表示序列輸出為 24bits 資料輸出。 當此訊號呈現 2'b11 時，表示序列輸出為 32bits 資料輸出。

<i>pi_fill</i>	input	1	序列資料輸出模式設定信號。
<i>pi_msb</i>	input	1	序列輸出順序控制訊號。
<i>pi_low</i>	input	1	序列低位元輸出致能訊號。
<i>so_data</i>	output	1	序列資料輸出埠。
<i>so_valid</i>	output	1	序列資料輸出致能訊號。 說明：當此信號為 1 時，表示 <i>so_data</i> 傳輸的資料被認為是有效的。
<i>pi_end</i>	input	1	並列資料輸入結束旗標。 說明：當此訊號為 1 時，表示測試樣本檔將不再向 STI_DAC 輸入任何資料；當此訊號為 0 時，表示測試檔樣本仍可能會對 STI_DAC 進行資料輸入。
<i>oem_finish</i>	output	1	OM 及 EM 記憶體共用寫入完成指示訊號。 說明：當記憶體 ODD1_MEM~ODD4_MEM 及 EVEN1_MEM~EVEN4_MEM 完成資料寫入時，將 <i>oem_finish</i> 設定為 1，則測試樣本檔將開始進行驗證記憶體內容；預設值應設定為 0。
<i>oem_addr</i>	output	5	OM 及 EM 記憶體共用五位元位址埠。
<i>oem_dataout</i>	output	8	OM 及 EM 記憶體共用八位元資料埠。
<i>odd1_wr</i>	output	1	ODD1_MEM 記憶體資料寫入致能訊號。
<i>even1_wr</i>	output	1	EVEN1_MEM 記憶體資料寫入致能訊號。
<i>odd2_wr</i>	output	1	ODD2_MEM 記憶體資料寫入致能訊號。
<i>even2_wr</i>	output	1	EVEN2_MEM 記憶體資料寫入致能訊號。
<i>odd3_wr</i>	output	1	ODD3_MEM 記憶體資料寫入致能訊號。
<i>even3_wr</i>	output	1	EVEN3_MEM 記憶體資料寫入致能訊號。
<i>odd4_wr</i>	output	1	ODD4_MEM 記憶體資料寫入致能訊號。
<i>even4_wr</i>	output	1	EVEN4_MEM 記憶體資料寫入致能訊號。

## 4. 功能描述

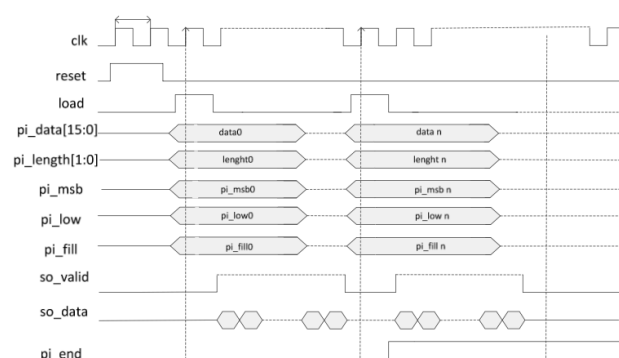
### a. 序列傳輸介面處理電路(STI)功能

當 RESET 結束後。每當 LOAD = 1 且經時脈訊號正緣觸發時，表示 STI 輸入訊號為有效，STI 將依據控制訊號(PI\_LENGTH、PI\_FILL、PI\_MSB、PI\_LOW)之設定將 PI\_DATA 輸入訊號進行相對應之並列轉序列資料處理，處理完成後將 SO\_VALID 拉成 1 表示有效資料輸出，並將處理完成之資料由 SO\_DATA 依序送出。當 LOAD = 0 時，表示輸入資料無效，STI 將不進行任何動作。

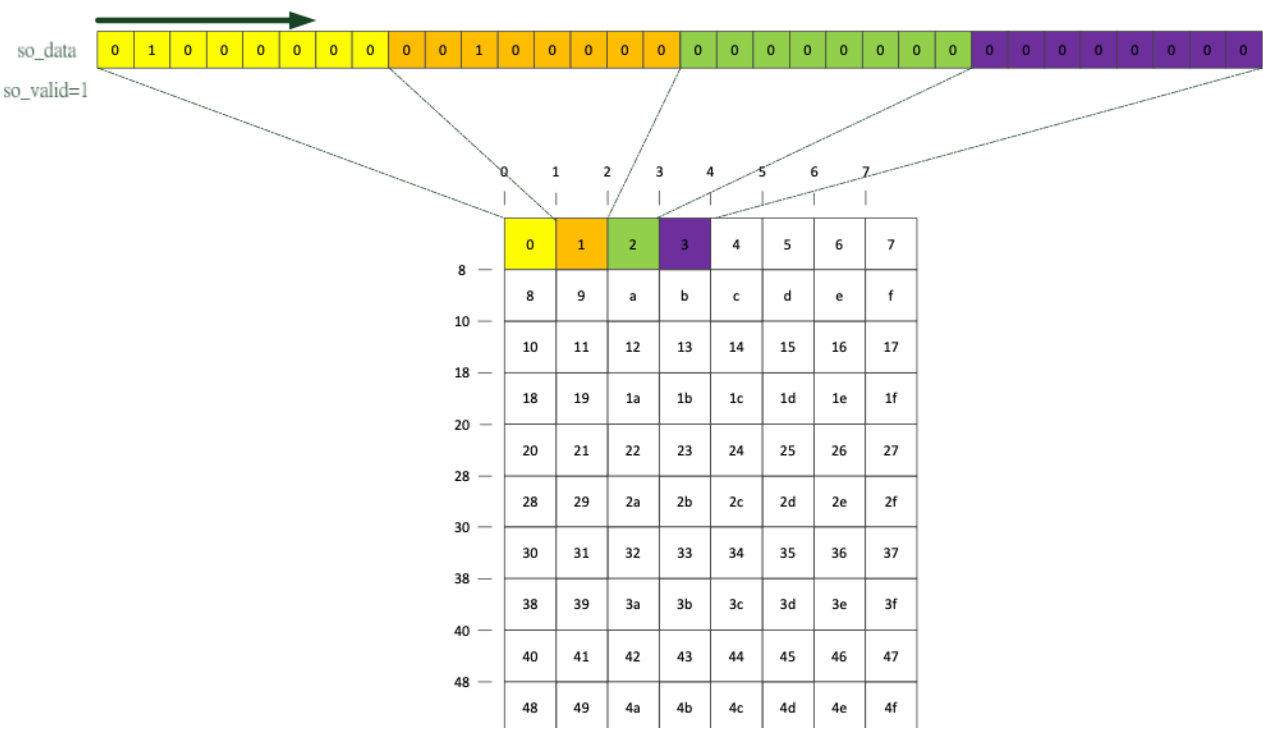
### b. 資料排列控制電路(DAC)電路功能

將 STI 序列傳輸介面處理電路輸出的有效序列訊號(SO\_VALID=1 時的 SO\_DATA 輸出)，依序以每 8 位元資料構成 1 筆資料存入 1 個資料記憶體位址。因此第 1 筆 8 位元資料之記憶體位址為 0、第 2 筆 8 位元資料之記憶體位址為 1...以此類推，依序將如此每八個位元的有效序列輸出內容儲存至資料記憶體中。

## 5. 時序規格圖



6. 資料記憶體構成方法



7. 設計規格：

- (1)製程：90nm
- (2)時脈：10MHz
- (3)Throughput：1.29 (TB/s)

8. 參考資料

2014 IC Design Contest Preliminary