

LAB 4

מגישים :

- יגל בן צבי 208584615
- רון בניטה 314882317

תאריך הגשה : 8.06.2025

מחלקה : המחלקה להנדסת חשמל

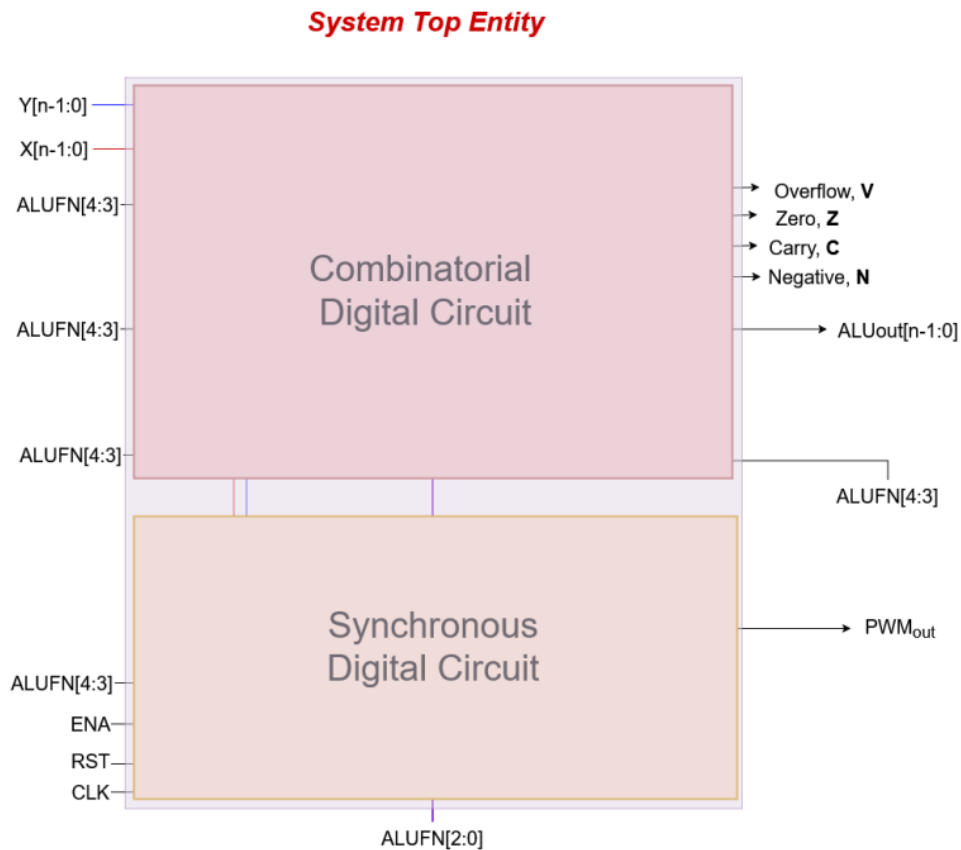
קורס : מעבדת ארכיטקטורה מתקדמת ומאיצי
חומרה - 361.1.4693

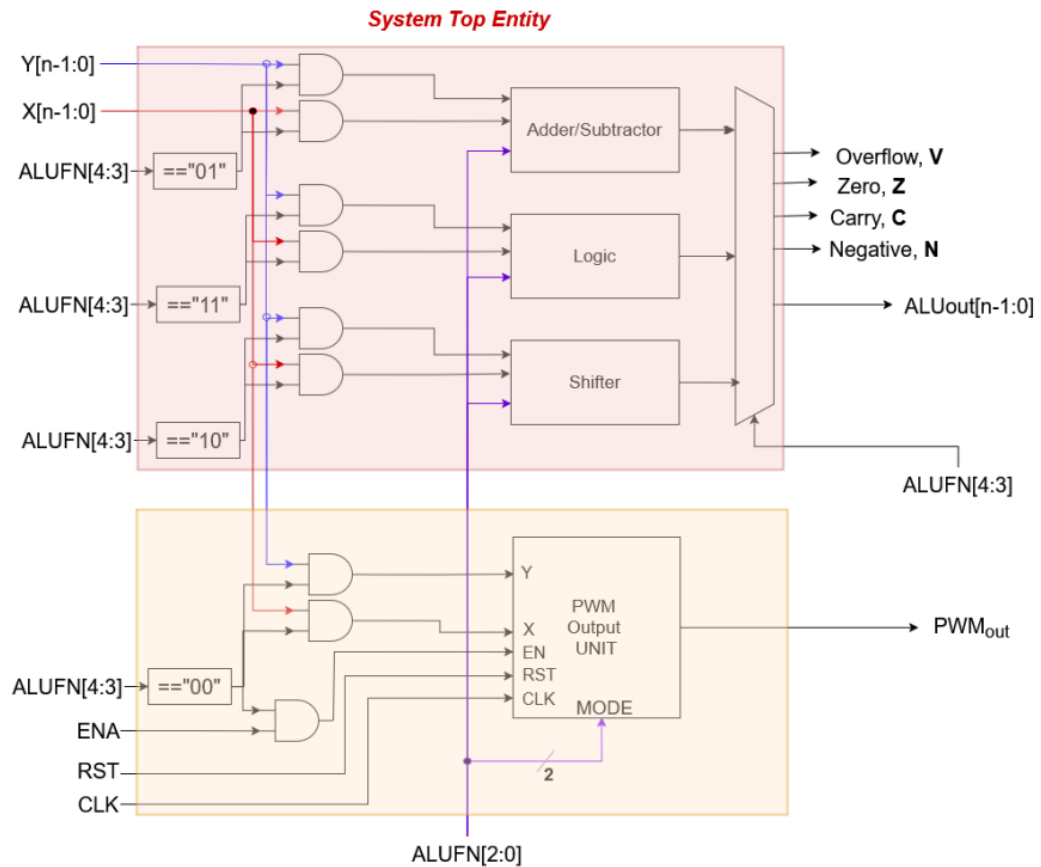


אוניברסיטת בן-גוריון בנגב
Ben-Gurion University of the Negev

הקדמה

במעבדה זו אנו רוצים להתמקד בהבנה של סינתזה של מערכת דיגיטלית.
אנו בעצם נבצע סינתזה למערכת סינכרונית דיגיטלית המבוססת על מעבדה מספר 1
על מעבד מסוג Cyclone II FPGA .
המערכת שלנו תתבסס על 2 תתי מערכות אחת קומבינטורית והשנייה סינכרונית.





כאשר המערכת הקומבינטורית מתבססת על ה-ALU שפיתחנו במעבדה מספר 1 ואת המערכת הסנכרונית או נממש במעבדה זו.

במערכת הסנכרונית או נדרשים לממש את רכיב ה-PWM כך :

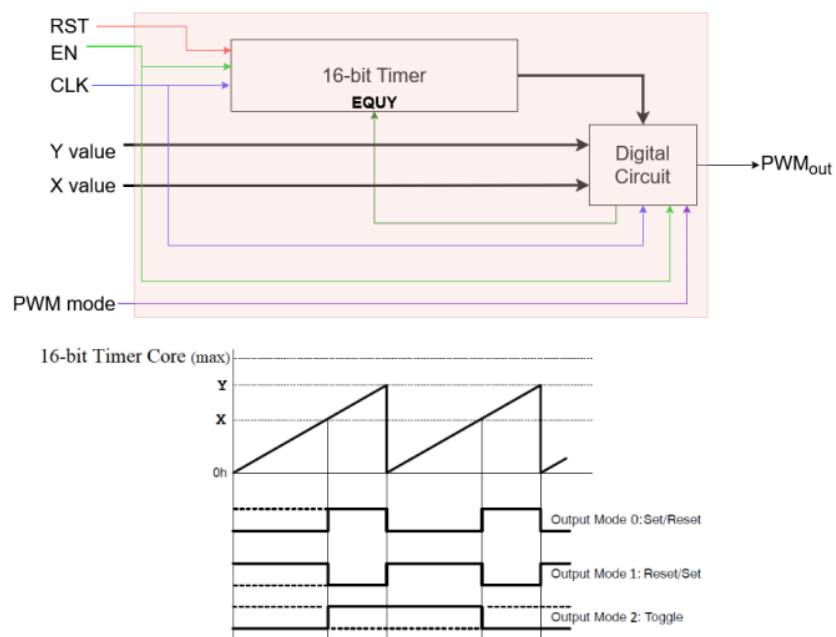
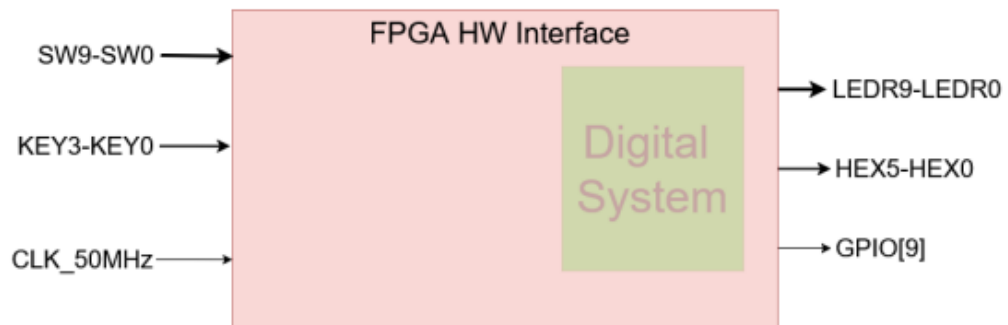


Figure 5: PWM output unit architecture

לבסוף את כל המערכת הדיגיטלית הנ"ל אנו נחבר למערכת בצורה הבאה :



כאשר החיבור בין המערכת הדיגיטלית לחומרה תתבצע בצורה הבאה :

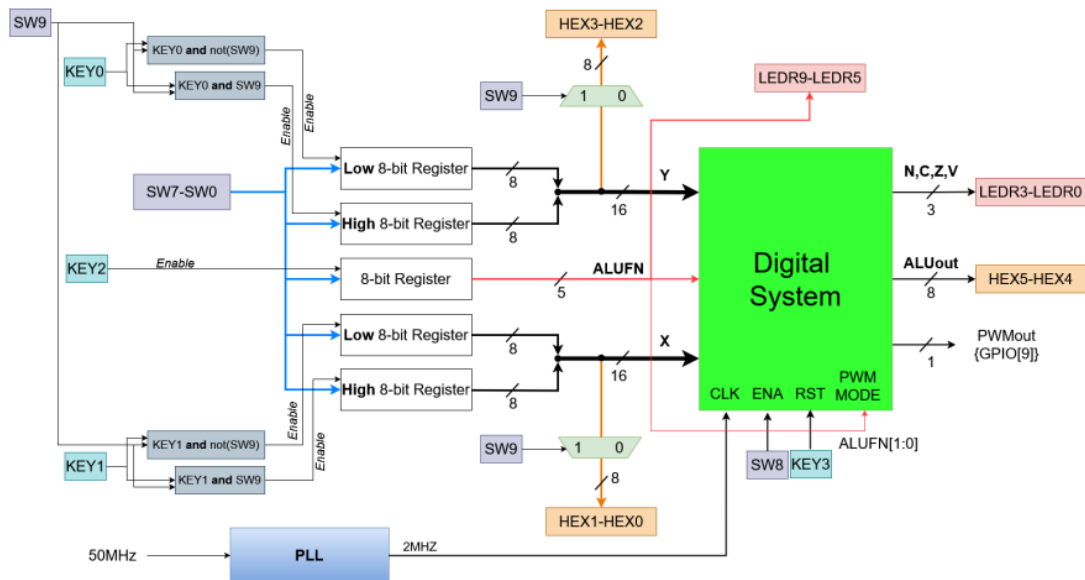


Figure 6: Digital system with I/O interface

ISA של המערכת :

Function Type	Decimal value	ALUFN	Operation	Note
PWM Output (<i>Y and X are 16-bit width</i>)	0	00000	PWM MODE0	PWM Mode is Set/Reset
	1	00001	PWM MODE1	PWM Mode is Reset/Set
	2	00010	PWM MODE2	PWM Mode is Toggle
Arithmetic (<i>Y and X are 8-bit width</i>)	8	01000	Res=Y+X	
	9	01001	Res=Y-X	Used also for comparison operation
	10	01010	Res=neg(X)	
	11	01011	Res=Y+1	Increment of Y in one
	12	01100	Res=Y-1	Decrement of Y in one
	13	01101	Res=swap(Y)	Res=(Y _{LSHW} , Y _{MSHW})
Shift (<i>Y and X are 8-bit width</i>)	16	10000	Res=SHL Y,X(k-1 to 0)	Shift Left Y of $q \oplus X(k-1 \dots 0)$ times Res=Y(n-1-q...0)#(q@0) When $k = \log_2 n$
	17	10001	Res=SHR Y,X(k-1 to 0)	Shift Right Y of $q \oplus X(k-1 \dots 0)$ times Res=(q@0)#Y(n-1...q) When $k = \log_2 n$
Boolean (<i>Y and X are 8-bit width</i>)	24	11000	Res=not(Y)	
	25	11001	Res=Y or X	
	26	11010	Res=Y and X	
	27	11011	Res=Y xor X	
	28	11100	Res=Y nor X	
	29	11101	Res=Y nand X	
	30	11110	Res=Y xnor X	

נשים לב שנוספו 3 פקודות עבור PWM ועוד פקודה אחת תחת הפקודות האריתמטיות : SWAP.

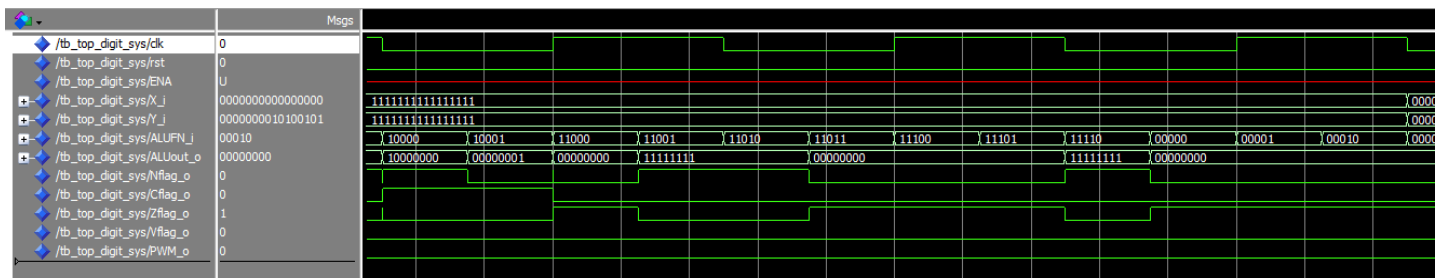
:TB

ראשית לפני שנעבור לחיבור למעבד ועבודה אל מול חומרה והעולם החיצוני אנו רוצים לראות כי המערכת הדיגיטלית שלעצה אכן עובדת כנדרש.

נבצע TB שבו נכניס ערכי X,Y ונבדוק כי המוצאים אכן מתקיימים בהתאם לפקודות.

מקרה ראשון : $FFFF=Y=X$

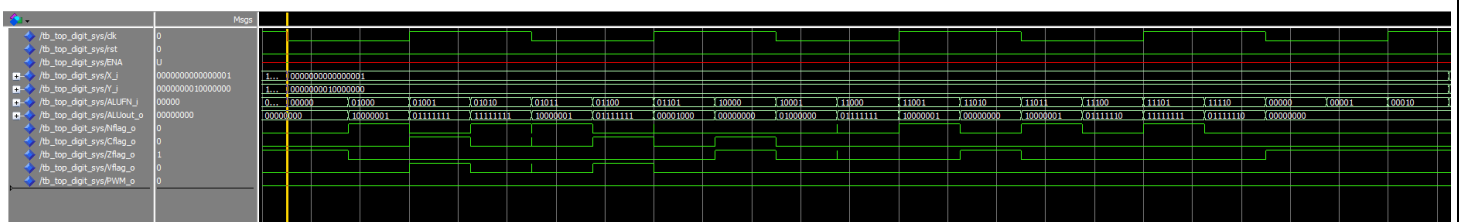
ניתן לראות כי כל הפקודות עבור ה-ALU מתקיימות כנדרש.



מקרה שני : $0001=X$

$0080=Y$

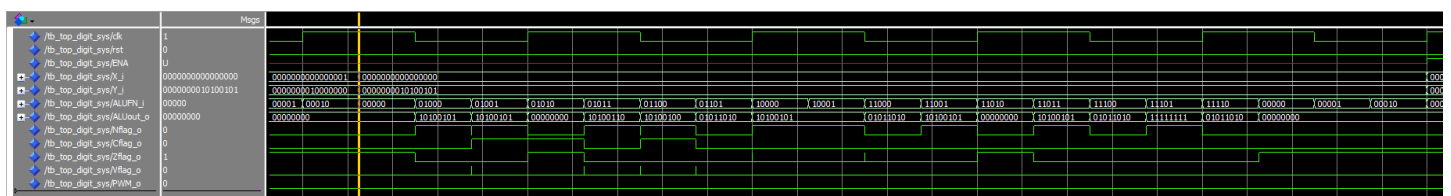
גם כן ניתן לראות כי כל פקודות ה-ALU מתקיימות כנדרש.



מקרה שלישי : $0000=X$

$00A5=Y$

גם כן ניתן לראות כי כל פקודות ה-ALU מתקיימות כנדרש.



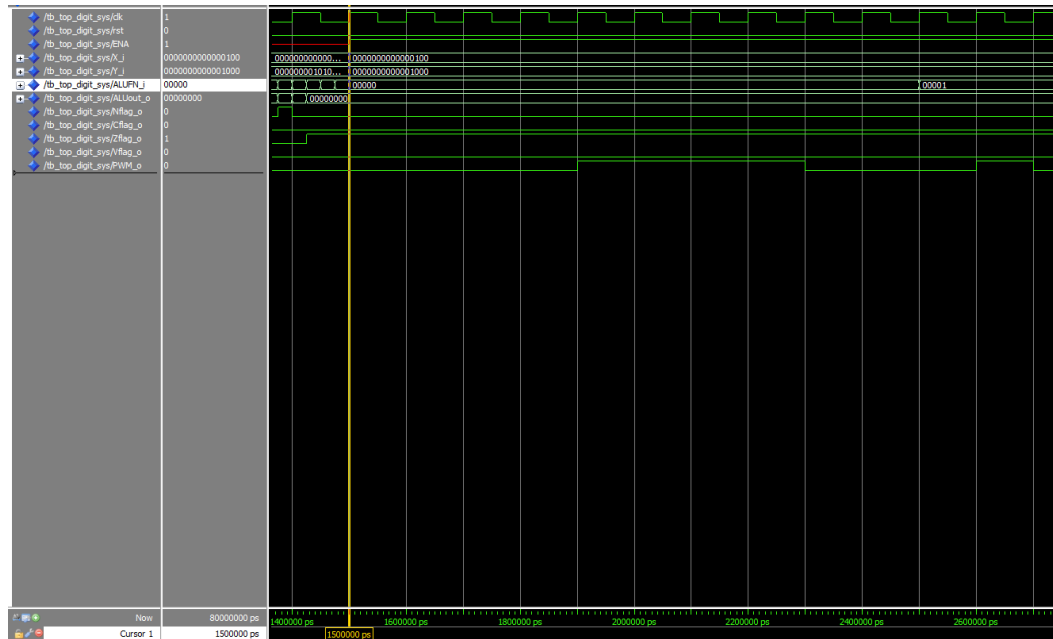
כעת נעבור לבדיקה של ה-PWM :

במקרה ראשון :

0004 = X

0008 = Y

MODE 0

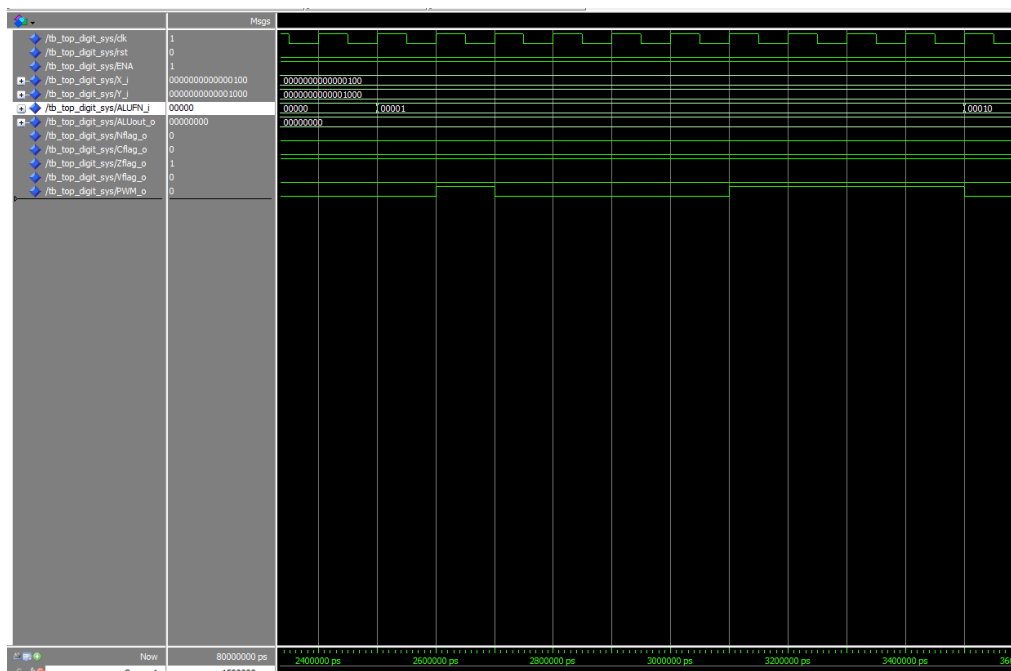


מקרה שני :

0004 = X

0008 = Y

MODE 1

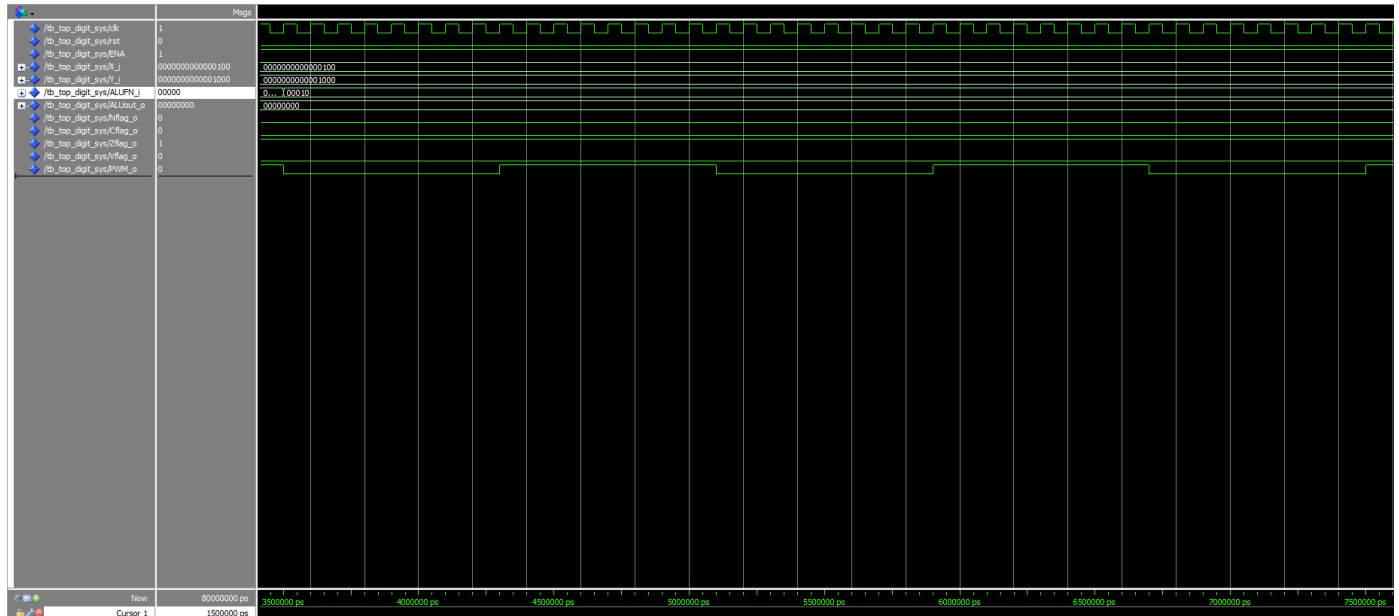


מקרה שלישי :

$$0004 = X$$

$$0008 = Y$$

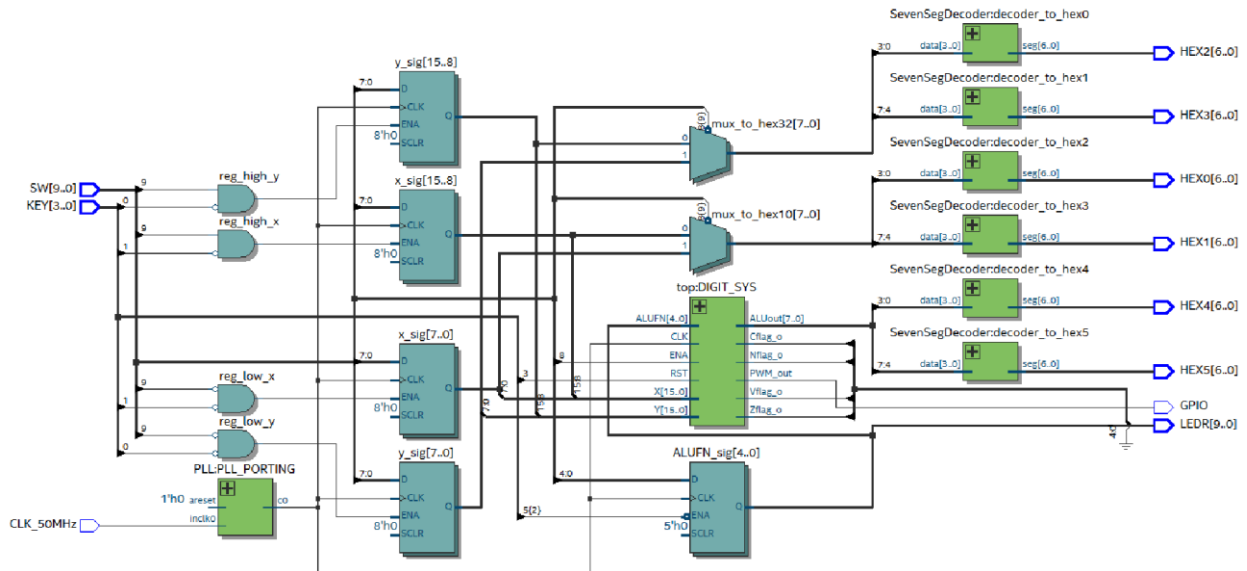
MODE 2(TOGGLE)



סינתזה של הרכיבים :

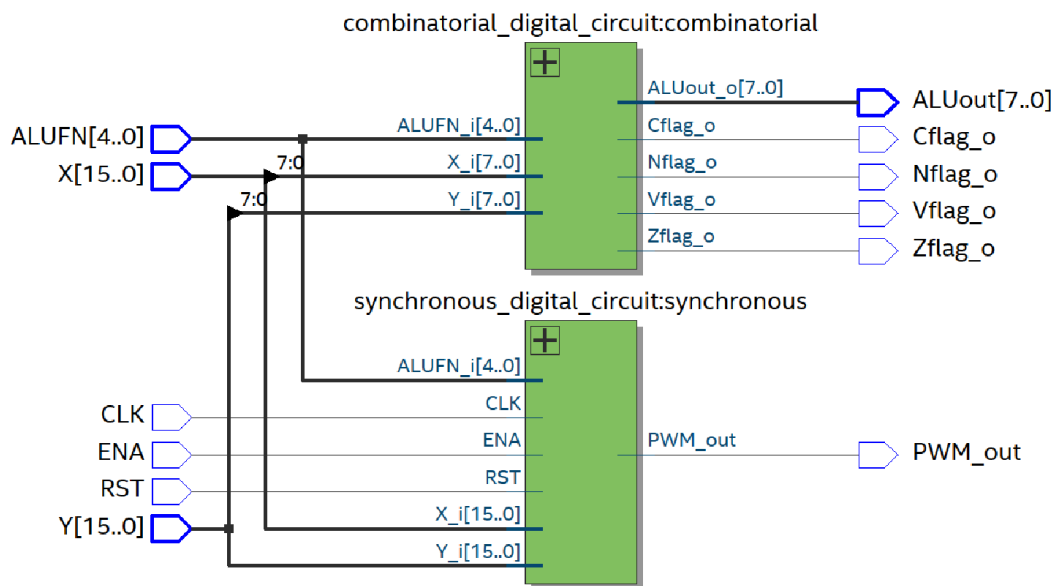
:topIO

: RTL



:Top_DIGIT_SYS

: RTL



לוגיקה :

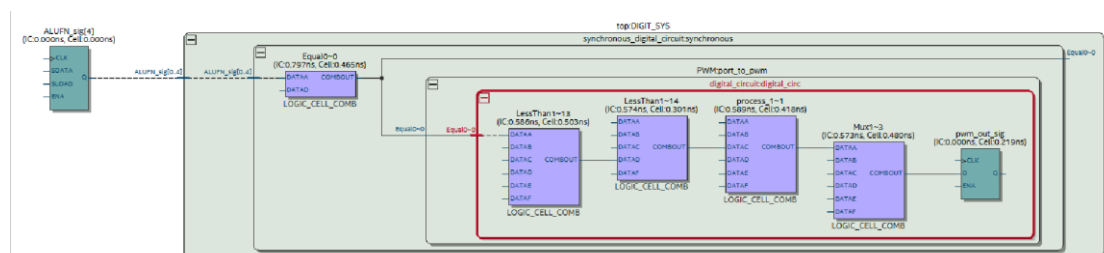
אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	727
2		
3	▼ Combinational ALUT usage for logic	630
1	-- 7 input functions	3
2	-- 6 input functions	213
3	-- 5 input functions	134
4	-- 4 input functions	73
5	-- <=3 input functions	207
4		
5	Dedicated logic registers	1120
6		
7	I/O pins	53
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	7917
16	Average fan-out	4.13

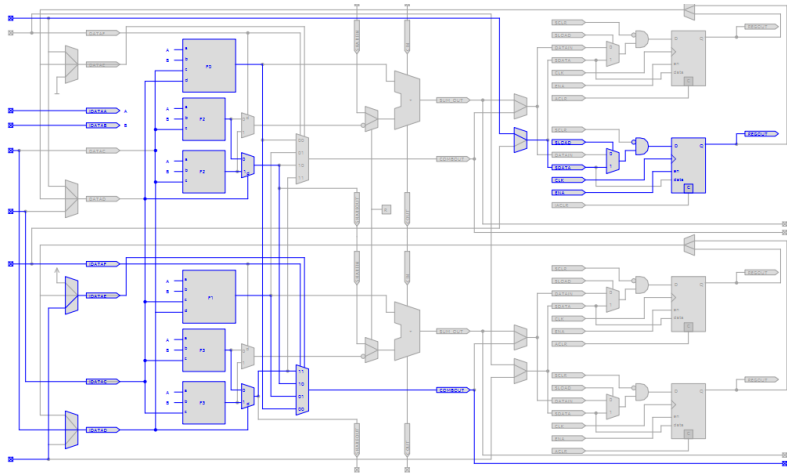
בנוסף נבדוק מה ה- f_{max} של ה- TOPIO :

	Fmax	Restricted Fmax	Clock Name	Note
1	154.01 MHz	154.01 MHz	PLL_P...ivclk	

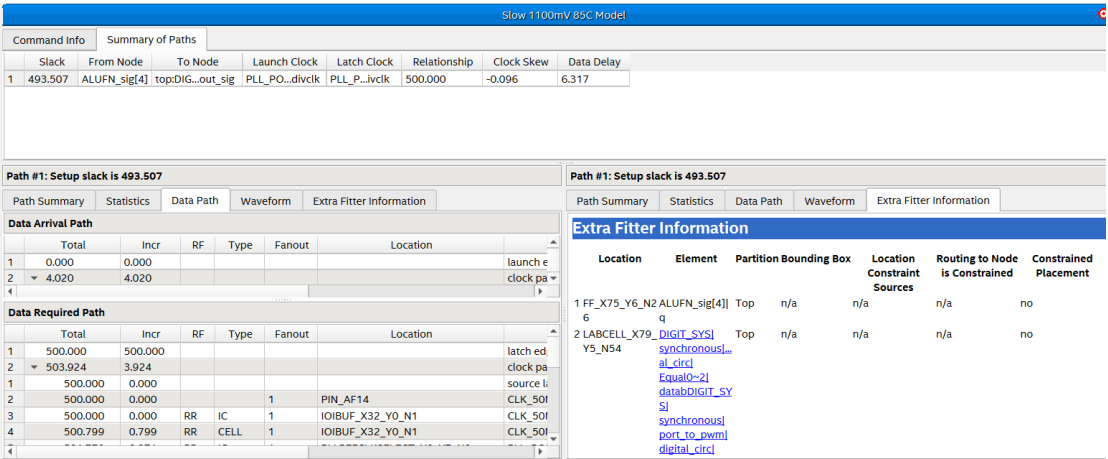
כאשר המסלול הארוך ביותר נמצא ברכיב הסינכרוני בין רגיסטר ה-ALUFN למוצא PWM :



הדבר אכן הגיוני עקב החומרה הרבה שבה מימשנו את אות ה-PWM למרות המחשבה כי המחבר הגלי ב-ALU יהיה חלק מהמסלול הקריטי.



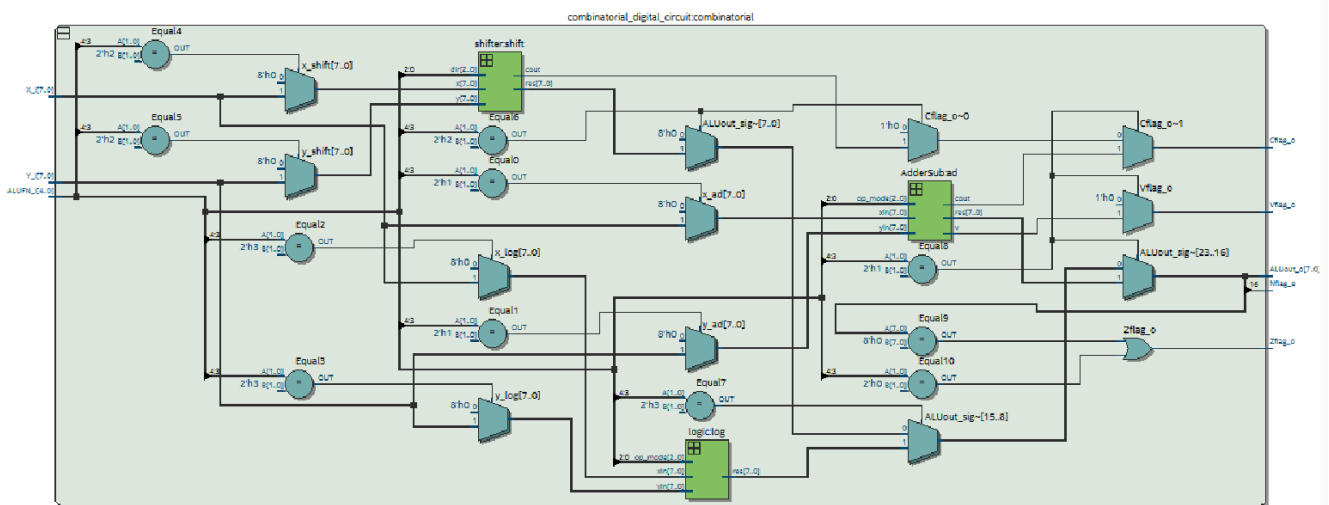
Time analyzer



Path #1: Setup slack is 493.507		
Path Summary		
Statistics		
Data Path		
Waveform		
Extra Fitter Information		
Property		Value
1	From Node	ALUFN_sig[4]
2	To Node	top:DIGIT_SYS synchronous_digital_circuit:syn..._pwm digital_circuit:digital_circ pwm_
3	Launch Clock	PLL_PORTING altpll_component auto_gener... generic_pll1~PLL_OUTPUT_COUNTER
4	Latch Clock	PLL_PORTING altpll_component auto_gener... generic_pll1~PLL_OUTPUT_COUNTER
5	Data Arrival Time	10.337
6	Data Required Time	503.844
7	Slack	493.507

: Combinatorial digital system

זה בעצם רכיב הALU אשר פיתחנו במעבדה 1.



לוגיקה :

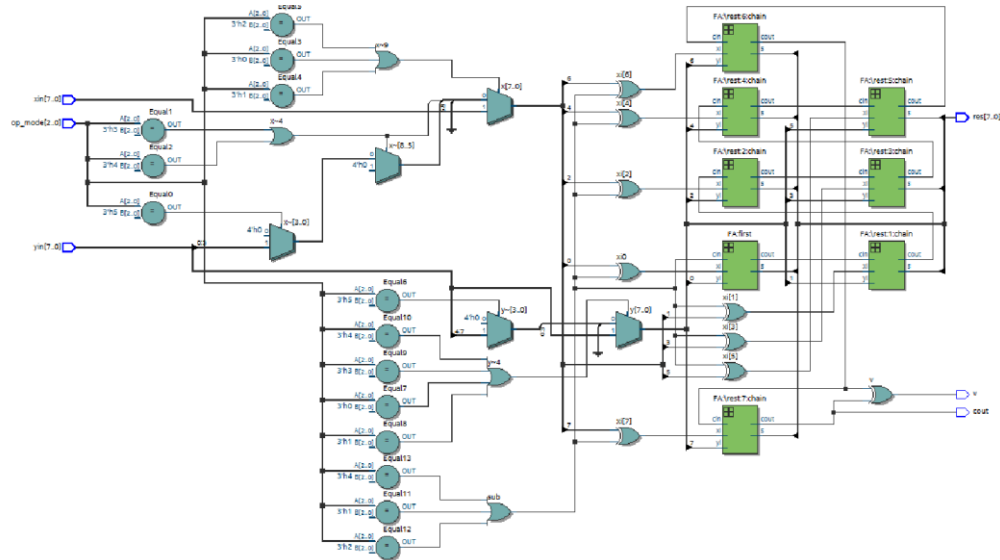
אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	688
2		
3	▼ Combinational ALUT usage for logic	542
1	-- 7 input functions	3
2	-- 6 input functions	169
3	-- 5 input functions	122
4	-- 4 input functions	65
5	-- <=3 input functions	183
4		
5	Dedicated logic registers	1102
6		
7	I/O pins	33
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	7416
16	Average fan-out	4.19

: ADDER SUB

מחבר מחסר גלי אשר מימשנו במעבדה 1.

: RTL



לוגיקה :

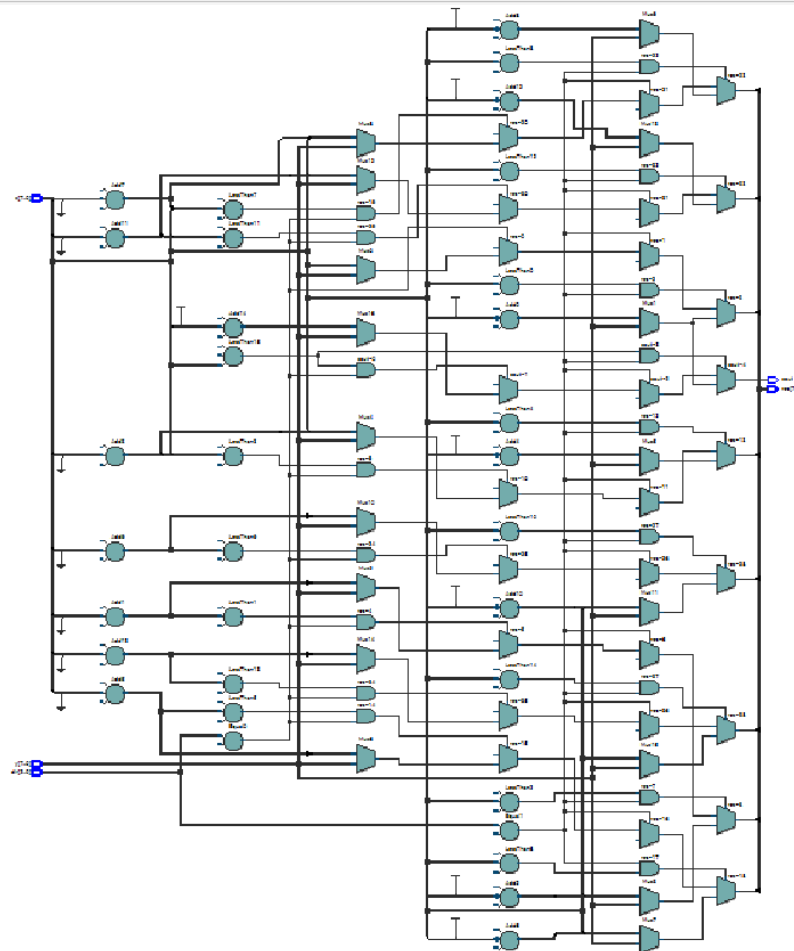
אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	651
2		
3	▼ Combinational ALUT usage for logic	457
1	-- 7 input functions	2
2	-- 6 input functions	131
3	-- 5 input functions	95
4	-- 4 input functions	56
5	-- <=3 input functions	173
4		
5	Dedicated logic registers	1102
6		
7	I/O pins	29
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	6978
16	Average fan-out	4.16

:SHITER

Barrel shifter אשר מומש במעבדה 1.

:RTL



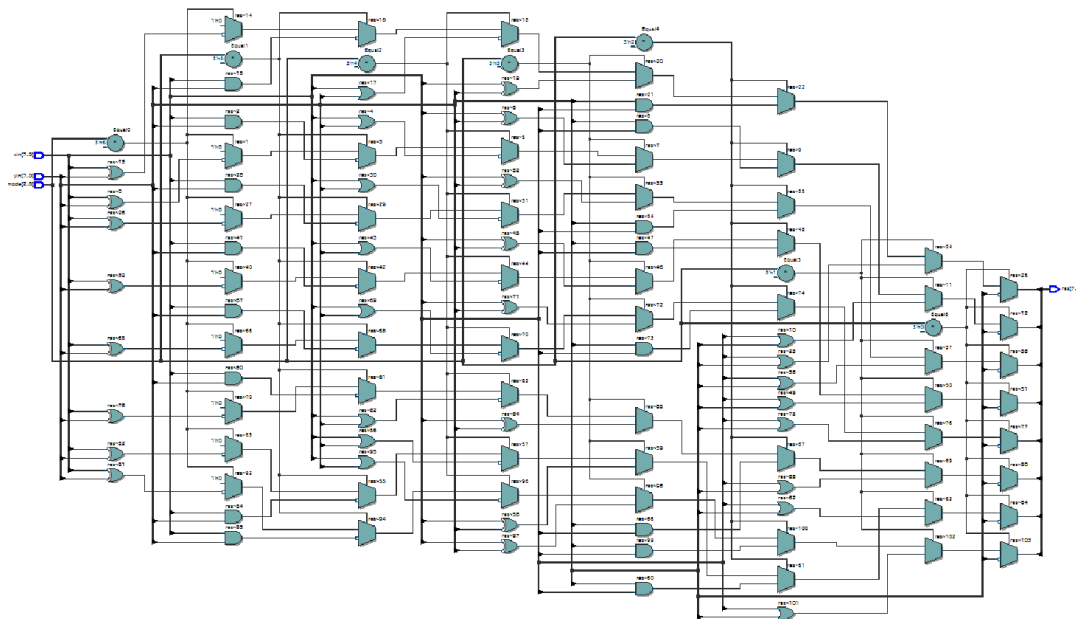
לוגיקה :

אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	657
2		
3	▼ Combinational ALUT usage for logic	475
1	-- 7 input functions	2
2	-- 6 input functions	143
3	-- 5 input functions	91
4	-- 4 input functions	52
5	-- <=3 input functions	187
4		
5	Dedicated logic registers	1102
6		
7	I/O pins	28
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	7053
16	Average fan-out	4.16

: LOGIC

: RTL



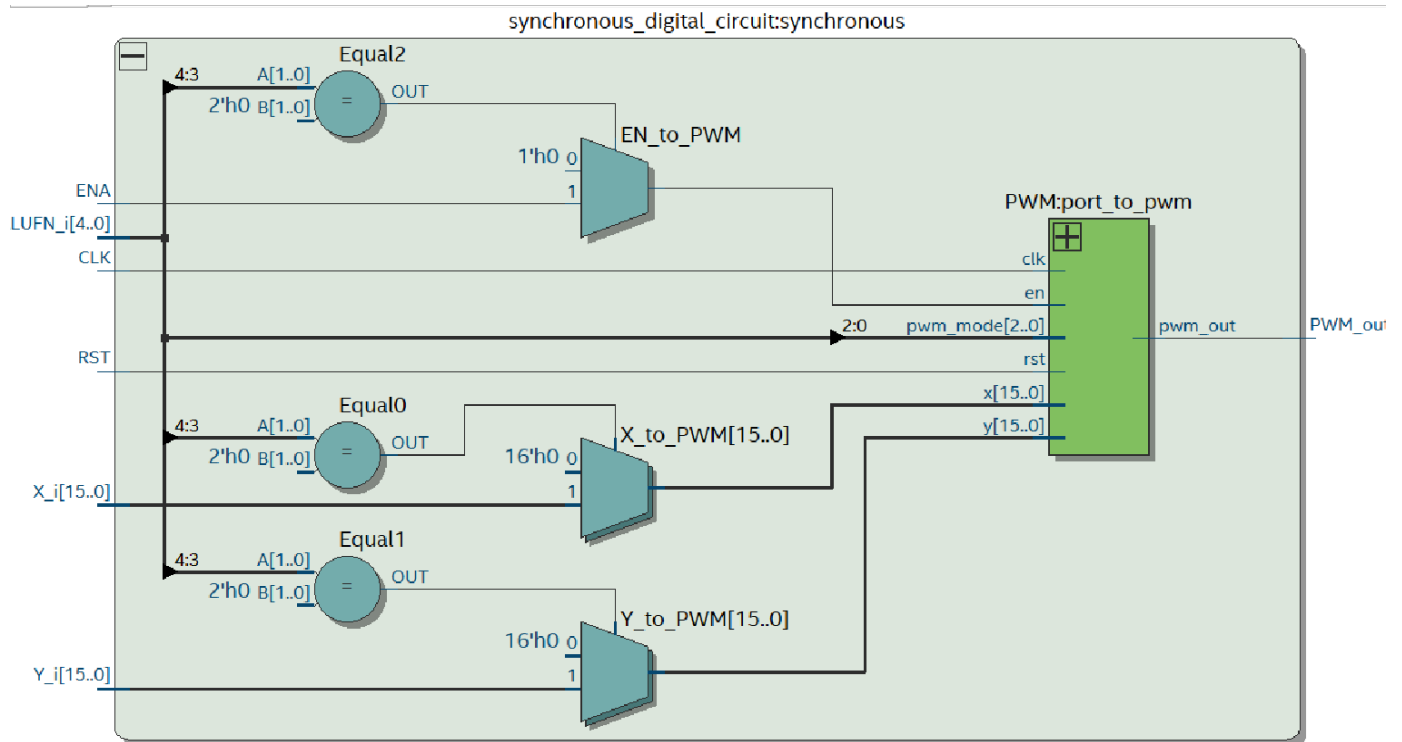
לוגיקה :

אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	644
2		
3	▼ Combinational ALUT usage for logic	438
1	-- 7 input functions	2
2	-- 6 input functions	121
3	-- 5 input functions	94
4	-- 4 input functions	50
5	-- <=3 input functions	171
4		
5	Dedicated logic registers	1102
6		
7	I/O pins	27
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	6879
16	Average fan-out	4.16

: Synchronous digital system

: RTL



: לוגיקה

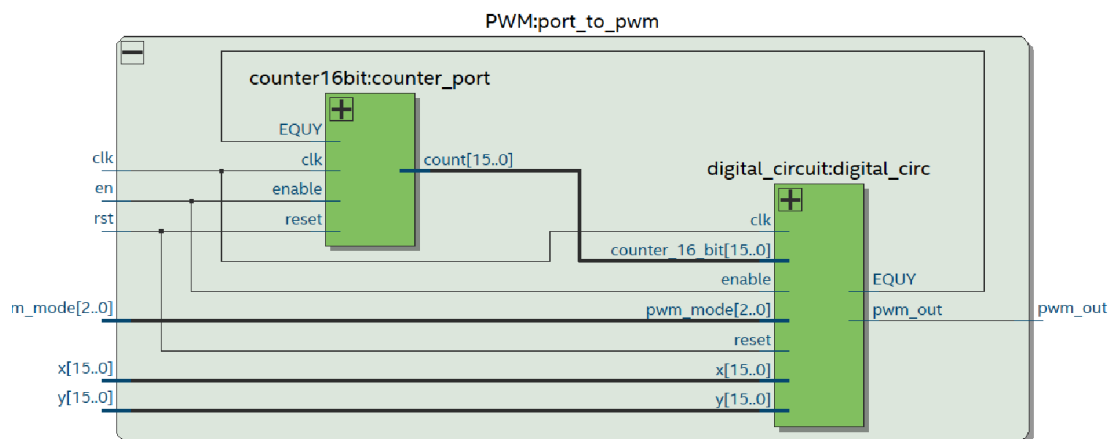
אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	679
2		
3	▼ Combinational ALUT usage for logic	532
1	-- 7 input functions	2
2	-- 6 input functions	159
3	-- 5 input functions	96
4	-- 4 input functions	78
5	-- <=3 input functions	197
4		
5	Dedicated logic registers	1120
6		
7	I/O pins	41
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	7366
16	Average fan-out	4.10

: PWM

רכיב זה מורכב משני תתי מודולים, הראשון הינו מונה של 16 ביט והשני הינו רכיב אשר בעצם "מעבד" את המידע המגיע מהמונה, מ-X ומ-Y יחד עם הפקודה ומוציא את אות ה-PWM בהתאם.

: RTL



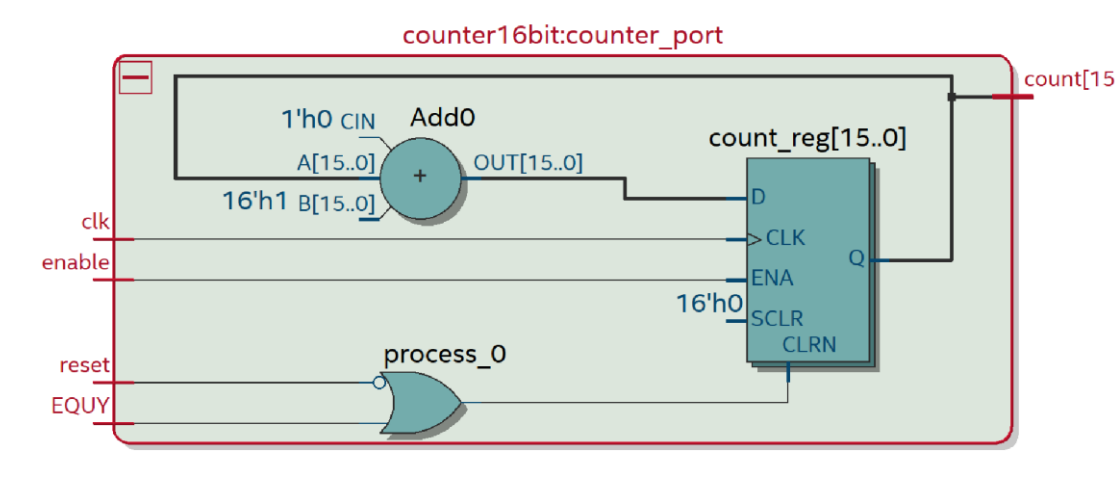
: לוגיקה

אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	670
2		
3	▼ Combinational ALUT usage for logic	507
1	-- 7 input functions	2
2	-- 6 input functions	150
3	-- 5 input functions	90
4	-- 4 input functions	62
5	-- <=3 input functions	203
4		
5	Dedicated logic registers	1120
6		
7	I/O pins	39
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	7223
16	Average fan-out	4.09

: Counter 16 bit

: RTL



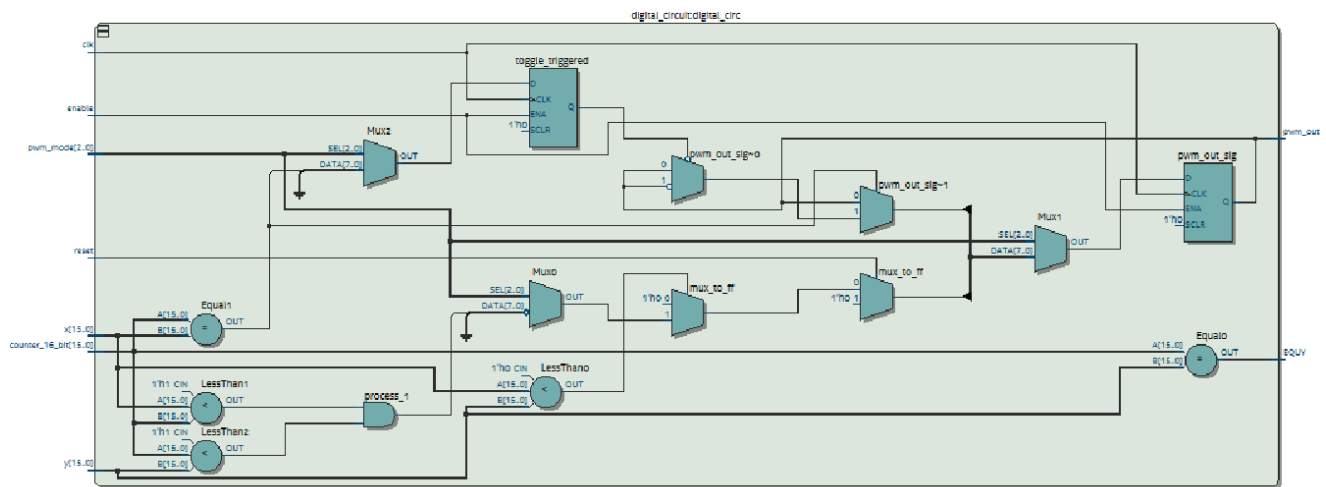
לוגיקה :

אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	649
2		
3	▼ Combinational ALUT usage for logic	447
1	-- 7 input functions	2
2	-- 6 input functions	121
3	-- 5 input functions	86
4	-- 4 input functions	50
5	-- <=3 input functions	188
4		
5	Dedicated logic registers	1118
6		
7	I/O pins	20
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	6937
16	Average fan-out	4.16

: Digital circuit

: RTL



לוגיקה :

אנו מפתחים קוד לוגי המשתמש באלמנטים לוגיים הניתנים לקונפיגורציה בהתאם לקוד שנכתב. תהליך זה מתבצע כחלק מתהליך הסינתזה.

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	661
2		
3	▼ Combinational ALUT usage for logic	489
1	-- 7 input functions	2
2	-- 6 input functions	144
3	-- 5 input functions	94
4	-- 4 input functions	65
5	-- <=3 input functions	184
4		
5	Dedicated logic registers	1104
6		
7	I/O pins	56
8	Total MLAB memory bits	0
9	Total block memory bits	212992
10		
11	Total DSP Blocks	0
12		
13	Maximum fan-out node	altera...ag~TDO
14	Maximum fan-out	660
15	Total fan-out	7135
16	Average fan-out	4.04

SIGNAL TAP:

כעת נבצע וריפיקציה של המערכת באמצעות ה – SIGNAL TAP של QUARTUS מנת לראות כי אכן בזמן אמת קרה מה שתיכננו.

נבחר 2 פעולות לביצוע הראשונה הינה פעולת חיבור בין $X=0001$ ו- $Y=0080$ ונצפה לקבל 0081 במוצא.

ופעולה שנייה הינה ביצוע SHIFT ימינה של $Y=0002$ פעם אחת כלומר נרצה לקבל במוצא 0001.

נגדיר את KEY2 הפועל בירידה (מכיוון שהוא מוגדר בחומרה כ- PULL DOWN)

ונגדיר את תנאי לכידת האותות כ- OR basic כלומר מספיק ששינוי יתרחש באחד הסיגנלים כדי להפעיל את הלכידה בזמן אמת של האותות.

Node			Data Enable	Trigger Enable	Trigger Conditions
Type	Alias	Name	52	52	1 <input checked="" type="checkbox"/> Basic OR
		KEY[2]~input	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		ALUFN_sig[4..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXh (OR)
		HEX4[6..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXh (OR)
		HEX5[6..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXh (OR)
		x_sig[15..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXh (OR)
		y_sig[15..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXh (OR)

עבור פעולות חיבור : ניתן לראות את השינוי במוצא ברגע לחיצה על KEY2 ובעצם כך אנו מכניסים את הפקודה הרצויה שהיא 0100.

קיבלנו במוצא את הערך 0x81 שכן 79h מייצג 1 ו- 00h מייצג 8.

log: Trig @ 2025/06/07 11:11:52 (0:03:0 elapsed)			click to insert time bar																
Type	Alias	Name	-512	-256	0	256	512	768	1024	1280	1536	1792	2048	2304	2560	2816	3072	3328	3584
		KEY[2]~input																	
		ALUFN_sig[4..0]			00h								08h						
		HEX4[6..0]			40h								79h						
		HEX5[6..0]			40h								00h						
		x_sig[15..0]											0001h						
		y_sig[15..0]											0000h						

: SHR

גם פה ניתן לראות כי הלכידה קורית ברגע לחיצה על KEY2 וכי יש שינוי במוצא.

וקיבלנו במוצא 0x01 כאשר 40h מייצג 0 ו- 79h מייצג 1.

log: Trig @ 2025/06/07 11:16:45 (00:11.8 elapsed)			click to insert time bar																
Type	Alias	Name	-512	-256	0	256	512	768	1024	1280	1536	1792	2048	2304	2560	2816	3072	3328	3584
		KEY[2]~input																	
		ALUFN_sig[4..0]			00h								11h						
		HEX4[6..0]			40h								79h						
		HEX5[6..0]										40h							
		x_sig[15..0]										0001h							
		y_sig[15..0]										0002h							