

Thiết kế và mô phỏng bộ tạo xung UWB dựa trên mạch dao động vi sai LC-tank

- **Nguyễn Chí Nhân**
Trường Đại học Khoa học Tự Nhiên, ĐHQG-HCM
- **Dương Hoài Nghĩa**
Trường Đại học Bách Khoa, ĐHQG-HCM
- **Đinh Văn Ảnh**
Trường Đại học Saskatchewan, Canada

(Bài nhận ngày 05 tháng 12 năm 2014, nhận đăng ngày 23 tháng 09 năm 2015)

TÓM TẮT

Bài báo này trình bày chi tiết việc phân tích, thiết kế và mô phỏng bộ tạo xung UWB (Ultra-wideband) dựa trên mạch dao động vi sai LC-tank. Mạch dao động vi sai với cặp transistor NMOS ghép chéo và nguồn dòng ở cực nguồn của cặp transistor được sử dụng để thu được độ lợi tích cực và tạo ra trở kháng âm để đưa đến LC-tank. Bên cạnh đó, mạch dao động này thích hợp cho những ứng dụng UWB ở tần số cao và công suất tiêu thụ thấp. Bộ tạo xung UWB được kết hợp bộ điều chế on-off keying (OOK) đơn

giản và mạch dao động vi sai LC-tank. Bộ tạo xung UWB được thiết kế và mô phỏng dựa trên công nghệ CMOS 0,13 μm . Bộ tạo xung này tạo ra xung UWB hoạt động trong phổ tần số từ 6 – 10 GHz. Kết quả mô phỏng cho thấy độ rộng xung bằng 586 ps, biên độ đỉnh-đỉnh của xung là 88,6 mV từ điện áp cung cấp là 1,2V và diện tích chip là 0,22 mm^2 . Công suất tiêu thụ trung bình của bộ tạo xung sắp xỉ 0,55 mW và năng lượng xung là 1,1 pJ/pulse ở 500 MHz (pulse repetition rate - PRR).

Từ khóa: Ultra-wideband (UWB), bộ tạo xung, dao động vi sai LC-tank.

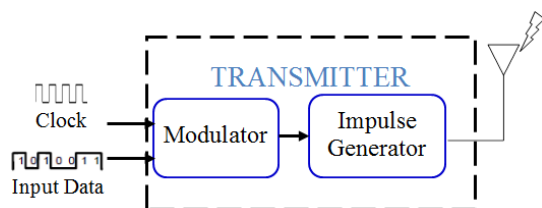
MỞ ĐẦU

Có nhiều kỹ thuật mạch tạo xung UWB, việc thực hiện trên mạch số thường dựa vào kỹ thuật mạch dao động vòng nhiều pha (multiphase ring oscillators) và có thể kết hợp với trễ đường khác nhau [1-5] để tạo ra xung mong muốn, tuy nhiên kỹ thuật mạch này tương đối phức tạp.

Việc thực hiện trên mạch tương tự dựa trên các kỹ thuật mạch tạo xung như mạch đạo hàm xung Gaussian [6-9] và mạch nhân [10-12]. Tuy nhiên, xung Gaussian đơn và đạo hàm bậc hai của xung Gaussian không thoả mãn hoàn toàn

những quy định của FCC về mật độ phổ công suất (PSD) do chúng có thành phần DC cao và thành phần tần số thấp trong phổ tần. Thông thường, những xung này đòi hỏi phải có bộ lọc để phù hợp với quy định của FCC và do đó chúng sẽ làm gia tăng độ phức tạp trong thiết kế bộ phát UWB và đồng thời làm tăng công suất tiêu thụ. Hiện nay, kỹ thuật mạch tạo xung UWB dựa trên mạch dao động LC [13-15] đang được quan tâm của nhiều nhóm tác giả vì đối với kỹ thuật này có thể tạo ra tín hiệu ở tần số cao (GHz) với nhiều pha và biến động pha thấp.

Trong bài báo này, bộ phát xung UWB được thiết kế dựa trên kỹ thuật mạch dao động LC, cụ thể bộ phát xung UWB được trình bày như trong hình sau.



Hình 1. Sơ đồ khối bộ phát xung UWB

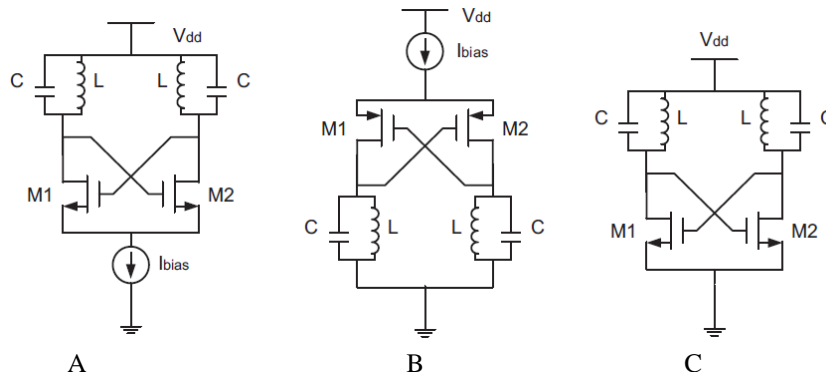
Bộ phát xung UWB được thiết kế gồm hai khối chính:

Khối điều chế tín hiệu sử dụng phương pháp điều chế khoá bật tắt (On-off keying-OOK): tín hiệu xung clock và dữ liệu được điều chế thông qua cổng logic AND và mạch phát hiện cạnh xuống của xung.

Khối tạo xung UWB sử dụng mạch tạo dao động LC, đây là khối quan trọng trong bộ phát xung UWB.

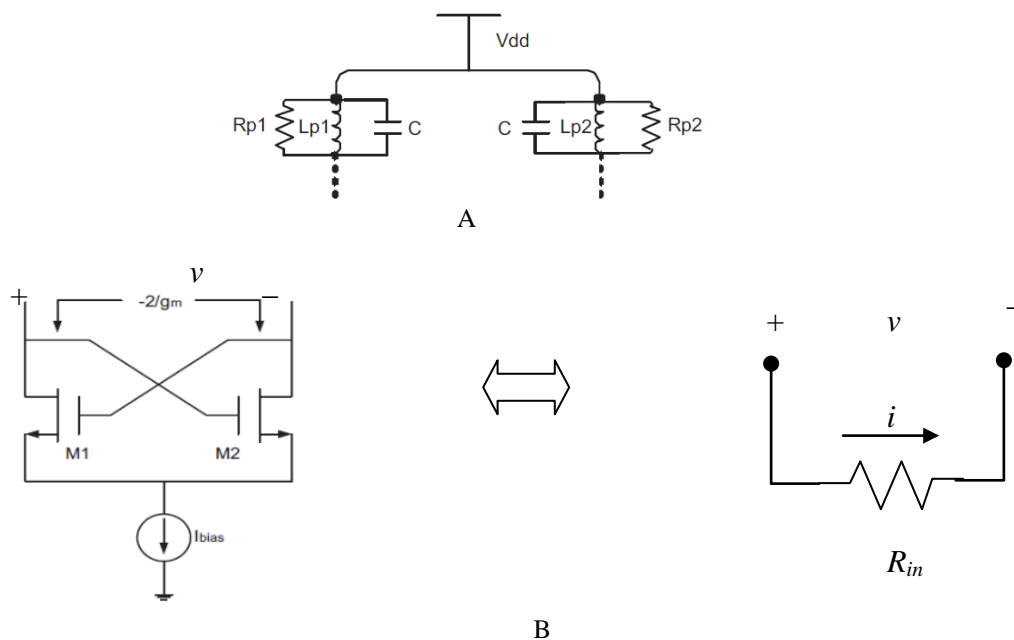
Kỹ thuật mạch dao động vi sai ghép chéo

Các kỹ thuật mạch dao động một transistor như dao động Colpitts hay Hartley có những hạn chế làm ảnh hưởng đến hệ số phẩm chất trong mạch LC. Ngoài ra, những kỹ thuật này chỉ cung cấp một ngõ ra (single-ended output), đối với những hệ thống thu phát không dây thì thường sử dụng những tín hiệu vi sai, do ở các bộ thu sử dụng các bộ trộn (double-balanced mixer). Vì vậy, kỹ thuật mạch vi sai ghép chéo (Cross-Coupled Differential) được sử dụng trong việc thiết kế bộ tạo xung UWB. Hình 2 trình bày các mạch dao động vi sai ghép chéo. Hình 2A trình bày mạch dùng cặp transistor NMOS với nguồn dòng ở cực nguồn nhằm cung cấp độ lợi vòng (loop gain) và làm giảm tổn hao trong mạch LC. Kỹ thuật này thích hợp cho những ứng dụng tần số cao. Hình 2B trình bày mạch dùng cặp transistor PMOS với nguồn dòng ở cực nguồn. Kỹ thuật này chỉ thích hợp cho những ứng dụng tần số thấp. Hình 2C tương tự như trong Hình 2A nhưng không dùng nguồn dòng.



Hình 2. Các mạch dao động vi sai ghép chéo

(A) NMOS với nguồn dòng; (B) PMOS với nguồn dòng; (C) NMOS không có nguồn dòng



Hình 3. Mạch tương đương
(A) Mạch LC tương đương (B) Điện trở tương đương nhìn từ mạch LC

Mạch dao động vi sai ghép chéo NMOS với nguồn dòng được chọn cho thiết kế mạch tạo xung UWB, mạch này được vẽ lại thành mạch tương đương như trong Hình 3.

Trong đó: R_p là điện trở tương đương của điện cảm và điện dung trong mỗi LC. R_{p1} là điện trở song song tương đương với trở kháng ký sinh trong L_{p1} và R_{p2} là điện trở song song tương đương với trở kháng ký sinh trong L_{p2} . R_{in} là điện trở tương đương nhìn từ mạch LC, ta có $R_{in} = v/i$ khi điện áp v được áp vào cực máng của hai transistor M1 và M2. Khi đó $v = v_{ds1} - v_{ds2}$, do đó $R_{in} = (v_{ds1} - v_{ds2})/i$, trong đó $i = -g_m \cdot v_{ds1}$

Khi M1 và M2 kết hợp nhau thành cặp (matched) như trong Hình 3B thì chúng có cùng v_{ds} nhưng ngược hướng nhau ($v_{ds2} = -v_{ds1}$), do đó

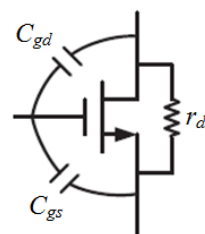
$$v = v_{ds1} - (-v_{ds1}) = 2v_{ds1}$$

Suy ra $R_{in} = -2v_{ds1}/g_m \cdot v_{ds1}$ hoặc $R_{in} = -2/g_m$, trong đó g_m là độ hỗ dẫn của mỗi transistor. Để

đảm bảo mạch dao động, thì R_p phải thỏa điều kiện $R_p > -2/g_m$ (Barkhausen criteria).

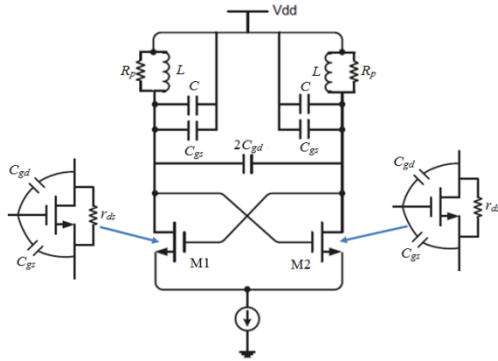
Phân tích ký sinh

Đối với hệ thống UWB hoạt động ở dải tần số cao (3,1 - 10,6 GHz), vấn đề về ký sinh trong các transistor MOS cần phải được xem xét đến. Hình 4 trình bày điện dung và điện trở ký sinh trong transistor NMOS. Trong đó gồm có các điện dung ký sinh C_{gd} , C_{gs} và điện trở ký sinh r_{ds} .



Hình 4. Ký sinh trong transistor NMOS

Hình 5 trình bày mạch dao động có tính đến các điện trở và điện dung ký sinh.



Hình 5. Mạch dao động vi sai ghép chéo có tính đến ký sinh

Trong đó, các điện dung ký sinh của transistor NMOS song song với điện dung C của mạch LC sẽ làm giảm tần số dao động. Do đó, điện dung C của mạch LC phải được giảm đi để tính đến các điện dung ký sinh này. Các điện trở ký sinh trong transistor NMOS sẽ tạo ra nhiễu nhiệt làm tăng nhiễu pha trong bộ dao động. Ngoài ra các điện trở ký sinh cũng làm tăng tổn hao trong bộ tạo dao động, do đó đòi hỏi giá trị độ dẫn g_m của transistor NMOS phải lớn hơn so với độ dẫn của transistor NMOS trong điều kiện lý tưởng.

Các điện trở ký sinh trong transistor NMOS sẽ tạo ra nhiễu nhiệt làm tăng nhiễu pha trong bộ dao động. Ngoài ra các điện trở ký sinh cũng làm tăng tổn hao trong bộ tạo dao động, do đó đòi hỏi giá trị độ dẫn g_m của transistor NMOS phải lớn hơn so với độ dẫn của transistor NMOS trong điều kiện lý tưởng.

Điện dung cổng-nguồn và cổng-máng của transistor NMOS được xác định như sau:

$$\begin{aligned} C_{gs} &= \frac{2}{3} C_{ox} W L_{channel} \\ C_{gd} &= C_{ov} W \end{aligned} \quad (1)$$

Trong đó

C_{ox} là điện dung của lớp oxit cổng trên một đơn vị diện tích.

C_{ov} là điện dung của lớp chồng chéo lên nhau trên một đơn vị chiều rộng.

W là chiều rộng của transistor NMOS

$L_{channel}$ là chiều dài của transistor NMOS

Tổng điện dung ký sinh trong một nhánh tải của LC là:

$$C_{para_total} = C_{gs} + C_{gd} = W \left(\frac{2}{3} C_{ox} L + C_{ov} \right) \quad (2)$$

Tần số dao động được trình bày như sau:

$$\omega_0 = \frac{1}{\sqrt{L(C + C_{para_total})}} \sqrt{1 - \frac{R_s^2(C + C_{para_total})}{L}} \quad (3)$$

Đối với mạch LC không tổn hao thì tần số dao động được xác định như sau:

$$\omega_0 = \frac{1}{\sqrt{L(C + C_{para_total})}} \quad (4)$$

Điều kiện để bắt đầu dao động, đối với mỗi transistor NMOS phải có độ dẫn g_m tối thiểu là:

$$g_m \geq \frac{R(C + C_{para_total})}{L} + \frac{1}{r_{ds}} \quad (5)$$

Độ lợi của mỗi transistor NMOS được xác định như sau:

$$\begin{aligned} A_{M1} &= g_{m1} (R_{p1} // r_{ds1}) \\ A_{M2} &= g_{m2} (R_{p2} // r_{ds2}) \end{aligned} \quad (6)$$

Trong đó

r_{ds1} và r_{ds2} là điện trở nguồn-máng tương ứng của hai transistor M1 và M2.

g_{m1} và g_{m2} là độ dẫn tương ứng của hai transistor M1 và M2.

R_{p1} và R_{p2} là điện trở song song tương đương trong mỗi mạch LC.

Từ đó độ lợi vòng kín của mạch được xác định bởi công thức sau:

$$H(\omega) = A_{M1} A_{M2} = g_{m1} g_{m2} (R_{p1} // r_{ds1}) (R_{p2} // r_{ds2}) \quad (7)$$

PHƯƠNG PHÁP

Thiết kế bộ phát xung UWB

Trong bộ phát xung UWB, mạch tạo xung (mạch LC) là mạch chủ yếu. Do đó trong phần này chỉ tập trung vào việc tính toán các thông số của mạch LC.

Thông số yêu cầu cho thiết kế mạch như sau:

Công nghệ thiết kế CMOS 0,13 μ m

Tần số dao động (ω_0) là 8,0 GHz

Độ rộng xung từ 300 ps – 1,0 ns

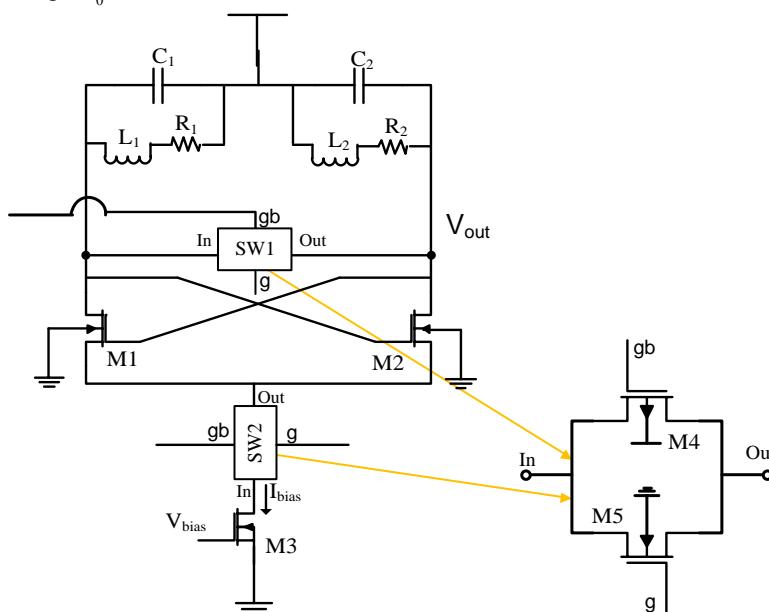
Mật độ phổ công suất của nhỏ hơn -41,3
dBm/MHz

Nhiều pha tối thiểu

Diện tích chip nhỏ

Công suất tiêu thụ thấp

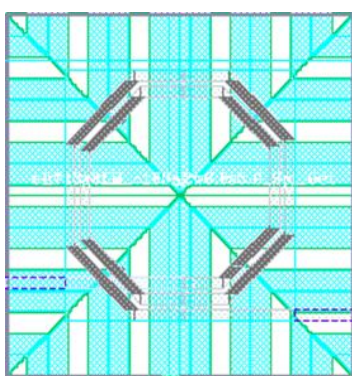
Sơ đồ của mạch LC được trình bày như trong Hình 6.



Hình 6. Mạch dao động LC

Trong đó các điện cảm loại xoắn ốc (ch013g8LM_Ind_Spi) được chọn trong thiết kế mạch dựa trên thư viện ch013g_OIF trong công

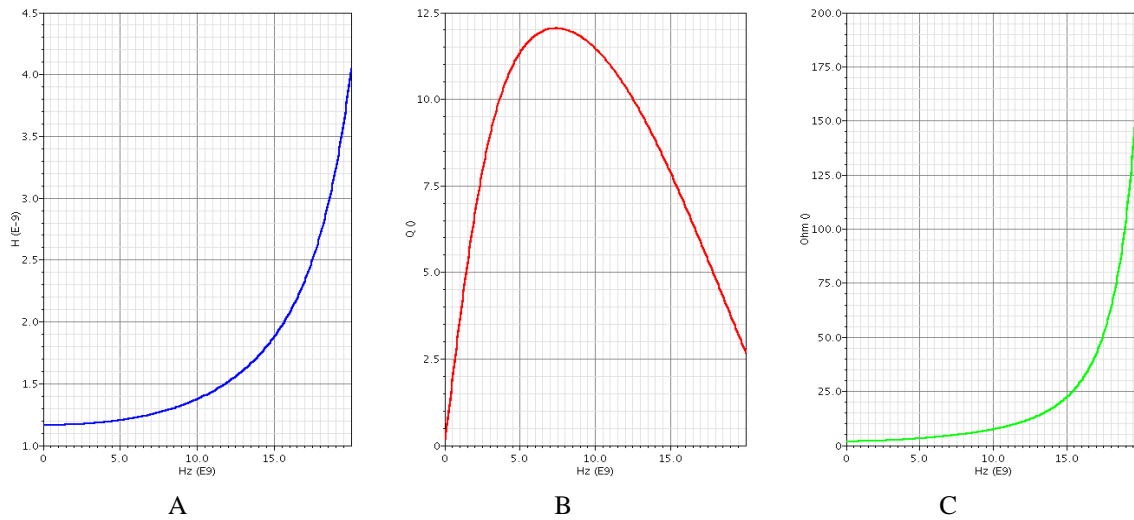
nghe thiết kế CMOS 0,13 μm của Global Foundries, vì nó có hệ số phẩm chất cao và điện dung ký sinh thấp.



Hình 7. Điện cảm loại xoắn ốc

Sự biến thiên của điện cảm, hệ số phẩm chất và điện trở nội theo tần số được trình bày ở hình Hình 8A, Hình 8B và Hình 8C. Nhận thấy hệ số

phẩm chất của điện cảm đạt cao nhất ở tần số 8,0 GHz và giá trị điện cảm và điện trở nội sẽ tăng lên khi tần số tăng.



Hình 8. Thông số của điện cảm (A) Sự biến thiên của điện cảm L theo tần số (B) Sự biến thiên của hệ số phẩm chất Q_L theo tần số (C) Sự biến thiên của điện trở nội R_s theo tần số

Theo yêu cầu tần số dao động (ω_0) là 8,0 GHz. Từ Hình 8 có thể xác định được giá trị của điện cảm L , hệ số phẩm chất Q_L và điện trở nội R_s của điện cảm như sau:

$$Q_L = 12,016$$

$$L = 1,2854 \text{ nH}$$

$$R_s = 5,4 \Omega$$

Tuy nhiên để đảm bảo cho xung UWB có độ rộng (thời gian tồn tại) nhỏ hơn 1,0 ns cần phải tăng giá trị điện trở R_s của mạch LC để dao động tắt dần nhanh hơn bằng cách mắc nối tiếp điện trở R_1 và R_2 với điện cảm tương ứng L_1 và L_2 . Giá trị của R_1 và R_2 được xác định trong quá trình thực hiện mô phỏng ($R_1 = R_2 = 10 \Omega$). Do đó giá trị điện trở nối tiếp với điện cảm trong mạch LC bằng $15,4 \Omega$ ($R_s + R_1$).

Theo sơ đồ mạch LC (Hình 6), điện áp ngõ ra trên tải LC ở tần số cộng hưởng ω_0 được xác định bởi công thức sau [17]:

$$V_{out} = I_{bias} R_p = I_{bias} \omega_0 L Q \quad (8)$$

Trong đó I_{bias} là dòng điện bias được cung cấp bởi transistor M3.

Từ công thức (8), suy ra

$$I_{bias} = \frac{V_{out}}{\omega_0 L Q} \quad (9)$$

Trong đó, V_{out} là điện áp ngõ ra tối thiểu. Thay giá trị của L , Q và d vào (9), tính được dòng I_{bias} như sau:

$$I_{bias} = \frac{V_{out}}{\omega_0 L Q} = \frac{20 \times 10^{-3}}{8 \times 10^9 \times 1,2854 \times 10^{-9} \times 12,016} \quad (10)$$

$$= 0,16 \times 10^{-3} (A) = 0,16 (mA)$$

Xác định chiều rộng W của transistor, theo mô hình cơ bản của transistor MOS [18]:

$$g_m = \frac{dI_D}{dV_{GS}} = k_p \frac{W}{L_{channel}} (V_{GS} - V_T) \quad (11)$$

$$I_D = \frac{k_p}{2} \frac{W}{L_{channel}} (V_{GS} - V_T)^2 = \frac{g_m}{2} (V_{GS} - V_T) \quad (12)$$

Từ (11), suy ra

$$W = \frac{g_m L_{channel}}{k_p (V_{GS} - V_T)} \quad (13)$$

Trong đó

L_{channel} : Chiều dài kênh tối thiểu của các transistor trong mạch LC được chọn cố định là $0,13\mu\text{m}$ (dựa trên công nghệ thiết kế CMOS $0,13\mu\text{m}$) để có dao động ở tần số cao và giảm điện dung ký sinh.

V_T : điện áp ngưỡng.

V_{GS} : điện áp cổng-nguồn, V_{GS} sẽ được chọn sao cho $V_{GS} - V_T$ nằm trong khoảng từ $0,4 - 0,5V$.

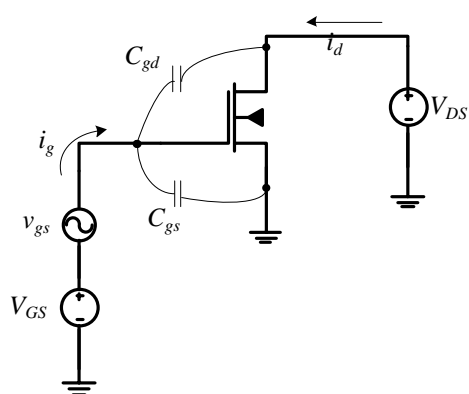
$k_p = \mu_n C_{ox}$ là độ linh động điện tử, C_{ox} là điện dung cực cổng trên mỗi đơn vị diện tích.

g_m sẽ được xác định bởi công thức (5) trong trường hợp transistor MOS không lý tưởng (có ảnh hưởng ký sinh), trong đó $C_{\text{para_total}}$ được xác định bởi công thức (2).

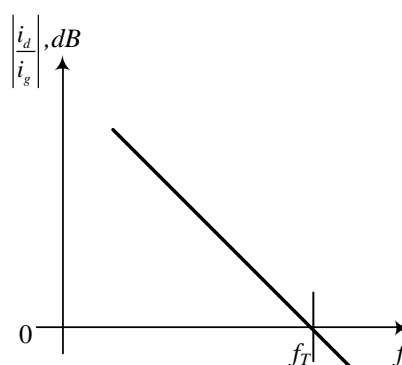
Kích thước của cặp transistor M1 và M2 không làm ảnh hưởng đến nhiều của dao động. Nhiều của dao động bị ảnh hưởng bởi kích thước

của transistor nguồn dòng M3. Kích thước của M3 bị giới hạn bởi điện dung ký sinh M3 góp phần vào nút nguồn của cặp transistor ghép chéo. Nếu kích thước M3 quá lớn sẽ tạo ra điện dung ký sinh từ nút nguồn của cặp transistor ghép chéo xuống đất. Lúc này, dòng điện chạy qua M1 và M2 không còn là hằng số khi cặp transistor ghép chéo này làm việc trong vùng tuyến tính, điều này làm giảm hệ số phẩm chất tải và gây ra thêm tổn hao trong tank. Do đó, việc lựa chọn kích thước của các transistor sao cho đảm bảo dao động ở tần số cao và giảm thiểu điện dung ký sinh. Chiều rộng của transistor nguồn dòng M3 được chọn bằng $1,0\mu\text{m}$, với dòng bias được cung cấp là $0,16\text{mA}$. Chiều rộng của cặp transistor ghép chéo M1 và M2 được chọn bằng $1,0\mu\text{m}$, và chiều rộng của các transistor trong M4 và M5 là $50\mu\text{m}$.

Tần số đáp ứng của M3 được phân tích dựa trên sơ đồ mạch ở Hình 9 [16].



(A)



(B)

Hình 9. Tần số đáp ứng của transistor NMOS (A) Sơ đồ mạch (B) Xác định tần số đáp ứng

Theo Hình 9 (A) cho thấy cực máng của transistor NMOS là AC ground (được nối tắt thông qua V_{DS}). Do đó ở cực cổng xuất hiện các điện dung C_{gs} và C_{gd} , sẽ có:

$$v_{gs} = \frac{i_g}{j\omega.(C_{gs} + C_{gd})} \quad (14)$$

Biết rằng $i_d = g_m \cdot v_{gs}$, vì vậy có thể xác định độ lợi dòng của transistor NMOS như sau:

$$\left| \frac{i_d}{i_g} \right| = \frac{g_m}{2\pi f.(C_{gs} + C_{gd})} \quad (15)$$

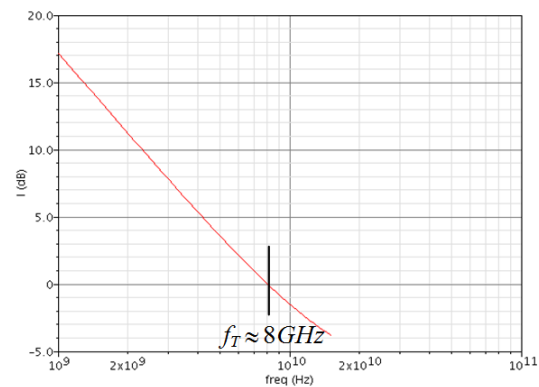
Đối với MOSFETs kênh ngắn (short-channel) thì có thể xác định tần số đáp ứng của transistor NMOS dựa trên công thức (16) [16]:

$$f_T = \frac{g_m}{2\pi C_{gs}} \propto \frac{V_{ovn}}{L} \quad (16)$$

trong đó V_{ovn} là điện áp lái vượt giới hạn (overdrive voltage), $V_{ovn} = V_{GS} - V_{THN}$, đối với công nghệ thiết kế CMOS 0,13 μm thì điện áp ngưỡng (V_{THN}) của transistor NMOS được chọn là 380 mV. Đối với thiết kế mạch tương tự nói chung cần đặt điện áp V_{ovn} vào khoảng 5% của V_{dd} , với $V_{dd} = 1,2$ V suy ra $V_{ovn} = 60$ mV, từ đó tính được $V_{GS} = V_{ovn} + V_{THN} = 60 \text{ mV} + 380 \text{ mV} = 440 \text{ mV}$.

Từ kết quả tính toán ở trên, thực hiện mô phỏng để xác định tần số đáp ứng của transistor NMOS (dựa trên công nghệ thiết kế CMOS 0,13 μm), với W/L của NMOS M3 được chọn là 1,0 $\mu\text{m}/0,13$ μm (việc chọn W/L tối thiểu nhằm

tăng độ lợi ở những hệ thống có tốc độ xử lý cao), $V_{GS} = 440 \text{ mV}$, $V_{DS} = 120 \text{ mV}$ và $V_{dd} = 1,2$ V. Kết quả mô phỏng được trình bày ở Hình 10.

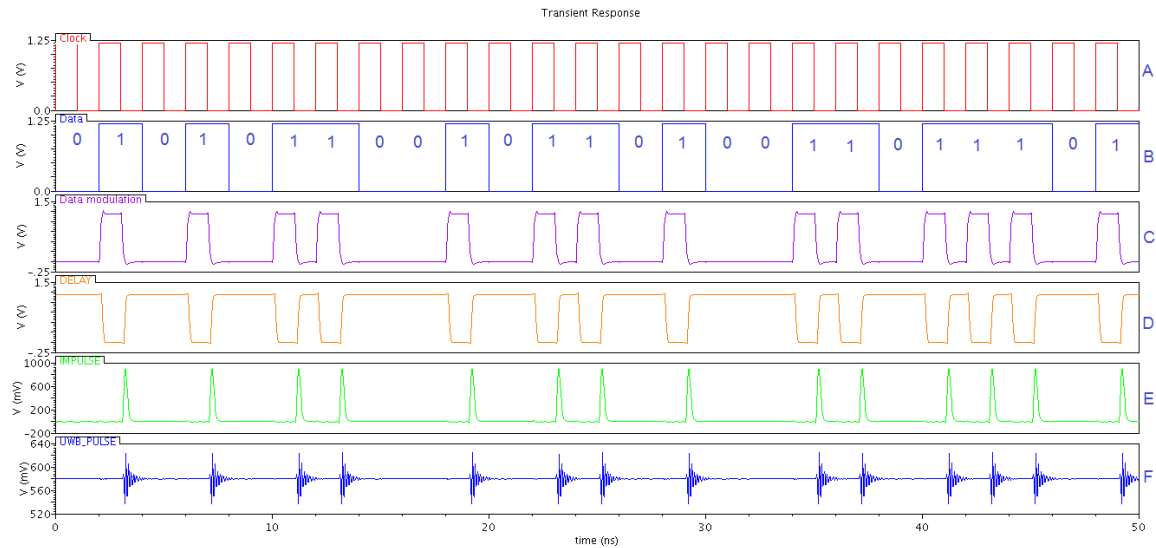


Hình 10. Kết quả mô phỏng tần số đáp ứng

Dựa trên việc xác định tần số đáp ứng ở Hình 9 (B), từ kết quả mô phỏng ở Hình 10, có thể xác định được tần số đáp ứng của transistor NMOS là $f_T \approx 8 \text{ GHz}$

Bảng 1. Các thông số của mạch LC

Thông số	Giá trị	Thông số	Giá trị
$M_1(W/L)$	1,0/0,13 μm	R_1	10 Ω
$M_2(W/L)$	1,0/0,13 μm	R_2	10 Ω
$M_3(W/L)$	1,0/0,13 μm	L_1	1,2854 nH
$M_4(W/L)$	50/0,13 μm	L_2	1,2854 nH
$M_5(W/L)$	50/0,13 μm	C_1	3,75 pF
V_{dd}	1,2 V	C_2	3,75 pF
V_{bias}	440 mV	I_{bias}	0,16 mA
f_T	8 GHz		



Hình 12. Kết quả mô phỏng bộ phát xung UWB

Trong đó

A là xung clock (500 MHz)

B là dữ liệu vào

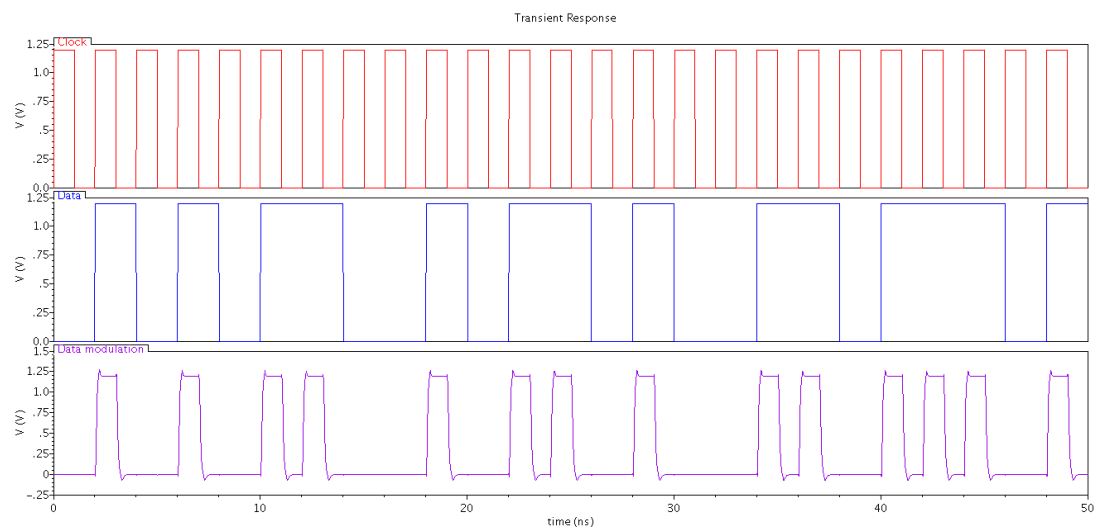
C là dữ liệu vào được điều chế

D là trì hoãn dữ liệu được điều chế thông qua các cổng logic NOT

E là tín hiệu xung ra của mạch phát hiện cạnh xuống

F là xung UWB

Khối thứ nhất: khối này dùng để điều chế dữ liệu vào bằng phương pháp OOK. Đầu tiên dữ liệu và tín hiệu xung clock được điều chế thông qua cổng logic AND, để tạo ra các bit dữ liệu.

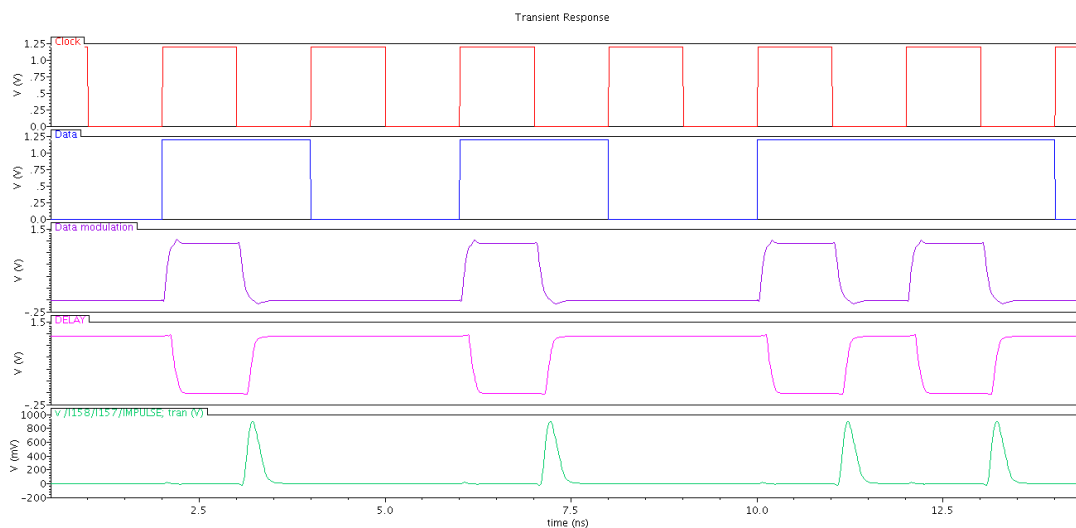


Hình 13. Dữ liệu được điều chế

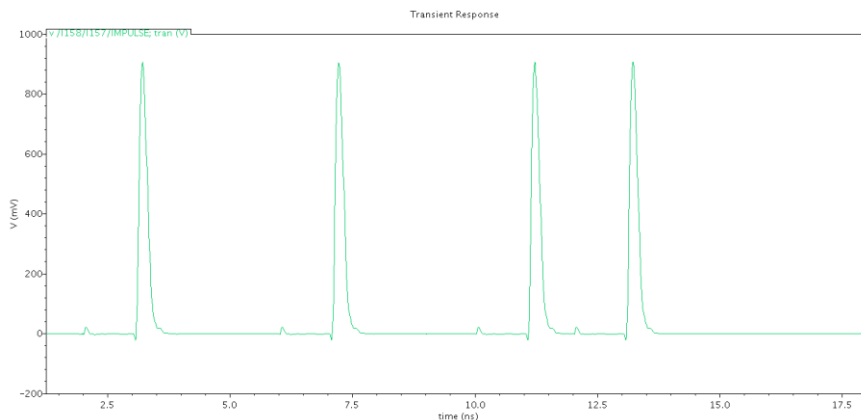
Sau đó các bit dữ liệu này được đưa vào mạch phát hiện cạnh xuống của xung, trong đó tín hiệu được chia thành hai nhánh: một nhánh đưa trực tiếp đến cổng logic NOR, nhánh còn lại tạo trì hoãn bằng cách sử dụng cổng logic NOT trước khi đưa đến cổng logic NOR. Ở đây, đặc tính về trì hoãn truyền trong cổng logic NOT được xem xét. Cấu tạo của cổng logic cũng chỉ là các linh kiện điện tử, transistor ngắt dẫn cần phải

có thời gian do đó nếu ngõ vào của cổng logic thay đổi trạng thái thì chắc chắn ngõ ra không thể thay đổi ngay được, thời gian đó rất nhỏ, được gọi là thời gian chuyển tiếp và sai biệt về thời gian giữa sự thay đổi logic ngõ ra so với ngõ vào được gọi là thời gian trì hoãn truyền.

Kết quả mô phỏng tín hiệu xung được tạo ra bởi cổng logic NOR từ hai nhánh tín hiệu vào.



Hình 14. Tín hiệu xung (impulse) được tạo ra



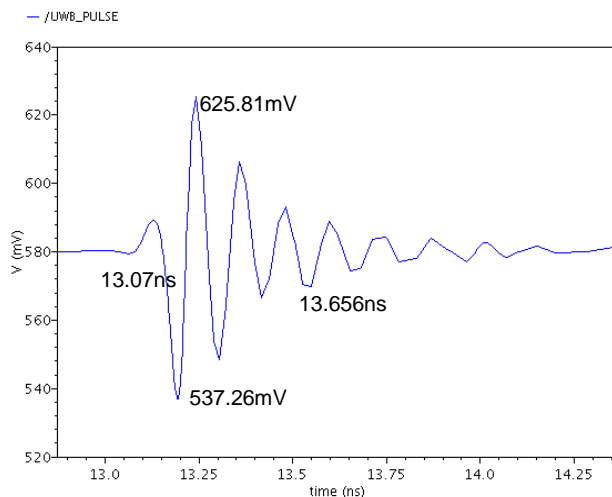
Hình 15. Tín hiệu xung được phóng to

Khởi thứ hai: có chức năng tạo ra xung UWB và xung này được đưa đến ăng-ten và truyền đi đến bộ thu. Mạch LC sẽ nhận tín hiệu xung và tín

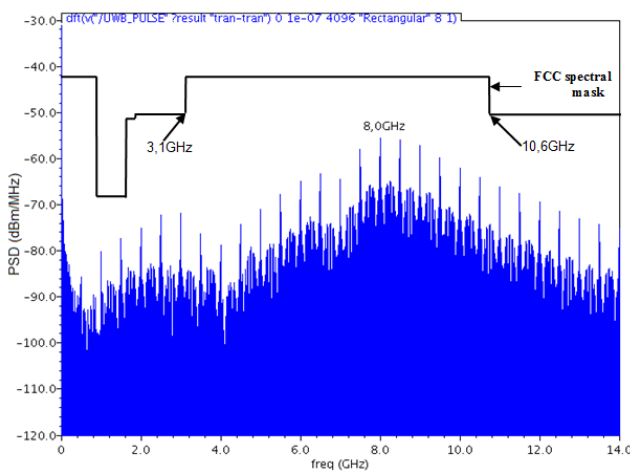
hiệu đảo của nó được đưa vào thông qua hai công tắc chuyển SW1 và SW2.

Xung UWB được xác định trong miền thời gian (time domain) và miền tần số (frequency domain - normalize PSD) được trình bày trong Hình 16 và Hình 17. Kết quả cho thấy, tín hiệu xung UWB có biên độ đỉnh-đỉnh (V_{pp}) là 88,6 mV. Đối với truyền thông UWB ở khoảng cách ngắn, biên độ xung này đủ lớn để đưa đến ăng-

ten và truyền đi đến bộ thu mà không cần sử dụng bất kỳ bộ khuếch đại tín hiệu băng rộng nào. Độ rộng xung UWB vào khoảng 586 ps với băng thông 4,0 GHz (6 – 10 GHz), tần số $f_c = 8,0$ GHz và mật độ phổ công suất của xung UWB nhỏ hơn -41,3 dBm/MHz thoả mãn yêu cầu của FCC về phổ tần UWB.



Hình 16. Xung UWB trong miền thời gian



Hình 17. Mật độ phổ công suất của xung UWB

Thực hiện mô phỏng góc xử lý (process corner): FF, FS, TT, SF, SS ở nhiệt độ phòng (27 °C) nhằm xem xét sự sai lệch các thông số trong quá trình chế tạo chip. Kết quả mô phỏng được trình bày trong bảng sau:

Bảng 2. Sự biến thiên của biên độ, độ rộng xung, tần số f_c theo các góc xử lý

Góc xử lý	Biên độ đỉnh-đỉnh (mV)	Độ rộng xung (ps)	Tần số f_c (GHz)
FF	98,03	548	8,5
FS	90,96	595	8,0
TT	88,6	586	8,0
SF	77,3	615	8,5
SS	63,8	580	8,0

Nhận xét: Biên độ đỉnh – đỉnh giảm tương ứng với các góc xử lý FF, FS, TT, SF, SS, trong đó SS có biên độ đỉnh – đỉnh thấp nhất, khi PMOS là Fast (FF và SF) thì tần số f_c tăng lên 500MHz ($f_c = 8,5$ GHz).

Tính toán năng lượng xung

Năng lượng của xung được xác định bởi công thức sau:

$$E = (P_{avg})(PRT) \quad (17)$$

Trong đó

P_{avg} công suất tiêu thụ trung bình của bộ phát xung.

PRT (Pulse Repetition Time): chu kỳ xung.

$$PRT = 1/PRR \quad (18)$$

PRR (Pulse Repetition Rate) hoặc Pulse Repeation Frequency (PRF): số lượng xung phát ra trong một giây (tần số phát xung).

Từ xung UWB đã được tạo ra ở trên, có thể xác định các thông số sau:

Chu kỳ xung (PRT) là 2ns/pulse.

Công suất tiêu thụ trung bình của bộ phát xung (P_{avg}) là 0,55 mW.

Áp dụng công thức (17) tính năng lượng của một xung như sau:

$$E = 0,55 \text{ (mW)} \times 2 \text{ (ns/pulse)} = 0,55 \times 10^{-3} \text{ (W)} \times 2 \times 10^{-9} \text{ (s/pulse)}$$

$$= 1,1 \times 10^{-12} \text{ (W.s/pulse)}$$

$$= 1,1 \times 10^{-12} \text{ (J/pulse)} = 1,1 \text{ (pJ/pulse)}$$

Ngoài ra, từ công thức (18), tần số phát xung được xác định như sau:

$$PRR = 1/PRT \quad (19)$$

$$= 1/2 \text{ ns} = 0,5 \times 10^{-9} \text{ s} = 0,5 \times 10^9 \text{ Hz} = 500 \text{ MHz}$$

PRR là thông số quan trọng. Dựa trên thông số này, tốc độ truyền dữ liệu (data rate) của bộ phát xung được xác định theo công thức như sau:

$$f_p = n f_d \quad \text{hay} \quad f_d = \frac{f_p}{n} \quad (20)$$

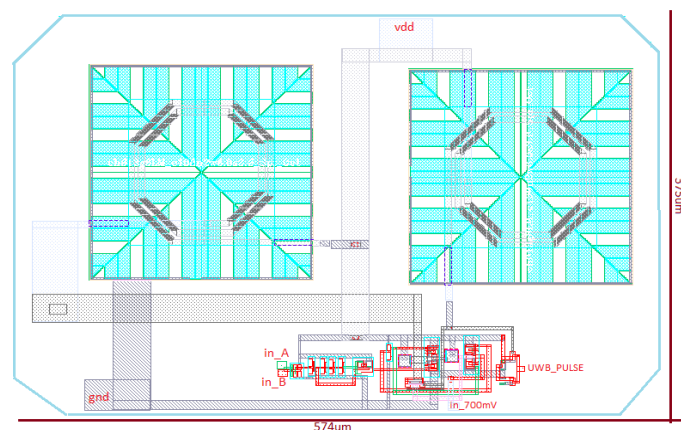
Trong đó f_p là tần số phát xung, sẽ có được $f_p = 500 \text{ MHz}$ từ công thức (19), f_d là tốc độ truyền dữ liệu, và n là số xung được tạo ra cho mỗi bit dữ liệu. Trong bộ phát này, thì mỗi bit dữ liệu được tạo ra tương ứng là ba xung ($n = 1$), như vậy tốc độ truyền dữ liệu được xác định theo công thức (20) như sau:

$$f_d = \frac{f_p}{n} = 500 \text{ Mbps}$$

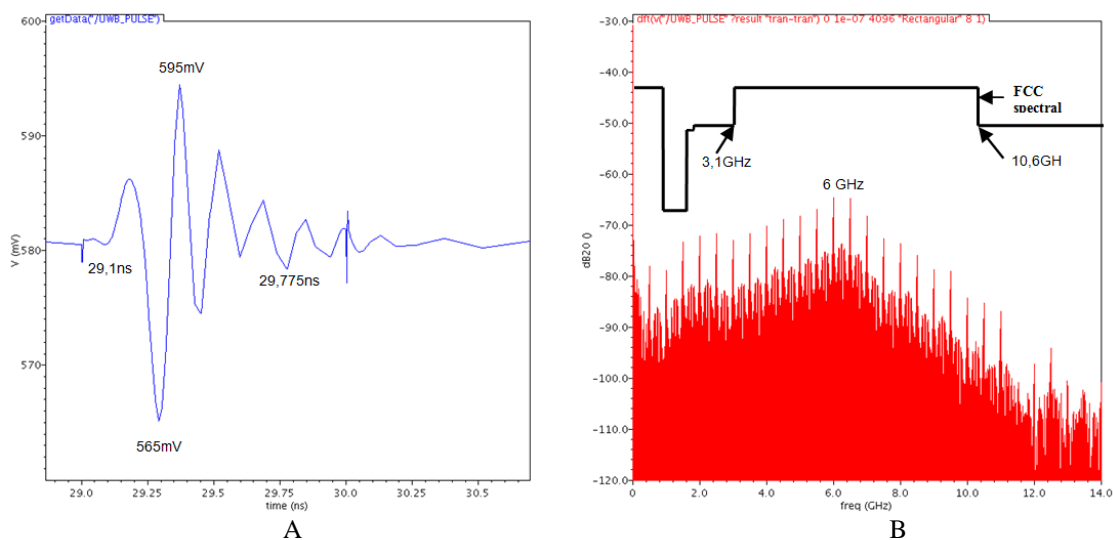
Thực hiện layout và mô phỏng sau layout bộ phát xung UWB

Bộ phát xung UWB đã được thiết kế layout dựa trên công nghệ chế tạo CMOS 0,13 μm . Hình 18 trình bày kết quả layout bộ phát xung UWB,

với diện tích die đo đạt được vào khoảng 0,22 mm^2 . Phần chiếm diện tích nhiều nhất trên die chủ yếu là điện cảm L. Bên cạnh đó, bộ phát xung UWB được thực hiện mô phỏng sau layout, kết quả được trình bày trong Hình 19.



Hình 18. Kết quả layout bộ phát xung UWB



Hình 19. Kết quả mô phỏng sau layout bộ phát xung UWB
(A) xung UWB trong miền thời gian; (B) mật độ phổ công suất của xung UWB

Bảng 3 trình bày kết quả mô phỏng sau layout bộ phát xung UWB được tóm tắt và so sánh với kết quả mô phỏng schematic.

Từ kết quả so sánh trên cho thấy do ảnh hưởng của ký sinh nên kết quả mô phỏng sau layout bộ phát xung bị thay đổi tiêu cực so với mô phỏng từ schematic, thí dụ như: biên độ đỉnh-đỉnh của xung giảm 50 mV, độ rộng xung tăng gần 100ps và công suất tiêu thụ trung bình tăng gần 0,1 mW. Tuy nhiên, đối với truyền thông UWB giữa các chip (ở khoảng cách vài chục mm) thì biên độ này đủ lớn để truyền đến bộ thu mà không cần sử dụng bất kỳ bộ khuếch đại tín hiệu băng rộng nào. Độ rộng xung UWB khoảng 675 ps thỏa mãn yêu cầu độ rộng xung cho truyền thông UWB ở khoảng cách ngắn và băng thông 4,0 GHz. Ngoài ra, kết mô phỏng sau layout bộ phát UWB có thể xem là cơ sở để tham

khảo và đánh giá hoạt động của chip sau khi chế tạo.

KẾT LUẬN

Bộ phát xung UWB đã được thiết kế sử dụng phương pháp mạch tạo xung LC để tạo ra xung UWB. Kết quả đạt được của xung UWB phù hợp với những yêu cầu đã đặt ra của bộ phát xung UWB, nhằm ứng dụng trong việc truyền thông tin giữa các chip với nhau. Xung UWB được tạo ra với biên độ đỉnh-đỉnh đủ lớn và độ rộng xung đủ rộng để đáp ứng cho truyền thông giữa các chip. Năng lượng xung thấp và mật độ phổ công suất của xung UWB nhỏ hơn -41,3 dBm/MHz thỏa mãn yêu cầu của FCC về phổ tần UWB. Tốc độ truyền dữ liệu của bộ phát xung UWB là 500 Mbps. Bộ phát xung UWB được thiết kế dựa trên công nghệ CMOS 0,13 μm , với diện tích của mạch được tích hợp trên die vào khoảng 0,22 mm^2 .

Bảng 3. So sánh kết quả mô phỏng bộ phát xung UWB sau layout so với mô phỏng schematic

Thông số kỹ thuật (<i>Specification</i>)	Kết quả mô phỏng Schematic (<i>Schematic Simulation</i>)	Kết quả mô phỏng sau layout (<i>Post-Layout Simulation</i>)
Công nghệ Technology (μm)	0,13 μm	0,13 μm
Băng thông (GHz)	6 - 10	4,5 - 8,5
Biên độ đỉnh-đỉnh của xung V_{pp} (mV)	88,6	30
Độ rộng xung Pulse Width (ps)	586	675
Năng lượng xung Energy (pJ/pulse)	1,1	1,24
Công suất tiêu thụ trung bình P_{avg} (mW)	0,55	0,62
Diện tích die Chip area (mm^2)	-	0,22

Design and simulation of pulse generator for UWB based on LC-tank differential oscillators topology

- **Nguyen Chi Nhan**
University of Science, VNU-HCM
- **Duong Hoai Nghia**
University of Technology, VNU-HCM
- **Dinh Van Anh**
University of Saskatchewan, Canada

ABSTRACT

This paper presents a detailed analysis, design and simulation of pulse generator for Ultra-Wideband (UWB) based on LC-tank differential oscillators topology. The differential oscillators with a cross-coupled NMOS pair and a tail current source are used to achieve more positive gain and generate negative resistance to the LC-tank. Besides, this oscillator is suitable for UWB high frequency and low power applications. The UWB pulse generator is composed of a simple on-off keying (OOK) modulated and

LC-tank differential oscillators. The circuit of UWB pulse generator designed and simulated in 0.13 μm CMOS technology. The UWB pulse generator generates a pulse for the 6 - 10 GHz UWB transmitter. Simulation results show a pulse width of 586 ps, a peak to peak amplitude pulse of 88.6 mV from the 1.2 V power supply and the die area of 0.22 mm^2 . The average power consumption of approximately 0.55 mW and an energy consumption of 1.1 pJ/pulse at 500 MHz pulse repetition rate (PRR) are observed.

Key words: ultra-wide band (UWB), impulse generator, LC-tank differential oscillators

TÀI LIỆU THAM KHẢO

- [10]. D. Wentzloff, A.P. Chandrakasan, A 47pJ/pulse 3.1-to-5GHz all-digital UWB transmitter in 90 nm CMOS, *ISSCC'07*, 118-591 (2007).
- [11]. V. Kulkarni, et al., A 750Mb/s 12pJ/b 6-to-10GHz digital UWB transmitter, *CICC*, 647-650 (2007).
- [12]. J. Ryckaert, et al., A 0.65-to1.4nJ/Burst 3-10 GHz UWB all-digital TX in 90nm CMOS for IEEE 802.15.4a, *JSSC*, 42, 12, 2860-2869 (2007).
- [13]. T. Norimatsu, et al., A UWB-IR transmitter with digitally controlled pulse generator, *JSSC*, 42, 6, 1300-1309 (2007).
- [14]. V. Kulkarni, et al., A 750 Mb/s, 12 pJ/b, 6-to-10 GHz CMOS IR-UWB transmitter with embedded on-chip antenna, *JSSC*, 44, 2, 394-403 (2009).
- [15]. H. Xie, X. Wang, A. Wang, B. Zhao, Y. Zhou, B. Qin, H. Chen, Z. Wang, A varying pulse width 5th-derivative Gaussian pulse generator for UWB transceivers in CMOS, *Proc. IEEE Radio and Wireless Symposium*, Orlando, Florida, USA, 171-174 (2008).
- [16]. B. Qin, H. Chen, X. Wang, A. Wang, Y. Hao, An ultra low-power FCC-compliant 5th-derivative gaussian pulse generator for

-
- IR-UWB transceiver, *Chinese Journal of Electronics*, 18, 4, 605-609 (2009).
- [17]. S.C. Chang, CMOS 5th derivative gaussian impulse generator for UWB application, *Master of Science Electrical Engineering, The University of Texas At Arlington*, 1-96 (2005).
- [18]. P.T. Anh, V. Krizhanovskii, S.K. Han, S.G. Lee, 4.7pJ/pulse 7th derivative gaussian pulse generator for impulse radio UWB, *IEEE International Symposium on Circuits and Systems*, 3043 – 3046 (2007).
- [19]. Y. Zheng, et al., A 0.18 μ m CMOS dual-band UWB transceiver, *ISSCC'07*, 114-115 (2007).
- [20]. D. Wentzloff, A. Chandrakasan, Gaussian Pulse Generators for Subbanded ultra-wideband transmitters, *TMTT*, 54, 4, 1647-1655 (2006).
- [21]. D. Barras, et al., A Multi-modulation low-power FCC/EC-compliant IR-UWB RF transmitter in 0.18- μ m CMOS, *RFIC*, 69-72 (2009).
- [22]. A. Phan, et al., Energy-efficient low-complexity CMOS Pulse generator for multiband UWB, *TCASI*, 55, 11, 3552-3563 (2008).
- [23]. S. Diao, Y. Zheng, C.Heng, A CMOS Ultra low-power and highly efficient UWB-IR transmitter for WPAN applications, *IEEE Transactions on Circuits and Systems II*, 56, 3, 200-204 (2009).
- [24]. P.T. Anh, J. Lee, V. Krizhanovskii, S.K. Han, S.G. Lee, A 18-pJ/Pulse OOK CMOS transmitter for multiband UWB impulse radio, *IEEE Microwave and Wireless Components Letters*, 17, 9, 688-690 (2007).
- [25]. R. Jacob Baker, CMOS Circuit design, layout, and simulation-third edition, John Wiley & Sons, Inc., Hoboken, New Jersey (2010).
- [26]. R. Norris, LC Tank voltage controlled oscillator, UW ASIC Analog Group, Waterloo, Ontario, Canada (2005).
- [27]. T.V. On, Nguyên lý mạch tích hợp, NXB Đại Học Quốc Gia TP.HCM (2006).