

上一条下一条MCU

任务Read relevant basic knowledge

参与者4

所有动态仅评论仅附件

暂无该类型动态

请输入评论, Enter 发送 / Ctrl + Enter 换行

回复

备注1

优先级普通

添加标签

添加字段

子任务 1/1

已完成

Project kickoff meeting: finalize requirements & interface specs - Outline 3-stage pipeline functions

添加子任务

关联内容

从资源添加

搜索内容或贴入内容链接进行关联

上一条下一条MCU

任务MCU basic

参与者4

所有动态仅评论仅附件

显示较早的 1 条动态

rychardo 更新了备注

查看历史

2月15日 09:05

Time plan: Spend 10 days understanding the external interfac...

rychardo 添加了参与者 有涯, Yep, Just1n

5月21日 19:44

rychardo 将任务状态从 未完成 变更为 已完成

5月21日 19:44

请输入评论, Enter 发送 / Ctrl + Enter 换行

回复

状态已完成查看 workflow

执行者Yep

时间2月16日 09:00 - 5月24日 18:00

项目MCU

备注

Time plan:
Spend 10 days understanding the external interface protocol. This part is universal and can be copied directly when the time comes. What we need to write is: ① change the original pipeline structure; ② use a coprocessor for FFT.

优先级较低

上一条下一条MCU

任务main processor

参与者4

所有动态仅评论仅附件

显示较早的 6 条动态

rychardo 完成了子任务 "Define ISA extension points and privilege levels"

5月21日 19:58

rychardo 完成了子任务 "- Set up verification framew ork skeleton (UVM/SystemVerilog)"

5月21日 19:58

rychardo 完成了子任务 "- Draft initial test plan"

5月21日 19:58

请输入评论, Enter 发送 / Ctrl + Enter 换行

回复

添加字段

子任务 4/4

已完成

- Specify pipeline registers & control signals

已完成

- Draft initial test plan

已完成

- Set up verification framework skeleton (UVM/SystemVerilog)

已完成

Define ISA extension points and privilege levels

添加子任务

关联内容

从资源添加

搜索内容或贴入内容链接进行关联

上一条下一条MCU

邀请自动化自定义菜单

任务simulation

已完成的子任务

已完成

- Begin hazard handling between Stages 1/2

日历图标

分享图标

用户头像

下拉箭头

已完成

- Integrate full pipeline skeleton

日历图标

分享图标

用户头像

下拉箭头

已完成

- RTL coding for Stage 2 (Decode + RegFile read/write)

日历图标

分享图标

用户头像

下拉箭头

已完成

- Stage 2 functional verification & regression tests

日历图标

分享图标

用户头像

下拉箭头

已完成

- RTL coding for Stage 3 (Execute + Write-back)

日历图标

分享图标

用户头像

下拉箭头

已完成

- Preliminary timing & latency review

日历图标

分享图标

用户头像

下拉箭头

已完成

RTL coding for Stage 1 (Fetch + PC logic) - Stage 1 functional simulation

日历图标

分享图标

用户头像

下拉箭头

+ 添加子任务

参与 4

参与者头像

所有动态仅评论仅附件

显示较早的 15 条动态

rychardo 开启了任务隐私模式, 当前任务仅参与者可见 5月21日 20:00

rychardo 关闭了任务隐私模式, 当前任务项目成员可见 5月21日 20:00

rychardo 完成了子任务 "- Integrate full pipeline skel eton" 5月21日 21:30

rychardo 完成了子任务 "- Begin hazard handling be 5月21日 21:30

请输入评论, Enter 发送 / Ctrl + Enter 换行

回复

关联内容

上一条下一条MCU

邀请自动化自定义菜单

任务creat a cpu

已完成的子任务

已完成

- Resource utilization & power estimation

日历图标

分享图标

用户头像

下拉箭头

已完成

- Coverage analysis & bug fixes

日历图标

分享图标

用户头像

下拉箭头

已完成

- Stress tests (full-throughput pipeline)

日历图标

分享图标

用户头像

下拉箭头

已完成

- Generate preliminary synthesis report

日历图标

分享图标

用户头像

下拉箭头

已完成

- Complete functional coverage: corner cases, exceptions & interrupts

日历图标

分享图标

用户头像

下拉箭头

已完成

- Timing closure optimizations (update synthesis constraints)

日历图标

分享图标

用户头像

下拉箭头

+ 添加子任务

参与 4

参与者头像

所有动态仅评论仅附件

显示较早的 11 条动态

rychardo 完成了子任务 "- Generate preliminary synt hesis report" 6月10日 23:32

rychardo 完成了子任务 "- Stress tests (full-throughp ut pipeline)" 6月10日 23:33

rychardo 完成了子任务 "- Coverage analysis & bug f ixes" 6月10日 23:33

请输入评论, Enter 发送 / Ctrl + Enter 换行

回复

关联内容

+ 从资源添加

搜索内容或贴入内容链接进行关联