

Logos 系列产品 HMIC_S IP

用户指南

(UG022003,V1.3)

(2022-06-02)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2021-11-09	V1.0	1. 初始版本。	V1.0
2021-11-10	V1.0	1. 增加 V1.0a 版本对应的 IP 版本变更记录； 2. 更新文档版本修订记录，添加适用 IP，更新日期。	V1.0a
2022-01-21	V1.2	1. 增加 V1.2 版本对应的 IP 版本变更记录； 2. 更新支持的最大数据位宽描述，参见“2.1.1 主要特性”、表 2-2； 3. 增加 PGL 50H MBG324 封装及 PGL 50G 器件支持，更新适用器件列表及资源利用列表，参见表 2-1、表 2-6； 4. 更新 SDRAM 器件型号选项，参见表 2-3； 5. 更新 Pin/Bank Options 页面截图及配置参数说明列表，增加 Enable fdc file select 配置参数，参见图 2-8、表 2-4； 6. 增加 CA 管脚约束时合法性检查的说明，参见“注意”； 7. 更正和完善部分端口说明，参见表 2-16 和表 2-19； 8. 增加 DM_GROUP_EN 参数配置说明，参见“2.8.5 DM_GROUP_EN 参数配置说明”。	V1.2
2022-06-02	V1.3	1. 增加 V1.3 版本对应的 IP 版本变更记录； 2. 更新软件版本要求说明，参见“推荐”； 3. 更新资源利用典型值，参见表 2-6； 4. 增加调试端口（ddrphy_gate_update_en, update_com_val_err_flag, rd_fake_stop），更新调试接口列表，参见表 2-19。	V1.3

IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. Logos HMIC_S IP 初始版本。	2021-11-09
V1.0a	1. 修改 ui.tcl 中 REGION_NUM 参数计算错误的 bug; 2. 修改 createFiles.tcl 中 PLL 约束 bug。	2021-11-10
V1.2	1. IPC 界面增加 fdc 导入功能; 2. 解决 idf 文件 reload 配置错误的相关 bug; 3. 增加 IPC 配置时命令和地址信号冲突检测功能; 4. 增加 PGL 50H MBG324 封装支持, 增加 PGL 50G 器件支持(支持 MBG324、MBG484 和 FBG484 封装); 5. 针对 x16 位宽 DM 放在同一个 GROUP 的应用场景, 在代码中增加参数 DM_GROUP_EN 进行控制; 6. 优化 gate 位置选取方式和 fdc 约束, 增加 rcf 优先布线; 7. Controller 代码和 AXI BIST 代码优化更新; 8. UG 更新。	2022-01-21
V1.3	1. 新增 gate update 功能; 2. UG 更新。	2022-06-02

目录

文档版本修订记录	2
IP 版本变更记录	3
第 1 章 前言	8
1.1 关于本手册	8
1.2 手册行文规范	8
第 2 章 IP 使用指南	9
2.1 IP 简介	9
2.1.1 主要特性	9
2.1.2 适用器件及封装	10
2.2 IP 框图	10
2.3 IP 生成流程	11
2.3.1 模块例化	11
2.3.2 约束配置	20
2.3.3 运行仿真	20
2.3.4 综合与布局布线	21
2.3.5 资源利用	22
2.4 Example Design	22
2.4.1 设计框图	23
2.4.2 测试方法	23
2.5 IP 接口描述	25
2.5.1 Controller 接口说明	25
2.5.2 Controller 接口时序描述	28
2.5.3 PHY 接口说明	36
2.5.4 PHY 接口时序描述	38
2.5.5 Debug 数据描述	44
2.6 IP 寄存器描述	45
2.6.1 寄存器说明	45
2.6.2 寄存器访问	48
2.7 典型应用	48
2.8 说明与注意事项	48
2.8.1 Simplified AXI4 接口 Burst 计算	48
2.8.2 时钟约束	49
2.8.3 IO 约束	49
2.8.4 布线约束	50
2.8.5 DM_GROUP_EN 参数配置说明	50
2.9 IP 调试手段	50
2.9.1 关键指示信号	50
2.9.2 内部状态和控制信号	51
第 3 章 附录	52
3.1 参考文档	52
3.2 术语表	52
3.3 缩略语表	53

3.4 声明.....	54
3.4.1 版权声明	54
3.4.2 免责声明	54

表目录

表 1-1 行文规范说明.....	8
表 2-1 HMIC_S IP 适用器件及封装.....	10
表 2-2 Basic Options 页面配置参数说明	15
表 2-3 Memory Options 页面配置参数说明	16
表 2-4 Pin/Bank Options 页面配置参数说明	18
表 2-5 IP 生成后的输出文件	20
表 2-6 HMIC_S IP 基于适用器件的资源利用典型值.....	22
表 2-7 Global 接口.....	25
表 2-8 写地址通道.....	25
表 2-9 读地址通道.....	26
表 2-10 写数据通道.....	26
表 2-11 读数据通道.....	26
表 2-12 Config 接口	27
表 2-13 DFI 接口	27
表 2-14 Simplified AXI4 与标准 AXI4 差别	28
表 2-15 Simplified AXI4 与标准 AXI4 详细差别	28
表 2-16 时钟与复位接口.....	36
表 2-17 DFI 接口	36
表 2-18 Memory 接口	37
表 2-19 调试接口.....	38
表 2-20 本设计的 DFI 接口与标准 DFI 差异	39
表 2-21 DFI 接口与标准 DFI 详细差异对比	39
表 2-22 debug_data 各字段定义	44
表 2-23 debug_calib_ctrl 各字段定义	44
表 2-24 dbg_slice_state 各字段定义	45
表 2-25 MODE_REG_0_ADDR 各 Bit 定义.....	45
表 2-26 MODE_REG_1_ADDR 各 Bit 定义.....	46
表 2-27 MODE_REG_2_ADDR 各 Bit 定义.....	46
表 2-28 MODE_REG_3_ADDR 各 Bit 定义.....	47
表 2-29 CTRL_MODE_DATA 各 Bit 定义.....	47
表 2-30 STATUS_REG_DATA 各 Bit 定义	48
表 2-31 关键指示信号.....	50
表 2-32 DDRPHY Example Design 串口配置	51

图目录

图 2-1 HMIC_S IP 系统框图	10
图 2-2 选择 HMIC_S IP 界面	12
图 2-3 工程例化界面.....	12
图 2-4 HMIC_S IP 接口框图	13
图 2-5 配置 HMIC_S IP 参数界面.....	13
图 2-6 Basic Options 页面	14
图 2-7 Memory Options 页面	16
图 2-8 Pin/Bank Options 页面	17
图 2-9 Summary 页面	19
图 2-10 HMIC_S IP 生成报告界面.....	19
图 2-11 打开 ModelSim 指令	21
图 2-12 ModelSim 执行仿真脚本	21
图 2-13 VCS 执行仿真脚本	21
图 2-14 Example Design 系统框图	23
图 2-15 Example Design 测试流程图	24
图 2-16 Simplified AXI4 接口地址映射的 Memory 地址	30
图 2-17 写地址典型时序.....	31
图 2-18 读地址典型时序.....	31
图 2-19 写数据典型时序.....	32
图 2-20 读数据典型时序.....	32
图 2-21 APB 接口典型写时序	33
图 2-22 APB 接口典型读时序	34
图 2-23 DDR3 状态请求切换流程图	35
图 2-24 DFI 接口写操作时序	42
图 2-25 DFI 接口读操作时序	43
图 2-26 IP 内部时钟结构	49

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 DDR3 IP——HMIC_S (High performance Memory Interface Controller Soft core) IP 的用户指南。该 IP 基于 Logos 系列 FPGA 产品资源实现，仅支持 DDR3。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 HMIC_S IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。

第2章 IP 使用指南

本章讲述 HMIC_S IP 相关使用指南，内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]

2.1 IP 简介

HMIC_S IP 是紫光同创推出的一款 DDR3 IP，基于 Logos 系列 FPGA 产品资源实现，仅支持 DDR3，可通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。

2.1.1 主要特性

HMIC_S IP 产品的主要特性如下。

- 支持 DDR3；
- 支持最大数据位宽 32bit；
- 用户接口：精简的 AXI4 总线接口、APB 总线接口；
- 支持可配低功耗模式：Self-Refresh 和 Power Down；
- 支持 DDR3 的最高数据速率达到 800Mbps；
- Burst Length 8 和单 Rank。

2.1.2 适用器件及封装

表 2-1 HMIC_S IP 适用器件及封装

适用器件	支持封装类型
PGL25G	FBG256/MBG324/FBG484
PGL50H	MBG324/MBG484/FBG484
PGL50G	MBG324/MBG484/FBG484
PGL100H	FBG900

2.2 IP 框图

HMIC_S IP 系统框图如图 2-1 所示。

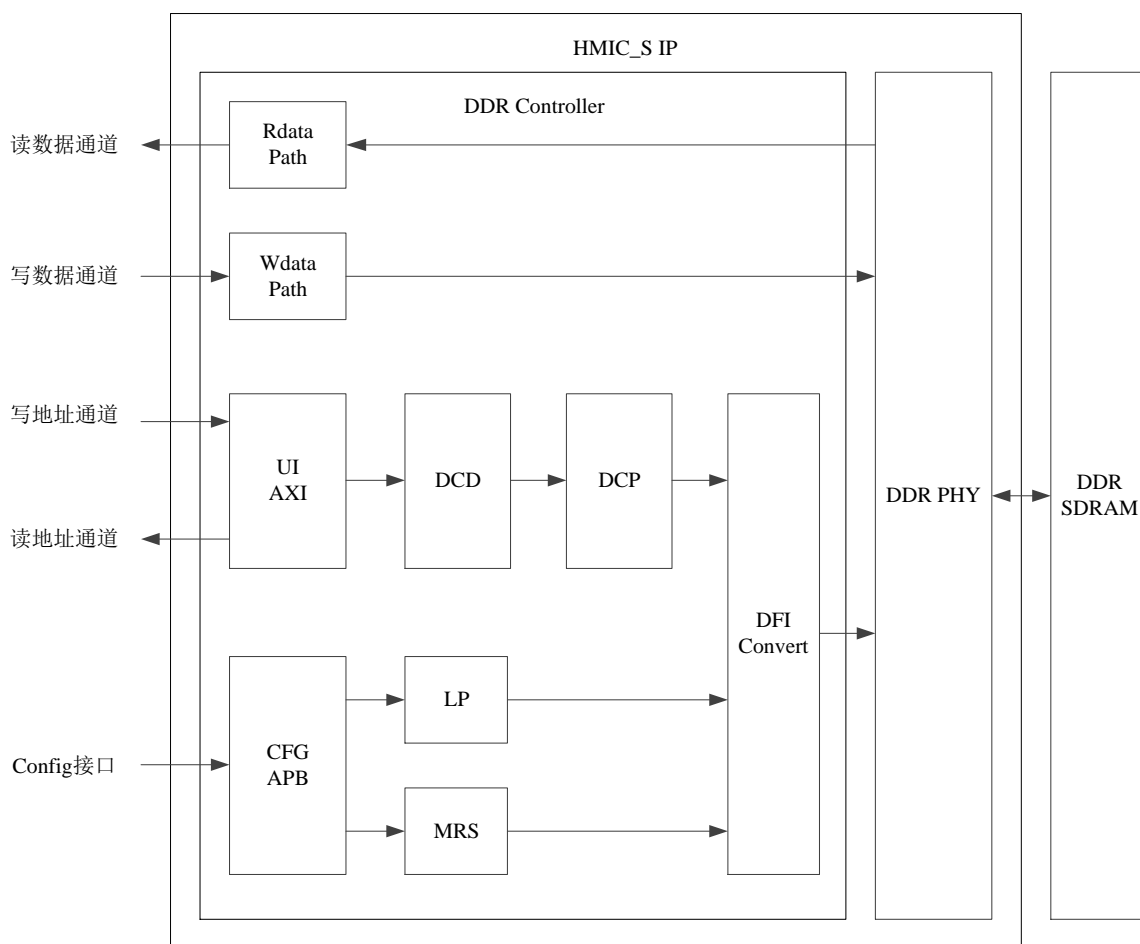


图 2-1 HMIC_S IP 系统框图

HMIC_S IP 支持 Controller + PHY 的运行模式。该模式下,IP 包括了 DDR Controller 和 DDR PHY 功能,用户通过 Simplified AXI4 接口实现数据的读写,通过 APB 接口实

现低功耗和 MRS 的控制。

- Simplified AXI4 接口

该接口包括写地址通道、读地址通道、写数据通道和读数据通道四个部分。

用户通过写地址通道和读地址通道发起读写操作；其命令在 UI AXI 模块解析成 Controller 内部命令；在 DCD (DDR Command Decode) 模块分解成 DDR 对应的命令；在 DCP (DDR3 Command Procedure) 模块实现基于 DDR 的时序控制；在 DFI Convert 模块中转换成 DFI 接口传递到 PHY，并最终传递到 DDR Memory 接口。

写数据通过写数据通道接口，经过 Wdata Path 模块直接传递到 DDR PHY，并最终传递到 DDR Memory 接口。

来自 DDR Memory 的读数据在 DDR PHY 采样解析后，经过 Rdata Path 模块同步，通过读数据通道接口返回给用户。

- Config 接口

该接口为一个 APB 配置接口，通过该接口，用户可读取 DDR SDRAM 的状态，实现低功耗和 MRS 的控制。

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 HMIC_S IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

HMIC_S IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/DDR/Soft 目录下对应版本的 DDR3 Interface，IP 选择路径界面如图 2-2 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-3 所示。

推荐：

软件建议使用 2021.4-SP1 及以上版本。

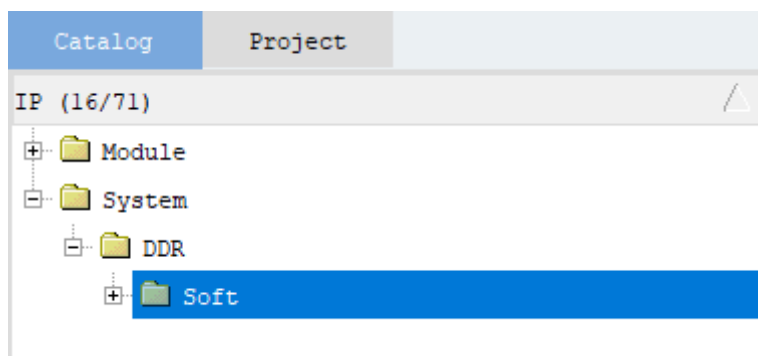


图 2-2 选择 HMIC_S IP 界面

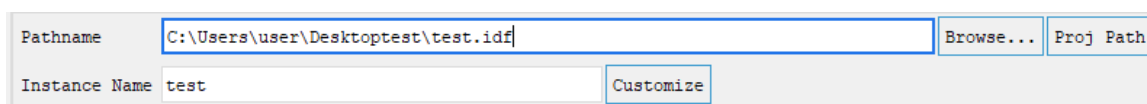


图 2-3 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 HMIC_S IP 参数配置界面。左边 Symbol 为接口框图，如图 2-4 所示；右边为参数配置窗口，如图 2-5 所示。

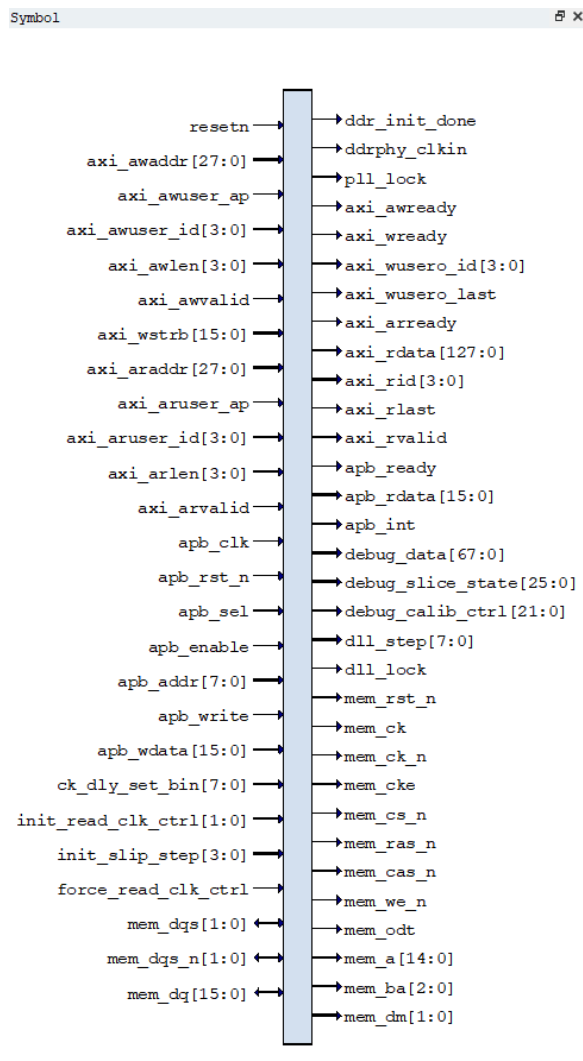


图 2-4 HMIC_S IP 接口框图

Step 1: Basic Options Step 2: Memory Options Step 3: Pin/Bank Options Step 4: Summary

Type Options
Please select the memory interface type from the Memory Type selection.
Memory Type:

Mode Options
Please select the operating mode for memory Interface.
Operating Mode:

Width Options
Please select the data width which memory interface can access at a time.
Total Data Width:

Clock settings
Input Clock Frequency: MHz (range: 5-625MHz)
Desired Data Rate: Mbps (range: 600-800Mbps)
Actual Data Rate: Mbps

Write and Read Latency
CAS Write Latency(CWL): tCK (range: 5)
CAS Latency(CL): tCK (range: 5-6)
Additive Latency(AL): tCK

Debug Signals
☒ Enable Debug Signals

图 2-5 配置 HMIC_S IP 参数界面

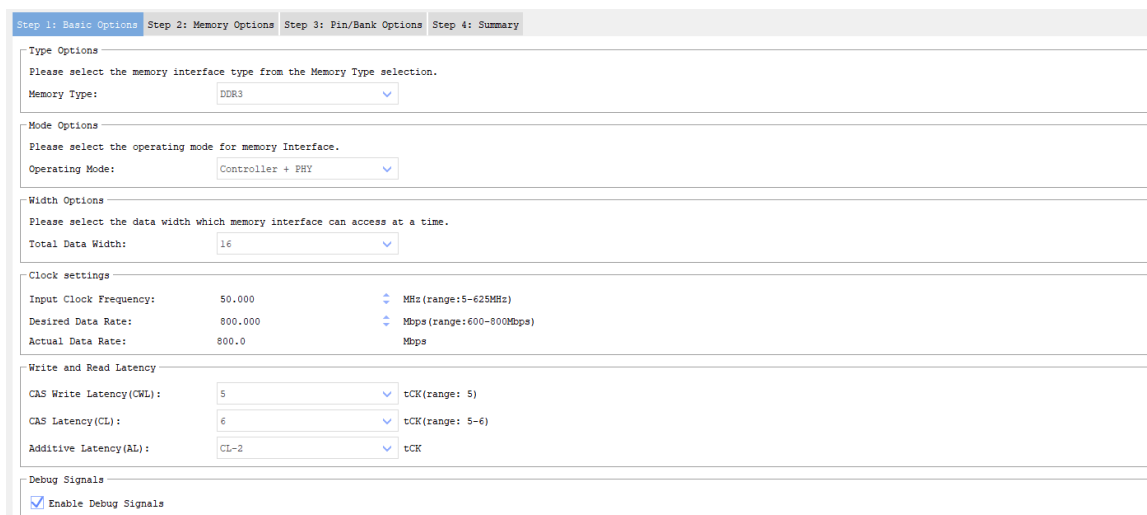
注意:

请务必按照页面顺序配置 IP 参数，即 Step 1 → Step 2 → Step 3 → Step 4。

参数配置分为四个页面，分别为 Step1: Basic Options, Step2: Memory Options, Step3: Pin/Bank Options, Step4: Summary。HMIC_S IP 配置步骤描述如下。

(1) Step 1: Basic Options

Basic Options 是 IP 的基本配置页面，界面如图 2-6 所示，详细参数参见表 2-2。



Step 1: Basic Options Step 2: Memory Options Step 3: Pin/Bank Options Step 4: Summary

Type Options
Please select the memory interface type from the Memory Type selection.
Memory Type:

Mode Options
Please select the operating mode for memory Interface.
Operating Mode:

Width Options
Please select the data width which memory interface can access at a time.
Total Data Width:

Clock settings
Input Clock Frequency: 50.000 MHz (range: 5-625MHz)
Desired Data Rate: 800.000 Mbps (range: 600-800Mbps)
Actual Data Rate: 800.0 Mbps

Write and Read Latency
CAS Write Latency(CWL): 5 tCK (range: 5)
CAS Latency(CL): 6 tCK (range: 5-6)
Additive Latency(AL): CL-2 tCK

Debug Signals
☒ Enable Debug Signals

图 2-6 Basic Options 页面

表 2-2 Basic Options 页面配置参数说明

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
Type Options	Memory Type	使用的 SDRAM 类型，目前支持的类型为：DDR3。	DDR3
Mode Options	Operating Mode	HMIC_S 运行模式选择。 支持的运行模式为：Controller + PHY； 生成的 IP 代码包含 Controller 和 PHY。	Controller + PHY
Width Options	Total Data Width	与 HMIC_S 连接的片外 SDRAM 总共的 DQ 宽度。目前支持的总宽度为： 1) 32 2) 24 3) 16 4) 8	16
Clock settings	Input Clock Frequency	HMIC_S 的输入时钟，单位 MHz。	50
	Desired Data Rate	期望的数据速率。 DDR3 支持的最高速率为 800Mbps。	800
	Actual Data Rate	实际能达到的数据速率，尽可能接近期望的速率。	-
Write and Read Latency	CAS Write Latency(CWL)	CAS Write Latency 配置，单位 tCK。	5
	CAS Latency(CL)	CAS Latency 配置，单位 tCK。	6
	Additive Latency(AL)	Additive Latency 配置，单位 tCK。	CL-2
Debug Signals	Enable Debug Signal	Debug 信号使能开关。	使能

注：“-”表示 IP 配置界面无该参数默认值。

(2) Step 2: Memory Options

Memory Options 是 Memory 参数的配置页面，界面如图 2-7 所示，详细参数参见表 2-3。

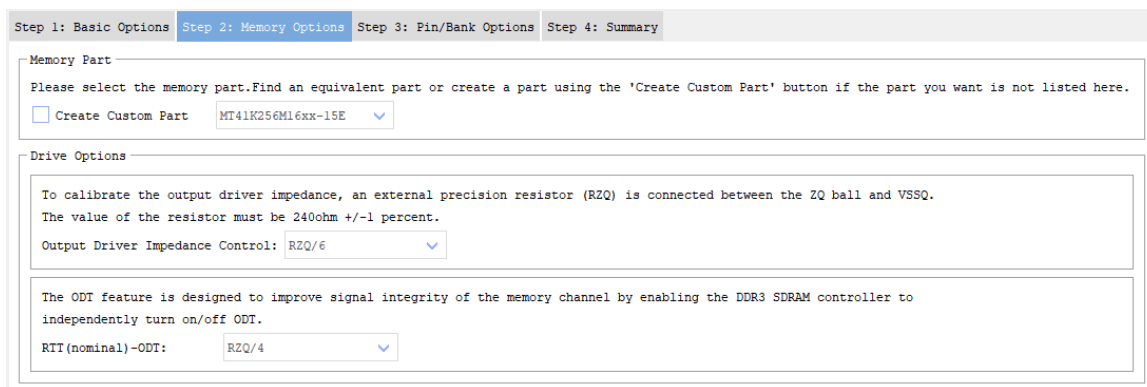


图 2-7 Memory Options 页面

表 2-3 Memory Options 页面配置参数说明

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
Memory Part	SDRAM 器件型号	DDR3 支持的型号为： MT41J128M8xx-15E MT41J128M16xx-15E MT41J64M16xx-15E MT41J256M8xx-15E MT41K256M16xx-15E	MT41K256M16xx-15E
	Create Custom Part	定制新的 SDRAM 类型使能选择。 若 IP 支持的上述器件型号均不满足需求,用户可以勾选该选项,在下方 Custom Memory Part 选项框中基于参考型号定制新的 SDRAM 类型。	不使能
Custom Memory Part ¹	Select Base Part	定制 SDRAM 的参考型号。	MT41K256M16xx-15E
	Timing Parameters	定制 SDRAM 的 Timing 参数,包含: trfc、tras、trp、trcd、twr、trefi、trtp、twtr。	trfc: 300 tras: 37.5 trp: 13.5 trcd: 13.5 twr: 15 trefi: 7.8 trtp: 7.5 twtr: 7.5
	Row Address	行地址。	15
	Column Address	列地址。	10
	Bank Address	Bank 地址。	3

¹ 该选项框在勾选“Create Custom Part”选项时显示,用于定制新的 SDRAM 类型。

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
Drive Options	Output Driver Impedance Control	DDR3 支持的驱动能力选项。详细说明请参见：JESD79-3D, DDR3 SDRAM Standard[8]。	RZQ/6
	RTT(nominal)-O DT		RZQ/4

(3) Step 3: Pin/Bank Options

Pin/Bank Options 是接口参数的配置页面，界面如图 2-8 所示，详细参数见表 2-4。

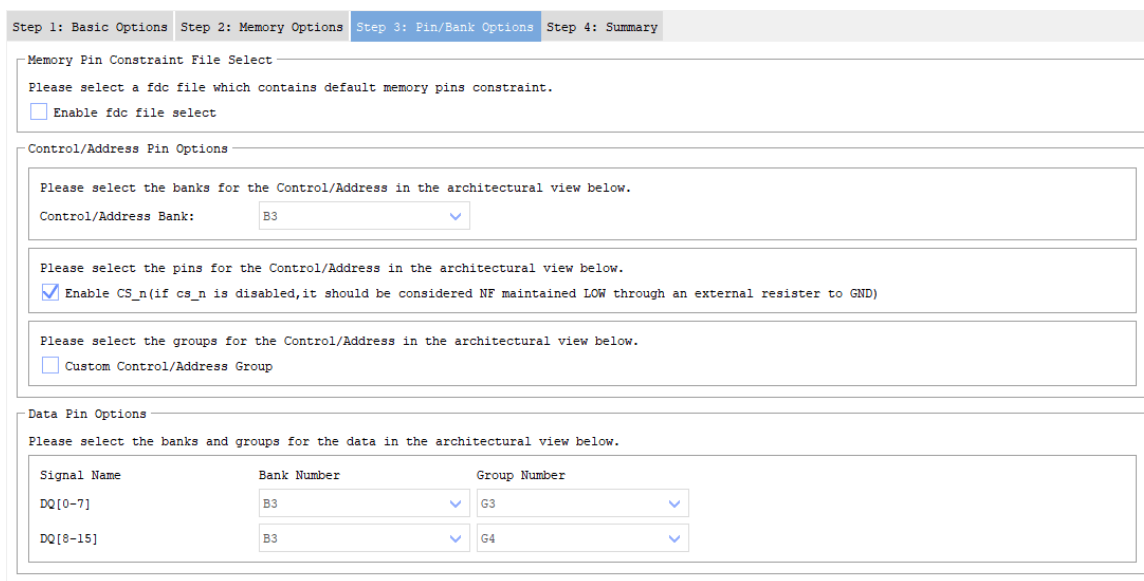


图 2-8 Pin/Bank Options 页面

注意：

“Step 3 : Pin/Bank Options”中的所有配置项，都必须按照实际单板上的管脚分配情况进行配置。生成 IP 后，再把 DQ 信号、复位信号和状态信号管脚位置按照实际单板上的管脚分配情况进行约束，否则跑 Flow 可能会出错。

表 2-4 Pin/Bank Options 页面配置参数说明

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
Memory Pin Constraint File Select	Enable fdc file select	可导入自定义的 fdc 文件 ² 。 使能：可在文本框中输入用户 fdc 文件路径，或者通过对话框选择 fdc 文件，将自动读取 fdc 文件中的 Memory 接口约束，并配置 UI 中 Control/Address 和 Data Pin。	不使能
Control/Address Pin Options	Control/Address Bank	Memory 接口的控制和地址线所在的 Bank。	B3
	Enable CS_n	Mem_cs_n 信号使能选择	使能
	Custom Control/Address Group	用户自定义控制和地址总线分组使能选择。 勾选：用户自定义每个 PAD 的分组和管脚约束； 不勾选：默认分组。	不使能
	控制及地址信号	该选项框在勾选“Custom Control/Address Group”选项时显示，用于选择控制及地址信号对应 PAD 所在的 Group 和 Pin。	-
Data Pin Options	Bank Number	选择 DQ ³ 所在的 Bank。	B3
	Group Number	选择 DQ ³ 所在的 Group。	G4

注：“-”表示 IP 配置界面无该参数默认值。

注意：

- 针对“Custom Control/Address Group”选项，由于实际使用时 PCB 的走线不同，建议使用自定义分组。
- 勾选“Custom Control/Address Group”选项进行自定义管脚配置时，需确保不要将信号约束在同一管脚。若有管脚约束在相同位置，UI 界面将标红提示相应的 Pin Number。

(4) Step 4 : Summary

Summary 页面用于打印当前的配置信息，不需要配置参数，页面如图 2-9 所示。

² 用户 fdc 中 Memory 接口信号名必须与 Example Design 中 Memory 接口信号名一致。

³ DQ[8-15]在数据位宽大于 8 时显示，DQ[16-23]在数据位宽大于 16 时显示，DQ[24-31]在数据位宽大于 24 时显示。

Step 1: Basic Options
Step 2: Memory Options
Step 3: Pin/Bank Options
Step 4: Summary

Basic Options

Memory Type	: DDR3
Operating Mode	: Controller + PHY
Total Data Width	: 16
Density	: 4Gb
Volt	: 1.5V
Input Clock Frequency	: 50.0MHz
Data Rate	: 800.0Mbps
Debug Signals	: Enabled

Memory Options

Memory Part	: MT41K256M16xx-107IT
Row Address	: 15
Column Address	: 10
Bank Address	: 3
Output Driver Impedance Control	: RZQ/6
RTT(nominal)-ODT	: RZQ/4

Pin/Bank Options

Control/Address Bank	: B3
CS_n	: Enabled
DQ[0-7] Bank	: B3
DQ[8-15] Bank	: B3
DQ[0-7] Group	: G4
DQ[8-15] Group	: G5

图 2-9 Summary 页面

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮，即可生成相应于用户特定设置的 HMIC_S IP 代码。生成 IP 的信息报告界面如图 2-10 所示。

```
Done: 0 error(s), 0 warning(s)
```

图 2-10 HMIC_S IP 生成报告界面

注意:

IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。

成功生成 IP 后会在图 2-3 中指定的 Project 路径下输出表 2-5 所示文件。

表 2-5 IP 生成后的输出文件

输出文件 ⁴	说明
\$instname.v	所生成 IP 的 Controller + PHY 的顶层.v 文件。
\$instname_ddsphy_top.v	所生成 IP 的 PHY 顶层.v 文件。
\$instname.idf	所生成 IP 的配置文件。
/rtl/*	所生成 IP 的 RTL 代码文件。
/example_design/*	所生成 IP 的 Example Design 所使用的 Test Bench 以及相应 Memory Simulation Model 文件。
/pnr/*	所生成 IP 的 Example Design 相应的工程文件.pds 与管脚约束文件.fdc。
/sim/*	所生成 IP 的仿真目录。sim.tcl 是 modelsim 仿真脚本，makefile 是 vcs 仿真脚本，sim_file_list.f 是仿真文件 list。
/sim_lib/*	IP 所需的加密文件目录。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）
readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

2.3.2 约束配置

关于约束文件的具体配置方法，请参见 PDS 安装路径下相关帮助文档：*User_Constraint_Editor_User_Guide*[5]，*Physical_Constraint_Editor_User_Guide*[6]，*Route_Constraint_Editor_User_Guide*[7]。

2.3.3 运行仿真

HMIC_S IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User_Guide*[2]，*Simulation_User_Guide*[4]。

1. Modelsim 仿真

仿真运行步骤：打开 cmd.exe，在命令行中将当前目录切换到 IP 生成目录下的/sim，运行 vsim，打开 ModelSim 仿真软件，如图 2-11 所示。

⁴ \$instname 是用户输入的例化名；“*”为通配符，代替同一类型的文件。

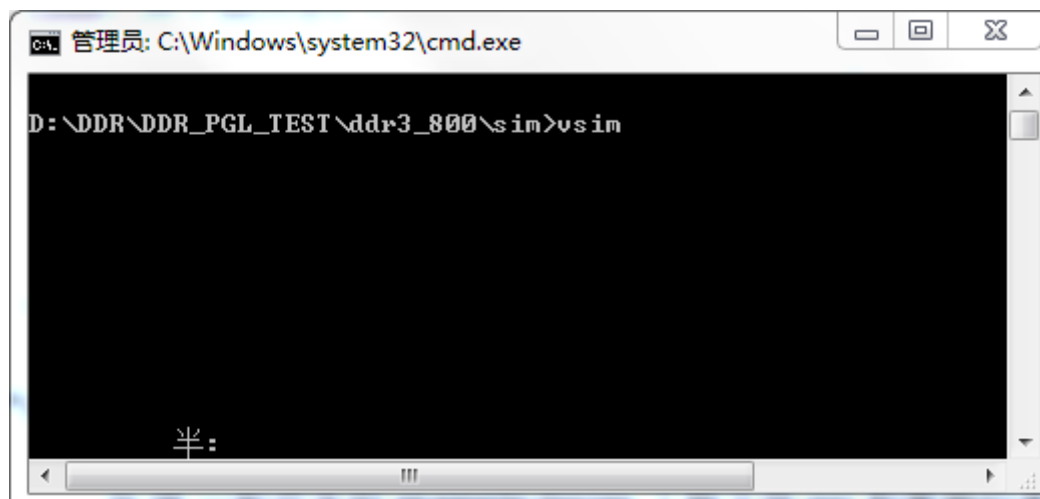


图 2-11 打开 ModelSim 指令

在 ModelSim 仿真软件中运行 sim.tcl 脚本即可进行仿真，如图 2-12 所示。

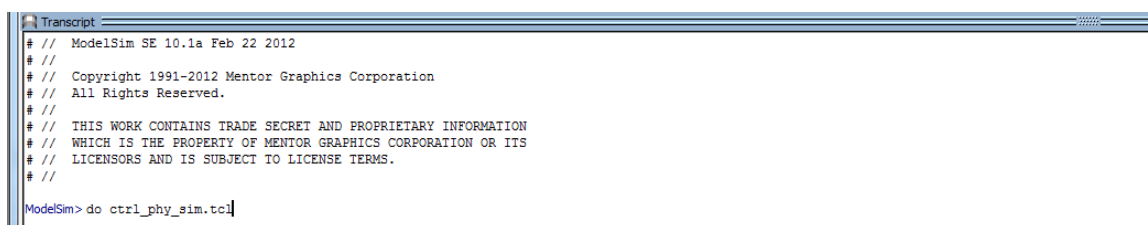


图 2-12 ModelSim 执行仿真脚本

2. VCS 仿真

Terminal 中进入 sim/vcs 目录，输入 make 后回车，即可开始仿真，如图 2-13 所示。



图 2-13 VCS 执行仿真脚本

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意:

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/example_design 目录下, 需要根据实际使用的器件和 PCB 板的走线修改物理约束, 具体请参见“2.8 说明与注意事项”。

2.3.5 资源利用

表 2-6 HMIC_S IP 基于适用器件的资源利用典型值

器件	配置模式		资源利用典型值							
			Controller				PHY			
			LUT	FF	PLL	USCM	LUT	FF	PLL	USCM
PGL25G	DDR3 x16	Controller +PHY	1361	1311	0	0	2403	1881	0	0
PGL50G	DDR3 x16		1353	1311	0	0	2401	1881	0	0
	DDR3 x32		1353	1311	0	0	3879	3119	0	0
PGL50H	DDR3 x16		1355	1311	0	0	2407	1881	0	0
	DDR3 x32		1355	1311	0	0	3883	3119	0	0
PGL100H	DDR3 x16		1354	1311	0	0	2402	1881	0	0
	DDR3 x32		1354	1311	0	0	3875	3119	0	0

2.4 Example Design

本节主要介绍基于 HMIC_S IP (Controller + PHY 模式)的 Example Design 方案。该方案用户逻辑作为 AXI Master, HMIC_S IP 作为 AXI Slave, 用户逻辑通过 AXI 接口的 Write 通道写入数据, 在 AXI 接口的 Read 通道接收数据并进行数据比对, 若数据错误, 将点亮 Error LED。

2.4.1 设计框图

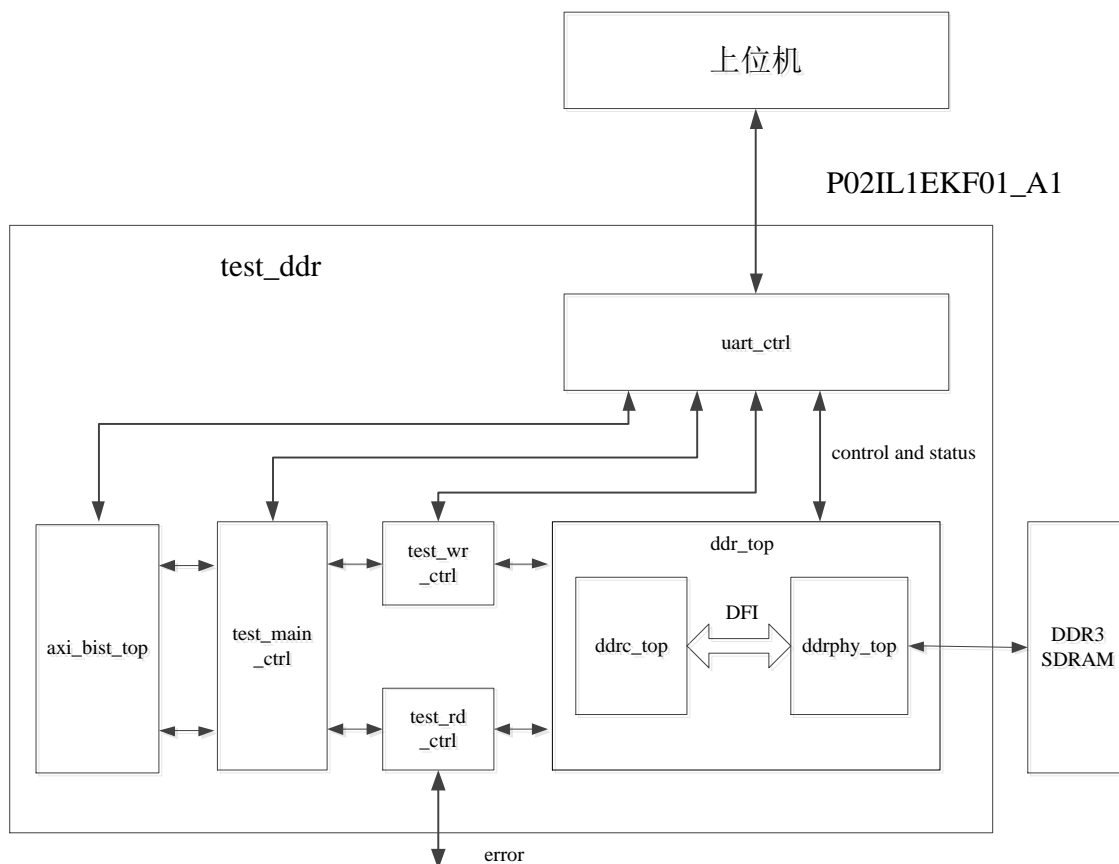


图 2-14 Example Design 系统框图

Example Design 的系统框图如图 2-14 所示，其中 axi_bist_top 为 AXI 读写指令的顶层模块，test_main_ctrl 模块为 AXI 读写指令的控制模块，test_wr_ctrl 模块为 AXI 写指令和写数据的控制模块，test_rd_ctrl 模块为 AXI 读指令和读数据的控制模块，uart_ctrl 模块为串口转换模块，方便调试时进行控制和读取内部状态。

2.4.2 测试方法

在 Example Design 中，用户逻辑对 HMIC_S IP 进行读写，并对回读数据校验，详细的测试流程如图 2-15 所示。

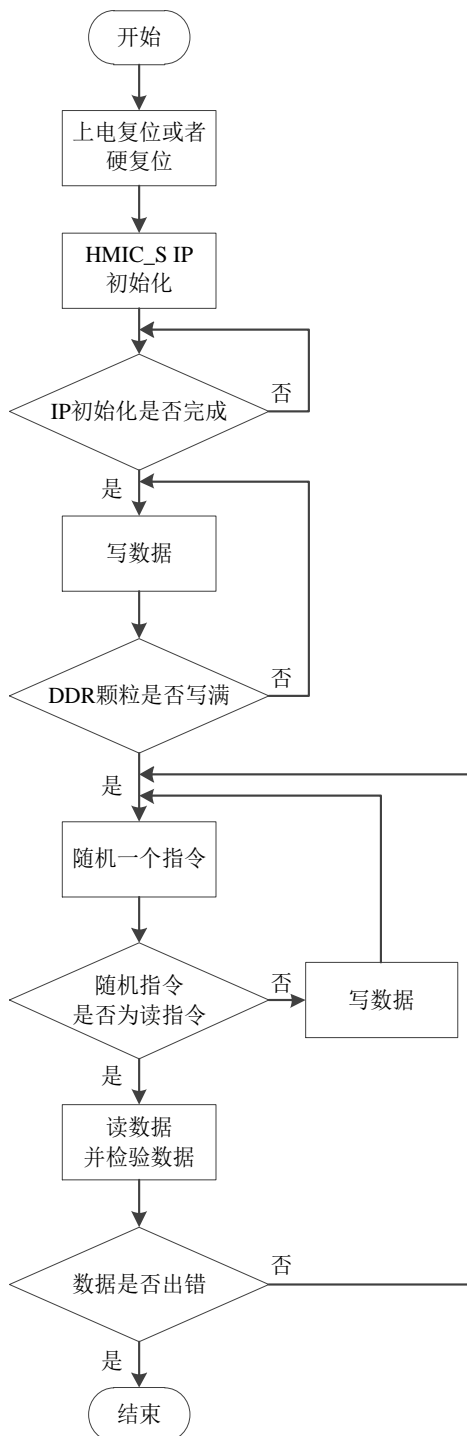


图 2-15 Example Design 测试流程图

系统上电或者硬复位启动后，HMIC_S IP 开始执行初始化，待初始化完成（ddrc_init_done 拉起），test_main_ctrl 模块控制 test_wr_ctrl 模块产生写指令和写数据对 DDR 颗粒的数据初始化，写满后，test_main_ctrl 开始进行随机读写，test_rd_ctrl 对回读的数据进行检验，判断数据是否出错。

注意:

用 IP 生成的 Example Design，不能直接跑 Flow 上板测试，需要根据单板的实际引脚连接关系进行管脚约束，然后跑 Flow 上板测试。

2.5 IP 接口描述

本节介绍 HMIC_S IP 相关接口说明及时序描述。

2.5.1 Controller 接口说明

1. Global 接口

表 2-7 Global 接口

端口	I/O	位宽	有效值	描述
clk	I	1	-	外部时钟输入。
rst_n	I	1	低电平	外部复位输入。
phy_init_done	I	1	高电平	ddrphy 的初始化完成标志： 1'b1: ddrphy 初始化已完成； 1'b0: ddrphy 初始化未完成；
ddr_init_done	O	1	高电平	IP 的初始化完成标志： 1'b1: ddr IP 初始化已完成； 1'b0: ddr IP 初始化未完成，外部对 ddr IP 的操作无效。

注：“-”表示无该项参数。

2. Simplified AXI4 接口

(1) 写地址通道

表 2-8 写地址通道

端口	I/O	位宽	有效值	描述
axi_awaddr	I	CTRL_ADDR_WIDTH	-	AXI 写地址。
axi_awuser_ap	I	1	高电平	AXI 写并自动 precharge。
axi_awuser_id	I	4	-	AXI 写地址 ID。
axi_awlen	I	4	-	AXI 写突发长度。
axi_awready	O	1	高电平	AXI 写地址 ready。
axi_awvalid	I	1	高电平	AXI 写地址 valid。

注：“-”表示无该项参数。

(2) 读地址通道

表 2-9 读地址通道

端口	I/O	位宽	有效值	描述
axi_araddr	I	CTRL_ADDR_WIDTH	-	AXI 读地址。
axi_aruser_ap	I	1	高电平	AXI 读并自动 precharge。
axi_aruser_id	I	4	-	AXI 读地址 ID。
axi_arlen	I	4	-	AXI 读突发长度。
axi_arready	O	1	高电平	AXI 读地址 ready。
axi_arvalid	I	1	高电平	AXI 读地址 valid

注：“-”表示无该项参数。

(3) 写数据通道

表 2-10 写数据通道

端口	I/O	位宽	有效值	描述
axi_wdata	I	DQ_WIDTH*8	-	AXI 写数据。
axi_wstrb	I	DQ_WIDTH*8/8	高电平	AXI 写数据 strobes。
axi_wready	O	1	高电平	AXI 写数据 ready。
axi_wusero_id	O	4	-	AXI 写数据 ID。
axi_wusero_last	O	1	高电平	AXI 写数据 last。

注：“-”表示无该项参数。

(4) 读数据通道

表 2-11 读数据通道

端口	I/O	位宽	有效值	描述
axi_rid	O	4	-	AXI 读数据 ID。
axi_rlast	O	1	高电平	AXI 读数据 last 信号。
axi_rvalid	O	1	高电平	AXI 读数据 valid。
axi_rdata	O	DQ_WIDTH*8	-	AXI 读数据。

注：“-”表示无该项参数。

3. Config 接口

表 2-12 Config 接口

端口	I/O	位宽	有效值	描述
apb_clk	I	1	高电平	APB 时钟。
apb_rst_n	I	1	低电平	APB 复位。
apb_sel	I	1	高电平	APB Select。
apb_enable	I	1	高电平	APB 端口 enable。
apb_addr	I	8	-	APB 地址总线。
apb_write	I	1	高电平	APB 读写方向，高电平写，低电平读。
apb_ready	O	1	高电平	APB 端口 Ready。
apb_wdata	O	16	-	APB 写数据。
apb_rdata	O	16	-	APB 读数据。

注：“-”表示无该项参数。

4. DFI 接口

表 2-13 DFI 接口

端口	I/O	位宽	有效值	描述
dfi_address	O	4*ROW_ADDR_WIDTH	-	DFI 地址总线。
dfi_bank	O	4*BADDR_WIDTH	-	DFI bank.地址总线。
dfi_reset_n	O	4	-	DFI chip reset。
dfi_cs_n	O	4	-	DFI chip select。
dfi_ras_n	O	4	-	DFI row address strobe bus。
dfi_cas_n	O	4	-	DFI column address strobe。
dfi_we_n	O	4	-	DFI write enable signal。
dfi_cke	O	4	-	DFI clock enable。
dfi_odt	O	4	-	DFI on-die termination control bus。
dfi_rddata_valid	I	1	高电平	dfi 接口的读数据有效。
dfi_rddata	I	DQ_WIDTH*8	-	dfi 接口的数据。
dfi_wrdata_en	O	4	高电平	DFI write enable signal。
dfi_wrdata	O	DQ_WIDTH*8	-	DFI 写数据。
dfi_wrdata_mask	O	DQ_WIDTH*8/8	高电平	DFI Write data byte mask。
dfi_init_complete	I	1	高电平	PHY 完成 training 相关操作，已处于 normal 状态。
dfi_error	I	1	高电平	PHY training 错误指示。
dfi_phyupd_req	I	1	-	PHY 请求进行 update。
dfi_phyupd_ack	O	1	-	dfi_phy_req 的反馈信号，允许 PHY 进行 update。

注：“-”表示无该项参数。

2.5.2 Controller 接口时序描述

Simplified AXI4 接口采用的是经过剪裁过的 AXI4 协议。Config 接口采用的是 APB 协议。

1. Simplified AXI4 接口

本设计定义的 Simplified AXI4 接口与标准的 AXI4 协议区别参见表 2-14 和表 2-15。

表 2-14 Simplified AXI4 与标准 AXI4 差别

通道	差异
Write address channel	保留 AWID, AWADDR, AWLEN, AWUSER, AWVALID, AWREADY 端口; 去掉 AWSIZE, AWBURST, AWLOCK, AWCACHE, AWPROT, AWQOS, AWREGION 端口。
Write data channel	保留 WID, WDATA,WSTRB, WLAST, WREADY 端口; 去掉 WUSER 和 WVALID 端口。
Write responsechannel	NA。
Read address channel	保留 ARID, ARADDR, ARLEN, ARUSER, ARVALID, ARREADY 端口; 去掉 ARSIZE, ARBURST, ARLOCK, ARCACHE, ARPROT, ARQOS, ARREGION 端口。
Read data channel	保留 RID, RDATA,RLAST, RVALID; 去掉 RRESP, RUSER 端口。
Low-power interface	NA。
Clock	AXI 与 MC 的 clock 相同。

表 2-15 Simplified AXI4 与标准 AXI4 详细差别

接口信号分类	标准 AXI4	简化 AXI4	信号源	描述	兼容方法
Global signals	ACLK	clk	Clock Source	全局时钟信号	PHY 内核分频时钟
	ARESETn	rst_n	Reset Source	全局复位信号（低有效）	MC 复位时钟
Write address channel signals	AWID ⁵	axi_awuser_id	Master	写地址 ID	不使用时可分配固定值
	AWADDR ⁵	axi_awaddr	Master	写地址	参见脚注
	AWLEN ⁵	axi_awlen	Master	突发写的长度	默认突发大小为 8
	AWSIZE ⁶	NA	Master	突发写的大小	参见脚注

⁵ 接口时序请参见“2.5.2 1(1) 写地址通道时序”、“2.5.2 1(2) 读地址通道时序”、“2.5.2 1(3) 写数据通道时序”、“2.5.2 1(4) 读数据通道时序”。

接口信号分类	标准 AXI4	简化 AXI4	信号源	描述	兼容方法
	AWBURST ⁶	NA	Master	突发类型	参见脚注
	AWLOCK ⁶	NA	Master	锁类型	参见脚注
	AWCACHE ⁶	NA	Master	缓存类型	参见脚注
	AWPROT ⁶	NA	Master	保护类型	参见脚注
	AWQOS ⁶	NA	Master	写 QOS 标志符	参见脚注
	AWREGION ⁶	NA	Master	写域标志符	参见脚注
	AWUSER ⁵	axi_awuser_ap	Master	用户自定义，写并自动 precharge	参见脚注
	AWVALID ⁵	axi_awvalid	Master	写地址有效	参见脚注
	AWREADY ⁵	axi_awready	Slave	写地址准备	参见脚注
Write data channel signals	WID ⁵	axi_wusero_id	Master	写 ID	不使用时可分配固定值
	WDATA ⁵	axi_wdata	Master	写数据	参见脚注
	WSTRB ⁵	axi_wstrb	Master	写选通	参见脚注
	WLAST ⁵	axi_wusero_last	Master	写最后一个标记	参见脚注
	WUSER ⁶	NA	Master	用户自定义	参见脚注
	WVALID ⁶	NA	Master	写有效	参见脚注
	WREADY ⁵	axi_wready	Slave	写准备	参见脚注
Write response channel signals	BID ^{7, 8}	NA	Slave	响应 ID	参见脚注
	BRESP ^{7, 8}	NA	Slave	写响应	参见脚注
	BUSER ^{7, 8}	NA	Slave	用户自定义	参见脚注
	BVALID ^{7, 8}	NA	Slave	写响应有效	参见脚注
	BREADY ^{6, 8}	NA	Master	写响应准备	参见脚注
Read address channel signals	ARID ⁵	axi_aruser_id	Master	读 ID	不使用时可分配固定值
	ARADDR ⁵	axi_araddr	Master	读数据地址	参见脚注
	ARLEN ⁵	axi_arlen	Master	突发长度	参见脚注
	ARSIZE ⁶	NA	Master	突发大小	参见脚注
	ARBURST ⁶	NA	Master	突发类型	参见脚注
	ARLOCK ⁶	NA	Master	锁类型	参见脚注
	ARCACHE ⁶	NA	Master	缓存类型	参见脚注
	ARPROT ⁶	NA	Master	包含类型	参见脚注
	ARQOS ⁶	NA	Master	读地址 QOS 标志符	参见脚注
	ARREGION ⁶	NA	Master	读地址域标志符	参见脚注
	ARUSER ⁵	axi_aruser_ap	Master	用户自定义，读并自动 precharge	参见脚注
	ARVALID ⁵	axi_arvalid	Master	读地址有效	参见脚注

6 在 DDR3 IP 例化模块基础上，提供封装模块层，预留输入接口，作为输入信号不接入控制器。

7 在 DDR3 IP 例化模块基础上，提供封装模块层，预留输出接口，作为输出信号可分配固定值即可。

8 对于 MC 而言，内部未提供写响应通道，建议主设备忽略写响应通道功能。

接口信号分类	标准 AXI4	简化 AXI4	信号源	描述	兼容方法
	ARREADY ⁵	axi_arready	Slave	读地址准备	参见脚注
Read data channel signals	RID ⁵	axi_rid	Slave	读 ID	参见脚注
	RDATA ⁵	axi_rdata	Slave	读数据	参见脚注
	RRESP ⁷	NA	Slave	读响应	参见脚注
	RLAST ⁵	axi_rlast	Slave	读最后一个数据	参见脚注
	RUSER ⁷	NA	Slave	用户自定义	参见脚注
	RVALID ⁵	axi_rvalid	Master	读有效	参见脚注
	RREADY ⁶	NA	Master	读准备	参见脚注
Low-power interface signals	CSYSREQ ⁶	NA	时钟控制器	系统低功耗请求	参见脚注
	CSYSACK ⁶	NA	外围设备	低功耗请求响应	参见脚注
	CACTIVE ⁶	NA	外围设备	时钟活动	参见脚注

Simplified AXI4 接口包含 4 个通道，分别为写地址通道、读地址通道、写数据通道、读数据通道，各个通道间彼此独立。一般来说，需先发送地址，再收发数据。用户可通过不同的 id 号，判断返回数据是否为请求值。Simplified AXI4 接口地址与 Memory 地址的对应关系如图 2-16 所示。

MSB		LSB
Row Address	Bank Address	Column Address

图 2-16 Simplified AXI4 接口地址映射的 Memory 地址

(1) 写地址通道时序

写地址通道包含的信号：axi_awready, axi_awvalid, axi_awaddr, axi_awuser_ap, axi_awuser_id, axi_awlen。典型时序如图 2-17 所示。

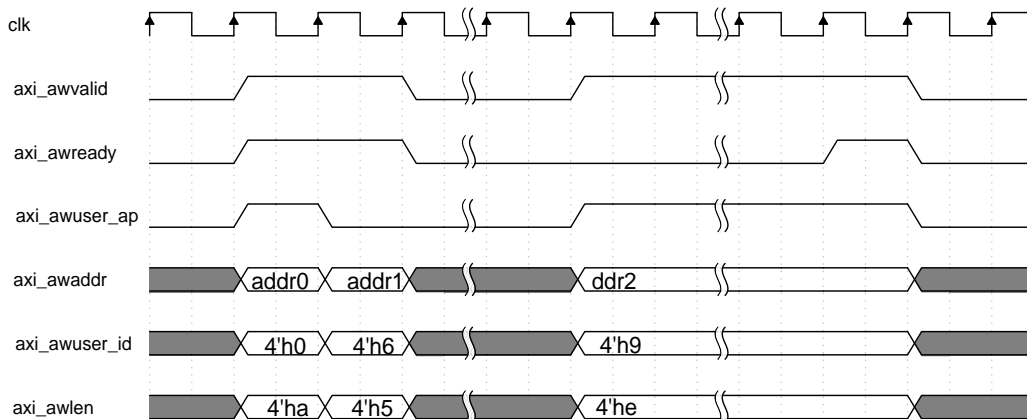


图 2-17 写地址典型时序

- 一次握手完成条件：axi_awready 与 axi_awvalid 同时有效。
- 包长由 axi_awlen 控制，包长为 axi_awlen 的值加 1。
- 握手过程：从 axi_awvalid 有效的时钟上升沿开始，axi_awaddr, axi_awuser_ap, axi_awuser_id, axi_awlen 需保持不变直到握手完成后释放。

(2) 读地址通道时序

读地址通道包含的信号：axi_arready, axi_arvalid, axi_araddr, axi_aruser_ap, axi_aruser_id, axi_arlen。典型时序如图 2-18 所示。

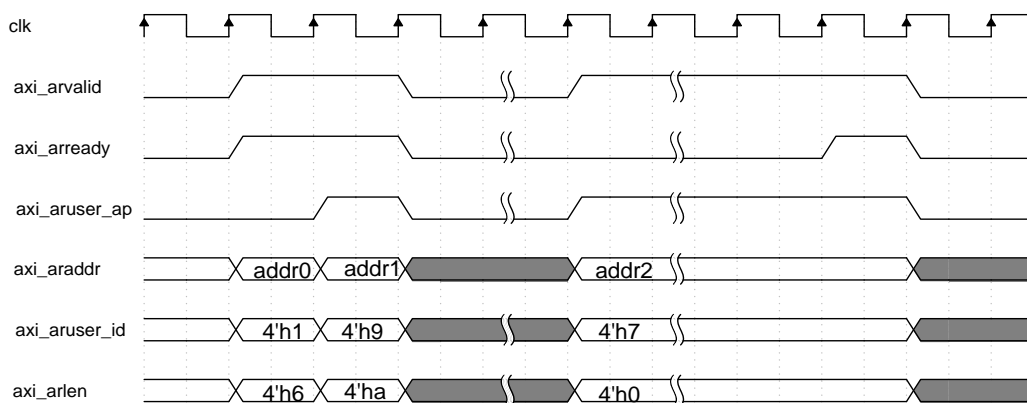


图 2-18 读地址典型时序

- 一次握手完成条件：axi_arready 与 axi_arvalid 同时有效。
- 包长由 axi_arlen 控制，包长为 axi_arlen 的值加 1。
- 握手过程：从 axi_arvalid 有效的时钟上升沿开始，axi_araddr, axi_aruser_ap, axi_aruser_id, axi_arlen 需保持不变直到握手完成后释放。

(3) 写数据通道时序

写数据通道包含的信号：axi_wready, axi_wusero_id, axi_wusero_last, axi_wdata 和 axi_wstrb。典型时序如图 2-19 所示。

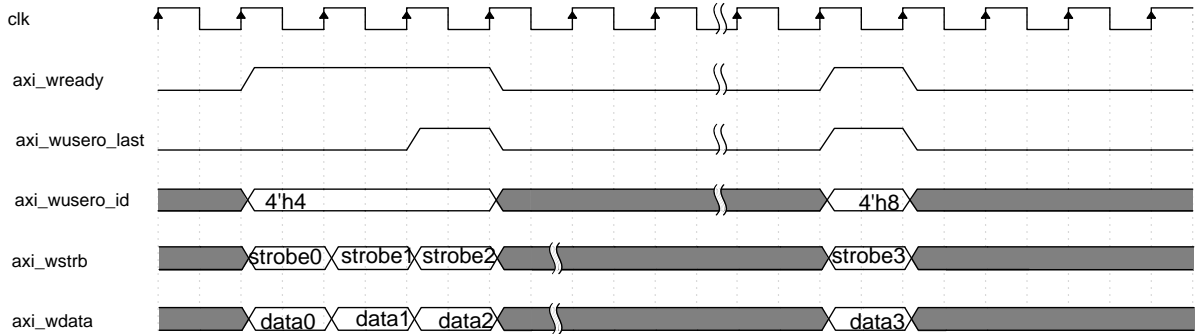


图 2-19 写数据典型时序

- 传输有效指示：axi_wready 有效。
- 一次传输结束指示：axi_wusero_last 有效。
- 传输过程中：axi_wready, axi_wusero_id 和 axi_wusero_last 同步接收, axi_wdata 和 axi_wstrb 同步发送。

(4) 读数据通道时序

读数据通道包含的信号：axi_rdata, axi_rid, axi_rlast 和 axi_rvalid。典型时序如图 2-20 所示。

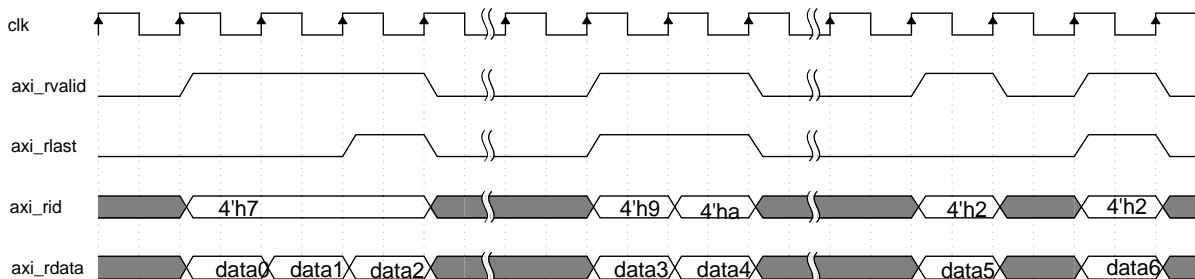


图 2-20 读数据典型时序

- 传输有效指示：axi_rvalid 有效。
- 一次传输结束指示：axi_rlast 有效。

2. Config 接口

Config 接口采用标准的 APB 协议。通过配置对应的寄存器，可使 DDR3 SDRAM 在 Power Down、Self-Refresh、MRS 和 Normal 各状态间互相切换。通过读取对应的寄存器，可以查询 DDR3 当前状态。

APB 接口是半双工通信，读写数据线独立，控制线和地址线复用。每次握手至少需要消耗 2 个 apb_clk 的周期。

APB 接口包含的信号：apb_enable, apb_ready, apb_rdata, apb_sel, apb_write, apb_wdata, apb_clk。

一次握手完成条件：apb_enable 与 apb_ready 同时有效。

(1) APB 接口写时序

APB 接口典型写时序如图 2-21 所示。

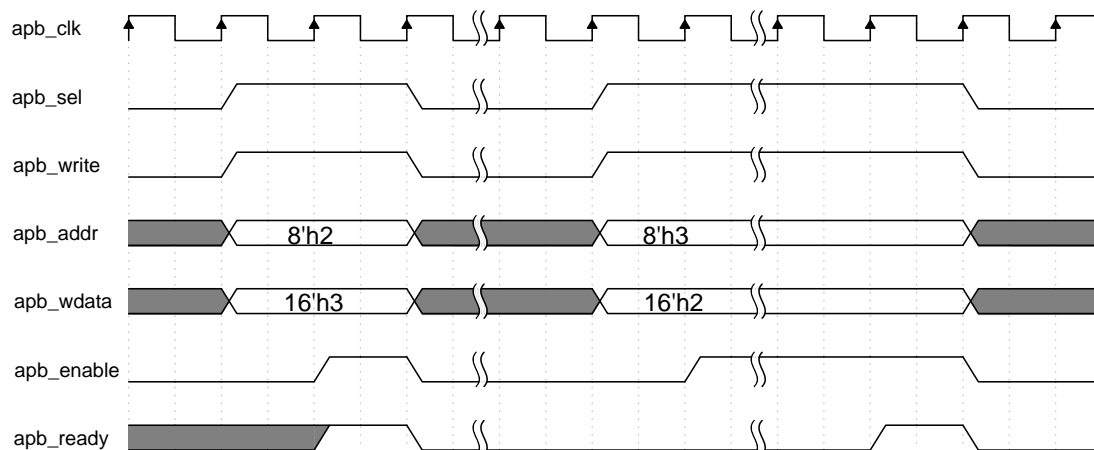


图 2-21 APB 接口典型写时序

- 第一个时钟周期：apb_sel, apb_write 拉高，apb_addr, apb_wdata 给初值，它们需维持稳定直到握手完成后释放。
- 第二个时钟周期：apb_enable 拉高直到握手完成后释放。

(2) APB 接口读时序

APB 接口典型读时序如图 2-22 所示。

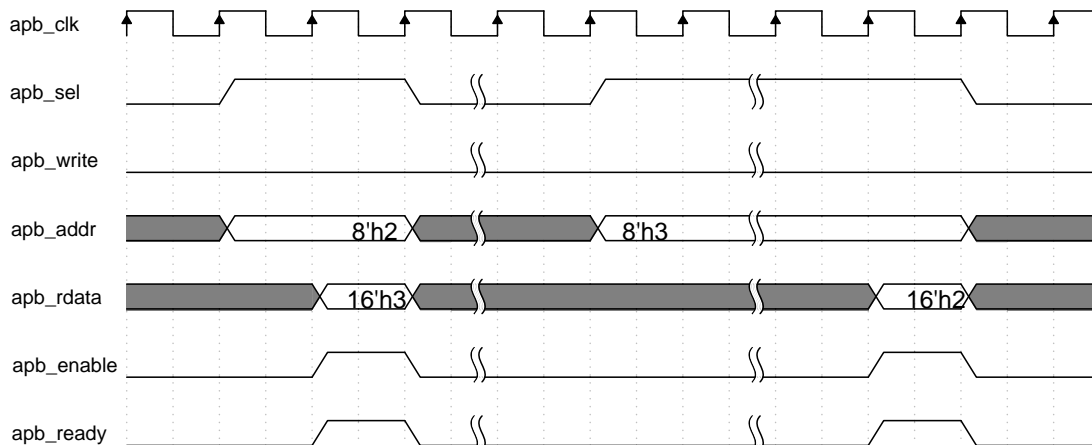


图 2-22 APB 接口典型读时序

- 第一个时钟周期：apb_sel 拉高，apb_write 拉低，apb_addr 给初值，它们需维持稳定直到握手完成后释放。
- 第二个时钟周期：apb_enable 拉高直到握手完成后释放。
- 有效数据：apb_rdata 只在握手时有效。

(3) DDR3 状态切换与查询方法

为避免用户的状态切换请求干扰正常的 DDR3 时序，用户在进行状态切换时需要遵循一定的操作规则（查询 STATUS_REG_ADDR 寄存器，判断 DDR3 当前状态及请求是否已响应；控制 CTRL_MODE_DATA 寄存器，实现 DDR3 状态间的切换）。

- 在发送新的状态切换请求时，必须先查询当前的状态切换请求是否已响应，否则将导致错误；
- 状态切换请求与状态切换触发使能需同步发送，即 CTRL_MODE_DATA 的 bit 0，bit[15:14]需同时配置。
- 配置 DDR3 内部的 Mode Registers 时，需要先配置 MODE_REG_0_ADDR，MODE_REG_1_ADDR，MODE_REG_2_ADDR，MODE_REG_3_ADDR 寄存器，然后再配置 CTRL_MODE_DATA 的寄存器。
- 发送状态切换请求后，需等待 2 个 apb_clk 之后，再检测相关状态寄存器，查看是否已经响应。

状态请求切换流程如图 2-23 所示，以控制 DDR3 进入 Power Down 状态为例。

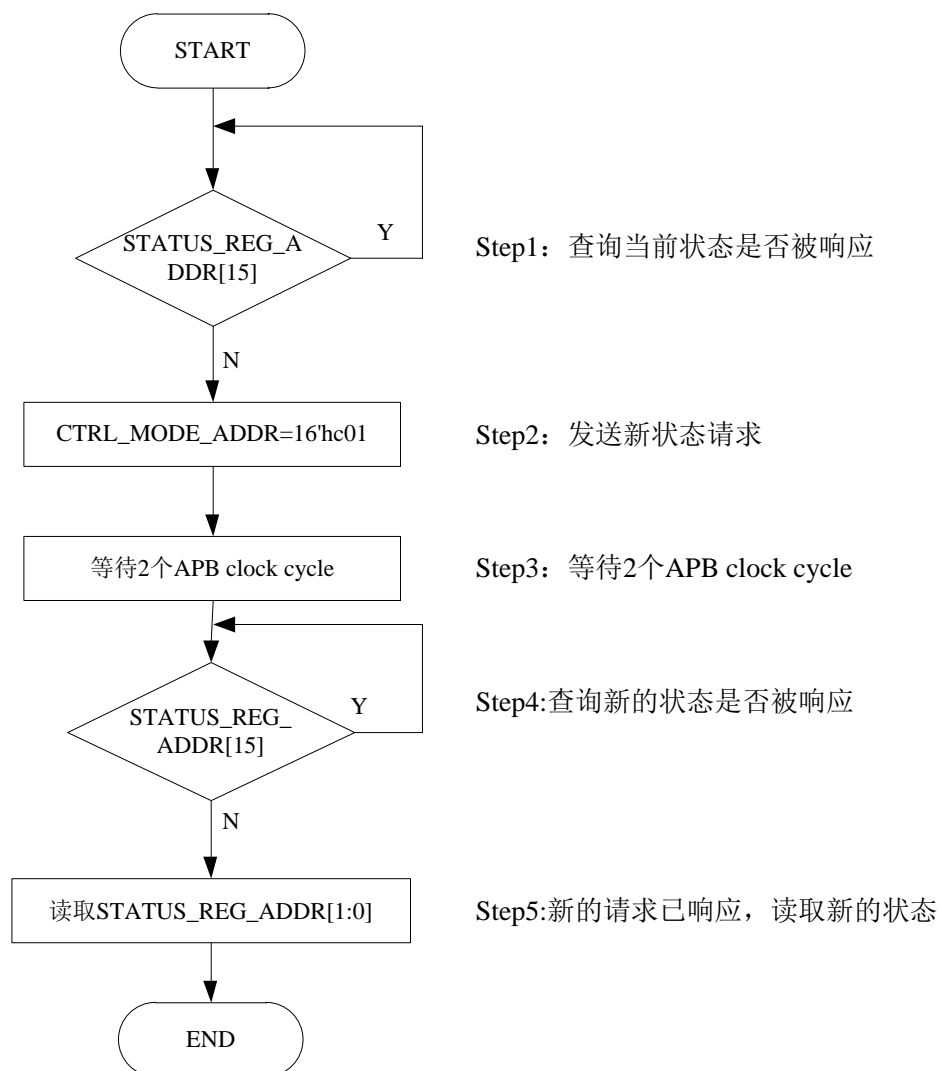


图 2-23 DDR3 状态请求切换流程图

2.5.3 PHY 接口说明

1. 时钟与复位接口

表 2-16 时钟与复位接口

端口	I/O	位宽	有效值	描述
ref_clk	I	1	-	外部参考时钟输入。
ddr_rstn	I	1	-	外部复位输入。
pll_lock	O	1	高电平	PLL 锁定指示，高电平表示已经锁定。
ddrphy_clkin	I	1	-	PHY 的系统时钟，输出到 controller 的工作时钟。
ddrphy_ioclk	I	9	-	数据总线 IO 时钟。
ioclk_gate_clk	I	1	-	PLL gate 信号采样时钟

注：“-”表示无该项参数。

2. DFI 接口

表 2-17 DFI 接口

端口	I/O	位宽	有效值	描述
dfi_address	I	4*ROW_ADDR_WIDTH	-	DFI 地址总线。
dfi_bank	I	4*BADDR_WIDTH	-	DFI bank.地址总线。
dfi_reset_n	I	4	-	DFI chip reset。
dfi_cs_n	I	4	-	DFI chip select。
dfi_ras_n	I	4	-	DFI row address strobe bus。
dfi_cas_n	I	4	-	DFI column address strobe。
dfi_we_n	I	4	-	DFI write enable signal。
dfi_cke	I	4	-	DFI clock enable。
dfi_odt	I	4	-	DFI on-die termination control bus。
dfi_rddata_valid	O	1	高电平	dfi 接口的读数据有效。
dfi_rddata	O	DQ_WIDTH*8	-	dfi 接口的数据。
dfi_wrdata_en	I	4	高电平	DFI write enable signal。
dfi_wrdata	I	DQ_WIDTH*8	-	DFI 写数据。
dfi_wrdata_mask	I	DQ_WIDTH*8/8	高电平	DFI Write data byte mask。
dfi_init_complete	O	1	高电平	PHY 完成 training 相关操作，已处于 normal 状态。
dfi_error	O	1	高电平	PHY training 错误指示。
dfi_phyupd_req	O	1	-	PHY 请求进行 update。

端口	I/O	位宽	有效值	描述
dfi_phyupd_ack	I	1	-	dfi_phy_req 的反馈信号，允许 PHY 进行 update。

注：“-”表示无该项参数。

3. Memory 接口

注意：

本 IP 中的 Memory 接口以协议为准。若用户选型的颗粒包含协议没有的接口，请参考对应颗粒 Datasheet 自行添加并妥善处理。

表 2-18 Memory 接口

端口	I/O	位宽	有效值	描述
mem_a	O	ROW_ADDR_WIDTH	-	DDR 行列地址总线。
mem_ba	O	BANK_ADDR_WIDTH	-	DDR Bank 地址。
mem_ck	O	1	-	DDR 输入系统时钟。
mem_ck_n	O	1	-	DDR 输入系统时钟。
mem_cke	O	1	高电平	DDR 输入系统时钟有效。
mem_dm	O	DM_WIDTH	高电平	DDR 输入数据 Mask。
mem_odt	O	1	-	DDR ODT。
mem_cs_n	O	1	低电平	DDR 的片选。
mem_ras_n	O	1	低电平	行地址使能。
mem_cas_n	O	1	低电平	列地址使能。
mem_we_n	O	1	低电平	DDR 写使能信号。
mem_reset_n	O	1	低电平	DDR 复位。
mem_dq	I/O	DQ_WIDTH	-	DDR 的数据。
mem_dqs	I/O	DQS_WIDTH	-	DDR 的数据随路时钟。
mem_dqs_n	I/O	DQS_WIDTH	-	DDR 的数据随路时钟。

注：“-”表示无该项参数。

4. 调试接口

表 2-19 调试接口

端口	I/O	位宽	描述
debug_data	O	34*DQS_WIDTH	每组 DDRPHY 的 Debug 数据, 8bit DQ 共用一个 DDRPHY。
debug_calib_ctrl	O	22	Tainning 状态的 Debug 数据。
debug_slice_state	O	13*MEM_DQS_WIDTH	training 状态。
dll_step	O	8	DLL 输出的 delay step。
dll_lock	O	1	DLL 输出的 lock 标志信号, 高有效。
force_read_clk_ctrl	I	1	dqs gate 位置固定使能, 高电平有效。 0: dqs gate 位置在 training 过程中变化; 1: dqs gate 位置不变, 始终为初始值。
init_slip_step	I	4	dqs gate 粗调位置的初始值。
init_read_clk_ctrl	I	3	dqs gate 细调位置的初始值。
ck_dly_set_bin	I	8	命令和地址信号的 delay step。
ddrphy_gate_update_en	I	1	gate update 使能信号。
update_com_val_err_flag	O	1	drift 码值跳变异常指示信号。
rd_fake_stop	I	1	假读终止信号。

2.5.4 PHY 接口时序描述

1. DFI 接口规范

用户直接访问 PHY Layer 时, 需要符合本文定义的一类 DFI 接口规范。通过该接口, 用户可实现以下操作。

- 访问 (读/写) DDR SDRAM;
- 使 DDR3 进入 Power Down 或 Self-Refresh 状态;
- 动态配置 DDR SDRAM 内部寄存器的值;
- 读取 DDR SDRAM 所处的状态。

本设计采用的 DFI 接口与标准的 *DFI 3.1 Specification*[9], 存在的差别参见表 2-20 和表 2-21。

表 2-20 本设计的 DFI 接口与标准 DFI 差异

接口	差异
ControlInterface	对 tctrl_delay 和 tcmd_lat 不做要求。
Write DataInterface	除 dfi_wrdata_cs_n 信号，其余与标准 DFI 兼容。
Read DataInterface	只保留 dfi_rddata 和 dfi_rddata_valid 信号。
UpdateInterface	采用自定义接口。
StatusInterface	只保留 dfi_init_complete。
TrainingInterface	NA。
Low PowerControl Interface	NA。
ErrorInterface	兼容。

表 2-21 DFI 接口与标准 DFI 详细差异对比

接口信号分类	标准 DFI	简化 DFI	信号源	描述
Control signals	dfi_address	dfi_address	MC	DFI 地址总线。
	dfi_bank	dfi_bank	MC	DFI bank 地址总线。
	dfi_cas_n	dfi_cas_n	MC	DFI column address strobe, 仅适用于 DDR3。
	dfi_cid	NA	MC	DFI Chip ID。
	dfi_cke	dfi_cke	MC	DFI clock enable。
	dfi_cs_n	dfi_cs_n	MC	DFI chip select。
	dfi_odt	dfi_odt	MC	DFI on-die termination control bus
	dif_ras_n	dif_ras_n	MC	DFI row address strobe bus, 仅适用于 DDR3。
	dfi_reset_n	dfi_reset_n	MC	DFI chip reset。
	dfi_we_n	dfi_we_n	MC	DFI write enable signal, 仅适用于 DDR3。
Write Data Siganls	dfi_wrdata	dfi_wrdata	MC	DFI 写数据。
	dfi_wrdata_cs_n	NA	MC	DFI Write Data Chip Select。
	dfi_wrdata_en	dfi_wrdata_en	MC	DFI write enable signal。
	dfi_wrdata_mask	dfi_wrdata_mask	MC	DFI Write data byte mask。
Read Data Signals	dfi_rddata	dfi_rddata	PHY	dfi 接口的数据。
	dfi_rddata_cs_n	NA	MC	DFI Read Data Chip Select。
	dfi_rdata_dbi_n	NA	PHY	Read Data DBI。
	dfi_rddata_en	NA	MC	Read data enable。
	dfi_rddata_valid	dfi_rddata_valid	PHY	dfi 接口的读数据有效。
	dfi_rddata_dnv	NA	PHY	DFI data not valid。
Update	dfi_ctrlupd_ack	NA	PHY	MC-initiated update acknowledge。

接口信号分类	标准 DFI	简化 DFI	信号源	描述
Signals	dfi_ctrlupd_req	NA	MC	MC-initiated update request。
	dfi_phyupd_ack	dfi_phyupd_ack	MC	PHY-initiated update acknowledge。
	dfi_phyupd_req	dfi_phyupd_req	PHY	PHY-initiated update request。
	dfi_phyupd_type	NA	PHY	PHY-initiated update select。
Status Signals	dfi_alert_n	NA	PHY	CRC or parity error indicator。
	dfi_data_byte_disable	NA	MC	Data byte disable。
	dfi_dram_clk_disable	NA	MC	DRAM clock disable。
	dfi_freq_ratio	NA	MC	DFI frequency ratio indicator。
	dfi_init_complete	dfi_init_complete	PHY	PHY initialization complete。
	dfi_init_start	NA	MC	DFI setup stabilization or frequency change initiation。
DFI Training Signals	dfi_calvl_capture	NA	MC	CA training capture。
	dfi_phy_calvl_cs_n	NA	PHY	CA training chip select。
	dfi_calvl_en	NA	MC	PHY CA training logic enable。
	dfi_calvl_req	NA	PHY	PHY-initiated CA training request。
	dfi_calvl_resp	NA	PHY	CA training response。
	dfi_lvl_pattern	NA	MC	Training pattern。
	dfi_lvl_periodic	NA	MC	Training length indicator (full or periodic)。
	dfi_phylvl_ack_cs_n	NA	MC	DFI PHY training chip select acknowledge。
	dfi_phylvl_req_cs_n	NA	PHY	DFI PHY training chip select request。
	dfi_phy_rdlvl_cs_n	NA	PHY	Read training chip select for read data eye training。
	dfi_phy_rdlvl_gate_cs_n	NA	PHY	Read training chip select for gate training。
	dfi_phy_wrlvl_cs_n	NA	PHY	Write leveling chip select。
	dfi_rdlvl_en	NA	MC	PHY read data eye training logic enable。
	dfi_rdlvl_gate_en	NA	MC	PHY gate training logic enable。
	dfi_rdlvl_gate_req	NA	PHY	PHY-initiated gate training request。
	dfi_rdlvl_req	NA	PHY	PHY-initiated read data eye training request。
	dfi_rdlvl_resp	NA	PHY	Read training response。
	dfi_wrlvl_en	NA	MC	PHY write leveling logic enable。
	dfi_wrlvl_req	NA	PHY	PHY write leveling request。
	dfi_wrlvl_resp	NA	PHY	Write leveling response。
	dfi_wrlvl_strobe	NA	MC	Write leveling strobe。

接口信号分类	标准 DFI	简化 DFI	信号源	描述
Low Power Control Signals	dfi_lp_ack	NA	PHY	Low power acknowledge
	dfi_lp_ctrl_req	NA	MC	Low power opportunity control request。
	dfi_lp_data_req	NA	MC	Low power opportunity data request。
	dfi_lp_wakeup	NA	MC	Low power wakeup time。
Error Signals	dif_error	dif_error	PHY	DFI Error。
	dfi_error_info	NA	PHY	DFI Error Info。

2. DFI 接口时序

MC 与 PHY 的工作时钟频率比是 1:4，即每个 MC 指令对应 4 个 Phase 的 PHY 指令。可根据要求，将指令和数据分别分布在 PHY 的 4 个 Phase 中。用户在 DFI 接口发送控制指令时，需严格遵循 DDR SDRAM 关于指令和数据时延的要求，DFI 指令只能在 dfi_init_complete 拉高后才能被接收，PHY 对读操作的数据对齐。

(1) DFI 接口写时序

向 DDR3 SDRAM 写入数据，需要先发送 write 指令，再发送数据，典型时序如图 2-24 所示。

- 写操作的控制线：dfi_cs_n, dfi_ras_n, dfi_cas_n, dfi_we_n, dfi_cke, dfi_odt。
- 写操作的地址线：dfi_bank, dfi_address。
- 写操作的数据线：dfi_wrdata_en, dfi_wrdata, dfi_wrdata_mask。

(2) DFI 接口读时序

从 DDR3 SDRAM 读取数据，需要先发送 read 指令，再接收 PHY 通过 DFI 返回的数据，典型时序如图 2-25 所示。

- 读操作的控制线：dfi_cs_n, dfi_ras_n, dfi_cas_n, dfi_we_n, dfi_cke, dfi_odt。
- 读操作的地址线：dfi_bank, dfi_address。
- 读操作的数据线：dfi_rddata, dfi_rddata_valid。

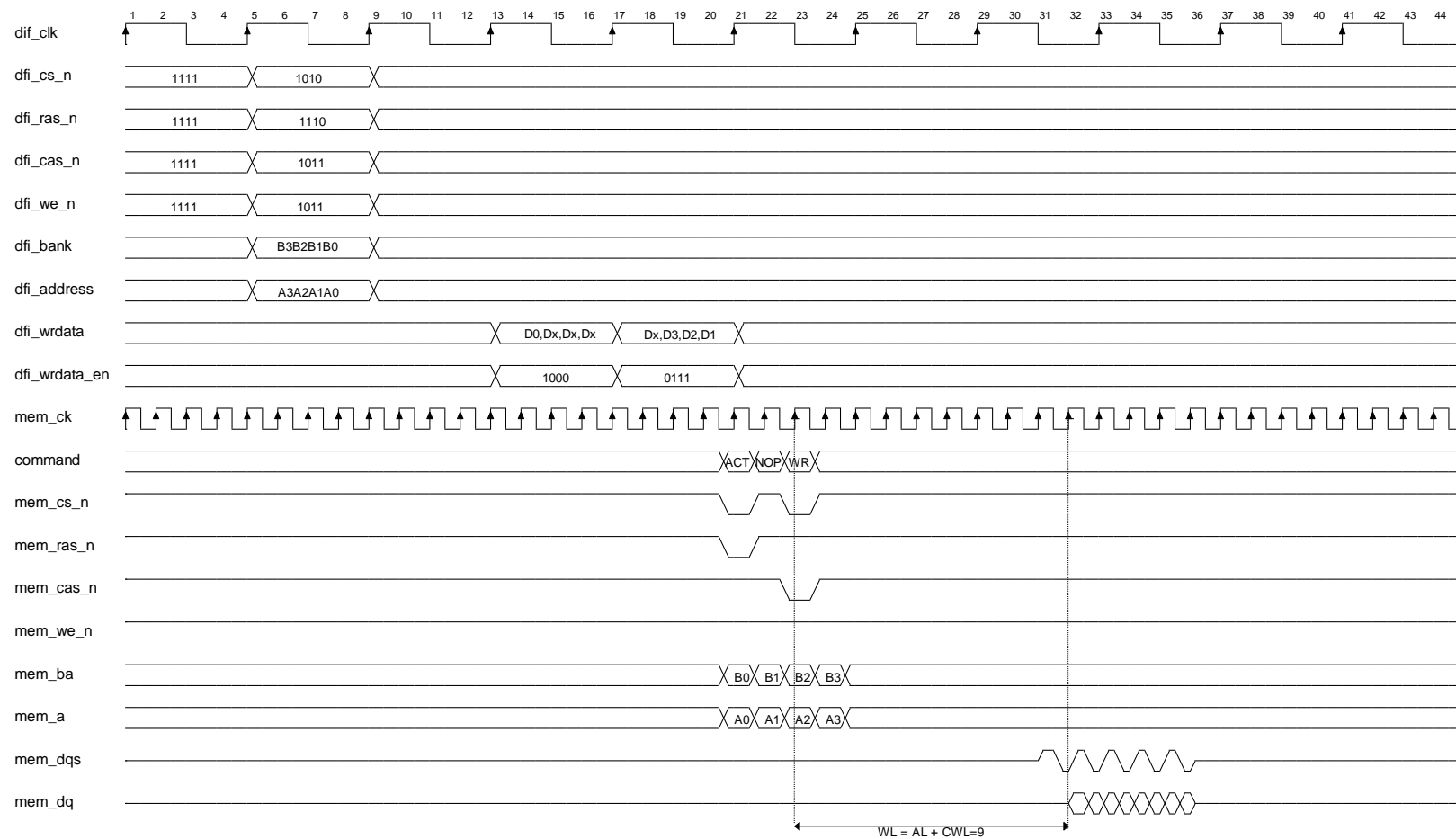


图 2-24 DFI 接口写操作时序

注：该时序图为 WL=9 时的仿真时序图。

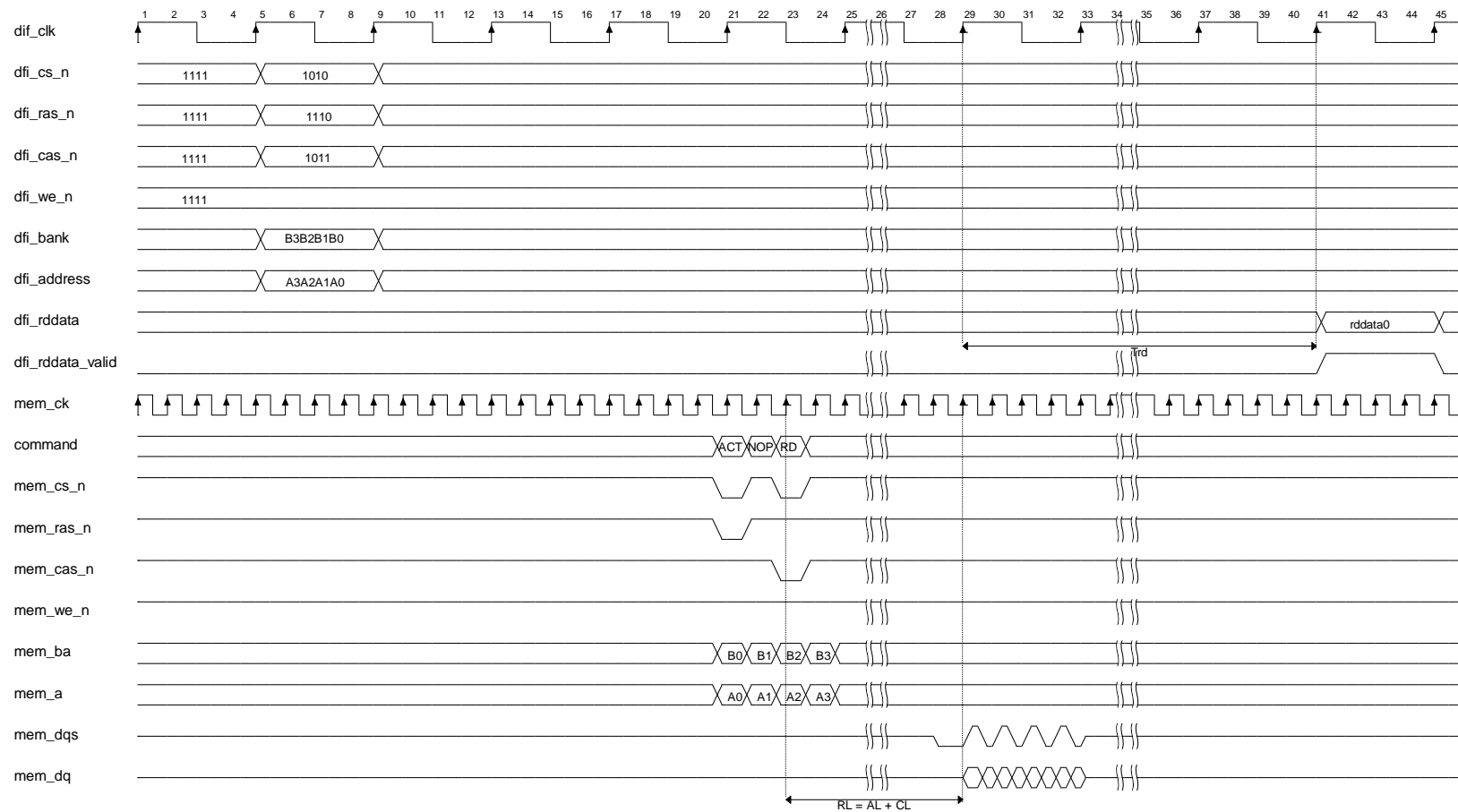


图 2-25 DFI 接口读操作时序

注：该时序图为仿真时序图，Trd 为 7 个 dfi_clk 周期，实际上板时序与上图有差别。

2.5.5 Debug 数据描述

1. debug_data 描述

debug_data 各字段含义描述参见表 2-22。

表 2-22 debug_data 各字段定义

Bits	对应调试端口	描述
3:0	coarse_slip_step	dqs gate training 得到的粗调位置
5:4	read_clk_ctrl	dqs gate training 得到的细调位置
8:6	gate_win_size	dqs gate training 有效窗口的个数
9	samp_win_valid	读数据 dq 有效窗口的个数大于最小查看个数
17:10	samp_win_size	读数据 dq 有效窗口的个数
25:18	samp_center_position	读数据 dq 窗口中心位置
33:26	wrlvl_step	write leveling 完成时得到的 dqs 延时 step

2. debug_calib_ctrl 描述

debug_calib_ctrl 各字段含义描述参见表 2-23。

表 2-23 debug_calib_ctrl 各字段定义

Bits	对应调试端口	描述
3:0	dbg_upcal	update 控制状态机
8:4	dbg_rdccl	MPR 读校准控制状态机
13:9	dbg_wrlvl	write leveling 校准控制状态机
18:14	dbg_init	上电初始化流程控制状态机
21:19	dbg_main	training 主状态机

3. dbg_slice_state 描述

dbg_slice_state 各字段含义描述参见表 2-24。

表 2-24 dbg_slice_state 各字段定义

Bits	对应调试端口	描述
2:0	dbg_slice_rdchk_state	读校准数据比较状态机状态输出。
6:3	dbg_slice_rdccl_state	读校准控制 dqs 延时状态机状态输出。
9:7	dbg_slice_gate_state	调整 dqs gate 延时状态机状态输出。
12:10	dbg_slice_wrlvl_state	控制 write leveling 延时状态机状态输出。

2.6 IP 寄存器描述

本节介绍 HMIC_S IP 相关寄存器说明及访问方式。

2.6.1 寄存器说明

1. Controller 内部寄存器

(1) MODE_REG_0_ADDR

该寄存器位宽是 16bit，访问地址是 0x00。

表 2-25 MODE_REG_0_ADDR 各 Bit 定义

Bits	名称	复位值	访问类型	描述
1:0	BL	2'b00	R	Burst Length。
2	CL[0]	例化值	R/W	CAS Latency, CL 第 0bit。
3	RBT	例化值	R/W	Read Burst Type。
6:4	CL[3:1]	例化值	R/W	CAS Latency, CL 第[3:1]bit, CL 最大值是 8。
7	TM	1'b0	R	Mode。
8	DLL	0	R	DLL Reset。
11:9	WR	例化值	R/W	Write recovery for autoprecharge。
12	PPD	1	R	DLL Control for Precharge PD。
15:13	保留	0	R	保留。

(2) MODE_REG_1_ADDR

该寄存器位宽是 16bit，访问地址是 0x01。

表 2-26 MODE_REG_1_ADDR 各 Bit 定义

Bits	名称	复位值	访问类型	描述
0	DLL	1'b0	R	DLL Enable。
1	D.I.C[0]	1'b0	R/W	Output Driver Impedance Control, D.I.C 第 0 bit。
2	Rtt_Nom[0]	例化值	R/W	Rtt_Nom, 第 0 bit。
4:3	AL	2'b10	R	Additive Latency。
5	D.I.C[1]	例化值	R/W	Output Driver Impedance Control, D.I.C 第 1 bit。
6	Rtt_Nom[1]	1'b0	R/W	Rtt_Nom 第 1bit。
7	Level	1'b0	R	Write leveling enable, 详细值参考 JESD79-3E。
8	保留	1'b0	R	保留。
9	Rtt_Nom[2]	例化值	R/W	Rtt_Nom 第 2 bit。
10	保留	1'b0	R	保留。
11	TDQS	1'b0	R	TDQS enable。
12	Qoff	1'b0	R	Qoff。
15:13	保留	3'b000	R	保留。

(3) MODE_REG_2_ADDR

该寄存器位宽是 16bit，访问地址是 0x02。

表 2-27 MODE_REG_2_ADDR 各 Bit 定义

Bits	名称	复位值	访问类型	描述
2:0	PASR	3'b0	R	Partial Array Self-Refresh (Optional)。
5:3	CWL	例化值	R/W	CAS write Latency。
6	ASR	1'b0	R	Auto Self-Refresh。
7	SRT	1'b0	R	Self-Refresh Temperature Rang。
8	保留	1'b0	R	保留。
10:9	Rtt_WR	2'b00	R/W	Rtt_WR。
15:11	保留	5'b0	R	保留。

(4) MODE_REG_3_ADDR

该寄存器存储 MR3 的各个配置位，位宽为 16bit，访问地址是 0x03，每 Bit 的定义参见表 2-28。

表 2-28 MODE_REG_3_ADDR 各 Bit 定义

Bits	名称	复位值	访问类型	描述
[15:0]	保留	16'h0	R	详细值参考 JESD79-3E

(5) CTRL_MODE_DATA

该寄存器存储用户下发的指令（MRS，Low Power，Normal），访问地址是 0x04，每 Bit 的定义参见表 2-29。

表 2-29 CTRL_MODE_DATA 各 Bit 定义

Bits	名称	复位值	访问类型	描述
0	enable	1'b0	R/W	ddr core 状态切换触发使能。
13:1	保留	13'h0	R	保留。
15:14	select	2'b00	R/W	DDR Core 状态选择。 00: Normal; 01: MRS; 10: Self-Refresh; 11: Power Down。

(6) STATUS_REG_DATA

该寄存器存储 DDR 的当前状态，访问地址是 0x05，每 Bit 的定义参见表 2-30。

表 2-30 STATUS_REG_DATA 各 Bit 定义

Bits	名称	复位值	访问类型	描述
1:0	mode_state	2'b0	R	存储 DDR3 的当前状态。 2'b00: Normal State; 2'b01:Self-Refresh State; 2'b10:Power Down State; 2'b11:MRS State。
14:2	保留	13'b0	R	保留
15	busy	1'b0	R	ddr3 的当前请求是否被响应: 1'b0: 已响应当前请求 1'b1: 当前请求未被处理

2. PHY 内部寄存器

DDR PHY 内部寄存器支持 DDR3，含义与协议完全一致。详细说明请参见 *JESD79-3D, DDR3 SDRAM Standard*[8]。

2.6.2 寄存器访问

Controller 内部寄存器使用 APB 接口访问，寄存器数据通过地址通过 apb_wdata 和 apb_rdata 传递，寄存器地址通过 apb_addr 传递，各寄存器的地址值请参见“2.6.1 寄存器说明”。

PHY 内部寄存器访问方式与访问 Memory 内部 Mode Register 寄存器方式一致。

2.7 典型应用

HMIC_S IP 的典型应用请参见“2.4 Example Design”。

2.8 说明与注意事项

2.8.1 Simplified AXI4 接口 Burst 计算

Start_Address = ADDR;

Burst_Length= len;

End_Address = ADDR + len * 8。

2.8.2 时钟约束

HMIC_S IP 有多个时钟需要约束，分别为 ref_clk、ddrphy_clkin、ioclk，各时钟间的关系如图 2-26 所示。具体约束方法可参考 IP /pnr 目录下的.fdc 文件。

其中，ref_clk 是输入参考时钟，ddrphy_clkin 是 PLL 倍频再通过 GTP_IOCLKDIV 分频得到，ioclk 是 PLL 倍频得到。ddrphy_clkin 是 IP 软逻辑的系统时钟，ioclk 为快速时钟。

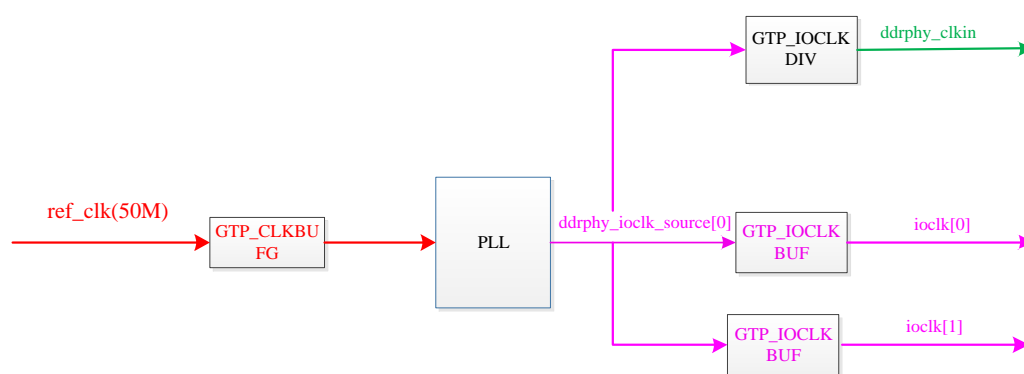


图 2-26 IP 内部时钟结构

2.8.3 IO 约束

对芯片内部模块的位置约束需要与.fdc 文件提供的位置约束一致，约束位置不可更改，路径根据具体情况修改。

对管脚位置和电平标准等参数的约束在 UCE (User Constraint Editor) 中进行，具体参数的配置可参考 IP /pnr 目录下的.fdc 文件，对管脚参数设置的部分要求如下。

- VCCIO 需要设置为 1.5V (DDR3 为 1.5)；
- mem_ck 为差分输出信号，需要使用 SSTL15D_I 电平；
- mem_dqs 为双向差分信号，需要使用 SSTL15D_I 电平；
- 其余信号为单端信号，需要使用 SSTL15_I 电平；
- mem_dqs/mem_dq 信号在 FPGA 端需要终端电阻匹配，建议使用内部终端电阻，将 DDR_TERM_MODE 设置为 ON；
- 其余参数采用默认设置即可。

2.8.4 布线约束

若 DDR 工程有优先布线约束的需求, 优先布线信息存储在/pnr 目录的 inst_name.rcf 文件中, Example Design 工程会自动加载该文件。如果用户自行建立工程, 则需要手动加载该文件, 可参见 PDS 安装路径下帮助文档: *Route_Constraint_Editor_User_Guide*[7]。

2.8.5 DM_GROUP_EN 参数配置说明

针对 DM 信号放在同一个 GROUP 的应用场景, 在 ddrphy_top 中增加了参数 DM_GROUP_EN。该参数配置为 0 时, 判断 DM 信号与 DQ 信号在同一个 GROUP; 该参数配置为 1 时, 判断 DM 信号均放至低八位 DQ 所在的 GROUP 中, 兼容客户端的应用场景。

注意:

该应用场景目前仅支持数据位宽为 16 位。

2.9 IP 调试手段

2.9.1 关键指示信号

针对 DDRPHY 运行过程中的一些关键信息, 为方便观察做成了单 bit 指示信号, 可以接到外部 LED 或用其他方式监控, 可快速判断 DDRPHY 的运行状态。关键指示信号说明参见表 2-31。

表 2-31 关键指示信号

信号名	I/O	位宽	描述
ddr_init_done	O	1	PHY 完成 training 相关操作, 已处于 normal 状态。
heart_beat_led	O	1	心跳信号。 当 ddrphy 系统时钟正常时, 约 1 秒闪动一次。(Example Design 中产生的信号)
err_flag_led	O	1	数据检测错误信号。 1: 数据检测出现错误, 排除错误后需要手动清除。 0: 数据检测无错误。 (Example Design 中产生的信号)

2.9.2 内部状态和控制信号

针对其它一些用于调试的非实时变化的内部状态信号和控制信号，参见表 2-19，该部分信号可通过串口方便的进行读写。通过开发配套脚本，可实现灵活的调试。

串口访问示意图参见图 2-14，DDRPHY Example Design 中的 uart_ctrl 模块为串口通讯模块，上位机通过串口和 uart_ctrl 模块实现内部状态信号和控制信号的读写操作。

DDRPHY Example Design 采用的串口配置参见表 2-32。

表 2-32 DDRPHY Example Design 串口配置

波特率	起始位	数据位	停止位	校验位	流控制
115200bps	1bit	8bit	1bit	None	None

说明：

内部调试过程中开发了一套串口脚本，如有需要请联系 AE 获取。

第3章 附录

3.1 参考文档

- [1] Pango_Design_Suite_Quick_Start_Tutorial
- [2] Pango_Design_Suite_User_Guide
- [3] IP_Compiler_User_Guide
- [4] Simulation_User_Guide
- [5] User_Constraint_Editor_User_Guide
- [6] Physical_Constraint_Editor_User_Guide
- [7] Route_Constraint_Editor_User_Guide
- [8] JESD79-3D, DDR3 SDRAM Standard
- [9] DDR PHY Inteface, DFI 3.1 Specification

3.2 术语表

A

APB	Advanced Peripheral Bus
AXI	AdvancedeXtensible Interface

D

DDR	Double Data Rate
DFI	DDR PHY Interface

L

LP	Low Power
----	-----------

M

MC	Memory Controller
----	-------------------

MR Mode Register

MRS Mode Register Set

P

PHY Physical

R

RD Read

U

UI User Interface

W

WR Write

3.3 缩略语表

D

DCD DDR Command Decode

DCP DDR3 Command Procedure

H

HMIC High performance Memory Interface Controller

I

IPC IP Compiler

P

PDS Pango Design Suite

U

UCE User Constraint Editor

3.4 声明**3.4.1 版权声明**

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

3.4.2 免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。