

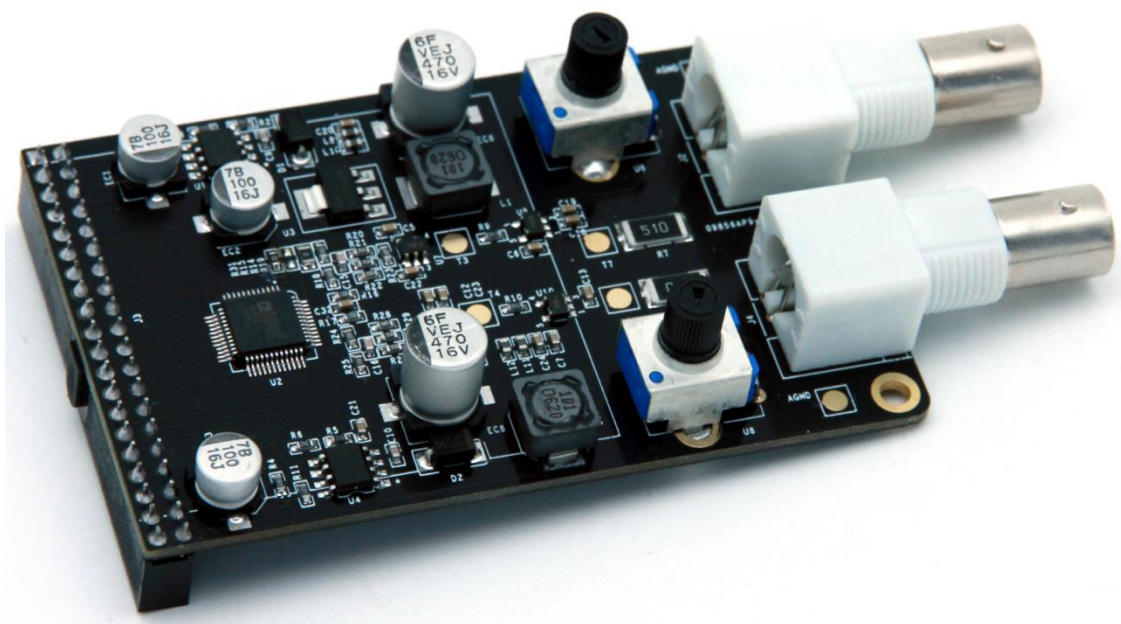
## AD9767 双通道正弦波产生例程

黑金动力社区 2023-02-24

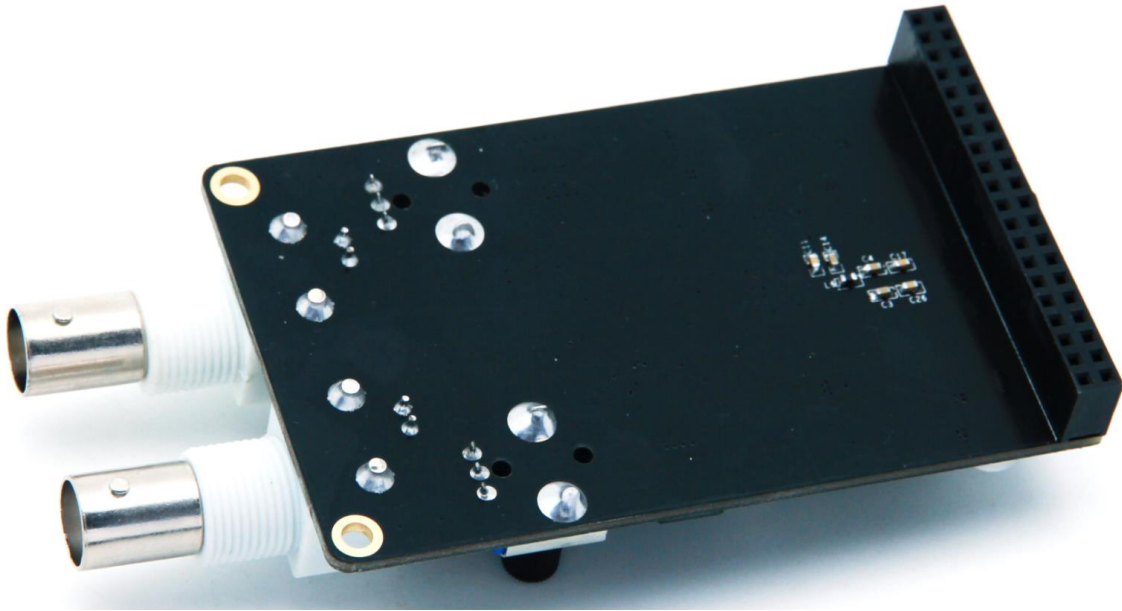
### 1 实验简介

本实验练习使用 AN9767 模块，实验中使用的模块是采用 ANALOG DEVICES 公司的 AD9767 芯片，支持独立双通道、14 位、125MSPS 的数模转换。在教程中介绍了利用该模块与 FPGA 开发板相连输出双通道 14 位的三角波，然后通过示波器查看把输出的三角波的波形。

AN9767 模块实物照片如下：



AN9767 模块正面图



AN9767 模块背面图

AN9767 双通道 DA 模块的详细参数:

- DA 转换芯片: AD9767;
- 通道数: 2 通道;
- DA 转换位数: 14bit;
- DA 更新速率: 125 MSPS;
- 输出电压范围: -5V~+5V;
- 模块 PCB 层数: 4 层, 独立的电源层和 GND 层;
- 模块接口: 40 针 2.54mm 间距排座, 方向向下;
- 工作温度: -40°~85° 模块使用芯片均满足工业级温度范围
- 输出接口: 2 路 BNC 模拟输出接口 (用 BNC 线可以直接连接到示波器) ;

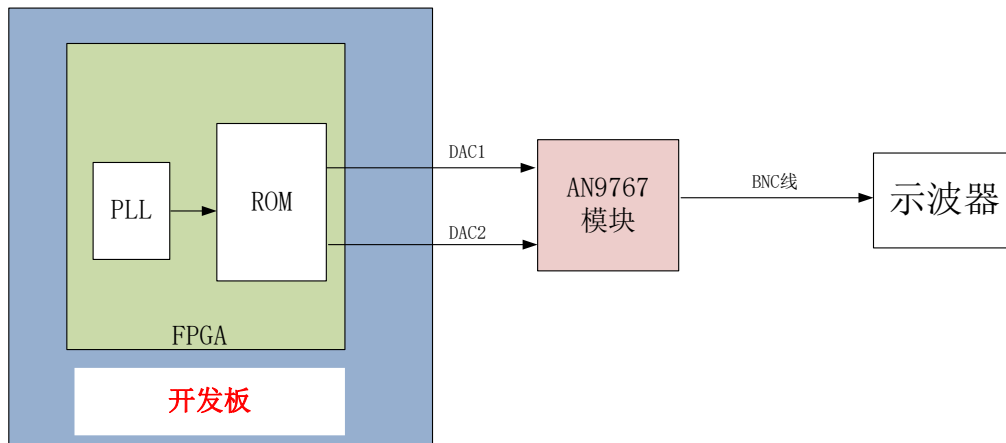
## 2 实验原理

AN9767 模块实验原理见《AD9767 双通道正弦波产生例程》中相关章节内容, 这里不再重复。

## 3 程序设计

例程中提供了 AN9767 模块的 DA 测试程序, 通过 AN9767 模块来实现三角波信号的输出。

三角波测试程序是通过在 FPGA 中产生一个计数模块，然后把计数模块的数据输出给 AN9767 模块进行数模的转换，从而得到三角波的模拟信号。三角波测试程序的示意图如下：



### 3.1 双通道三角波发生程序

```

`timescale 1ns / 1ps
/////////////////////////////////////////////////////////////////
//Two tri wave outputs -10V ~ +10V
/////////////////////////////////////////////////////////////////
module ad9767_test
(
input sys_clk_p,           // Differential input clock 200Mhz
input sys_clk_n,           // Differential input clock 200Mhz

output da1_clk,             //AD9767 CH1 clock
output da1_wrt,             //AD9767 CH1 enable
output [13:0] da1_data,     //AD9767 CH1 data output

output da2_clk,             //AD9767 CH2 clock
output da2_wrt,             //AD9767 CH2 enable
output [13:0] da2_data      //AD9767 CH2 data output
);

reg [15:0] trig_data;
wire clk_125M;

assign da1_clk=clk_125M;
assign da1_wrt=clk_125M;
assign da1_data=trig_data;

assign da2_clk=clk_125M;
assign da2_wrt=clk_125M;
assign da2_data=trig_data;

//=====
// 引脚
//=====
wire sys_clk_ibufg;
  
```

```

IBUFGDS u_ibufg_sys_clk
(
  .I  (sys_clk_p),
  .IB (sys_clk_n),
  .O  (sys_clk_ibufg)           //Differential clock converted to single terminal clock
);

//DA output sin waveform
always @(negedge clk_125M)
begin
  if (trig_data == 14'h3fff)
    trig_data <= 0 ;
  else
    trig_data <= trig_data + 1'b1 ;
end

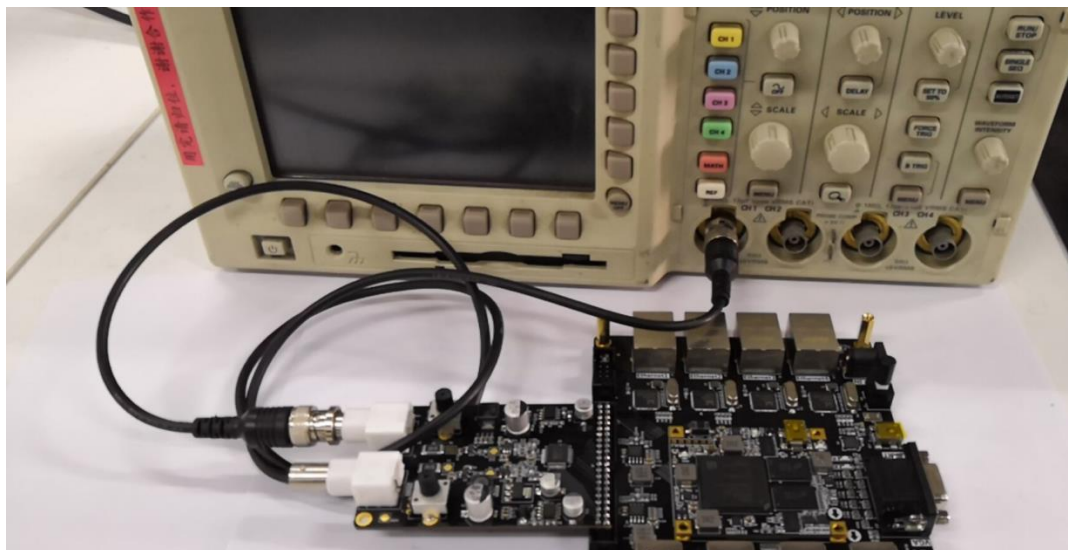
PLL PLL_inst
// Clock in ports
.clk_in1  (sys_clk_ibufg  ),      // IN
// Clock out ports
.clk_out1  (                ),      // OUT
.clk_out2  (clk_125M       ),      // OUT
// Status and control signals
.reset     (1'b0            ),      // IN
.locked    (                )
);
endmodule

```

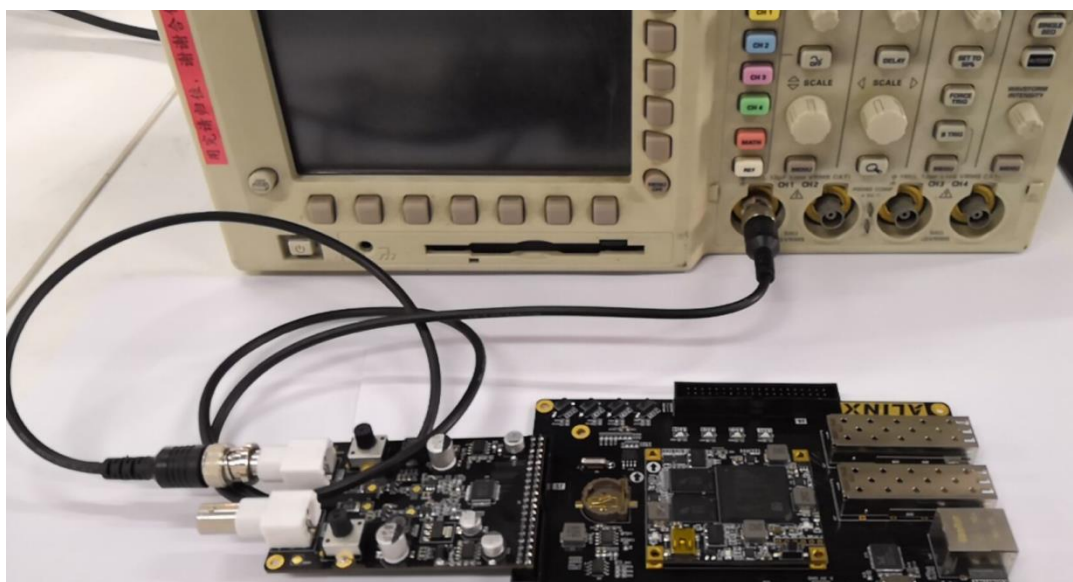
程序中通过一个 PLL IP 来产生 125M 的 DA 输出时钟，同时利用计数模块产生三角波的数据，并同时输出到通道 1 和通道 2 的 DA 数据线上。

## 4 实验现象

- (1) 将 AN9767 模块插入开发板，**AX7101(AX7201)接 J11、AX7102(AX7202)接 J5、AX7103(AX7203)接 J13，注意 1 脚对齐，不要插错、插偏，不能带电操作。**
- (2) 用我们提供的 BNC 线连接 AN9767 的输出到示波器的输入如下图，然后开发板上电，下载程序就可以从示波器上观察从 DA 模块输出的模拟信号的波形了。

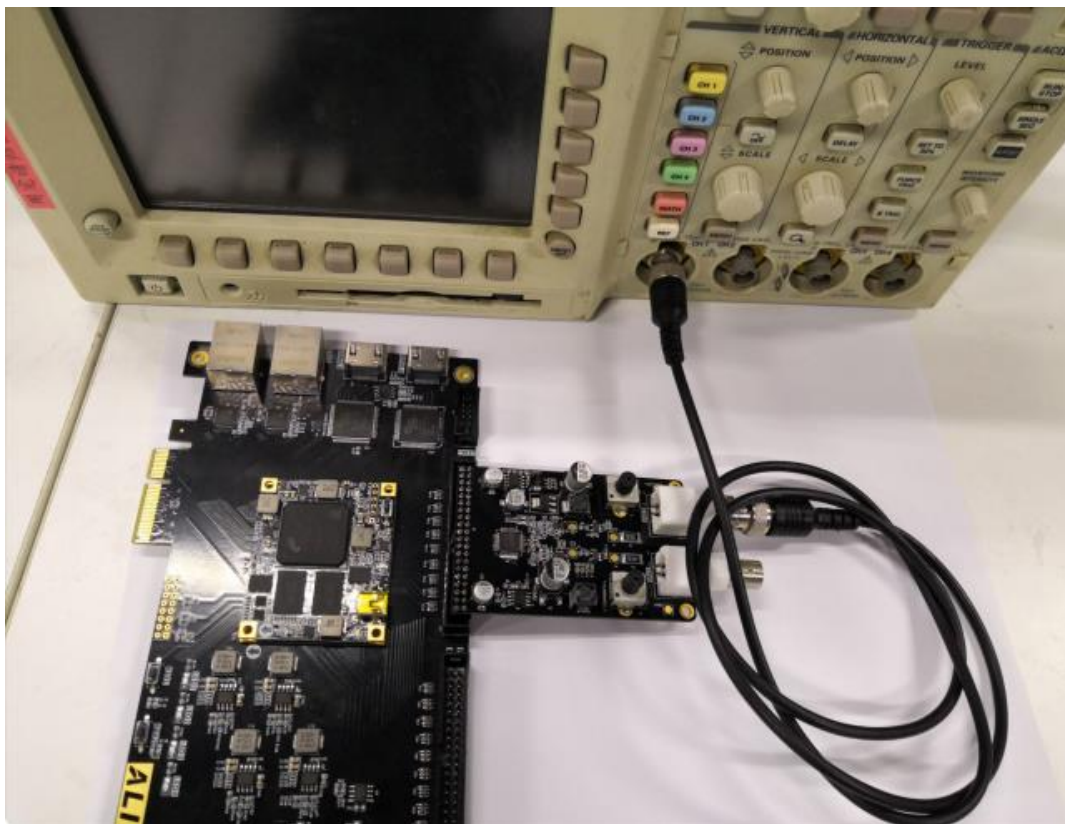


AN9767 与 AX7101(AX7201)连接图



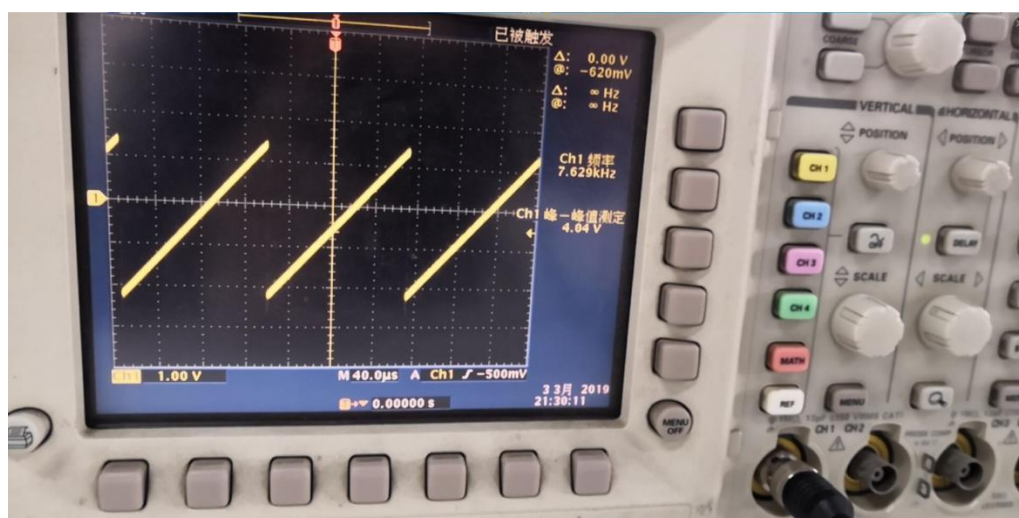
AN9767 与 AX7102(AX7202)连接图





AN9767 与 AX7103(AX7203)连接图

(3) 示波器上看到的三角波如下:



(4) 用户也可以通过调节 AN9767 模块上的可调电阻来改变 2 个通道输出波形的幅度。

