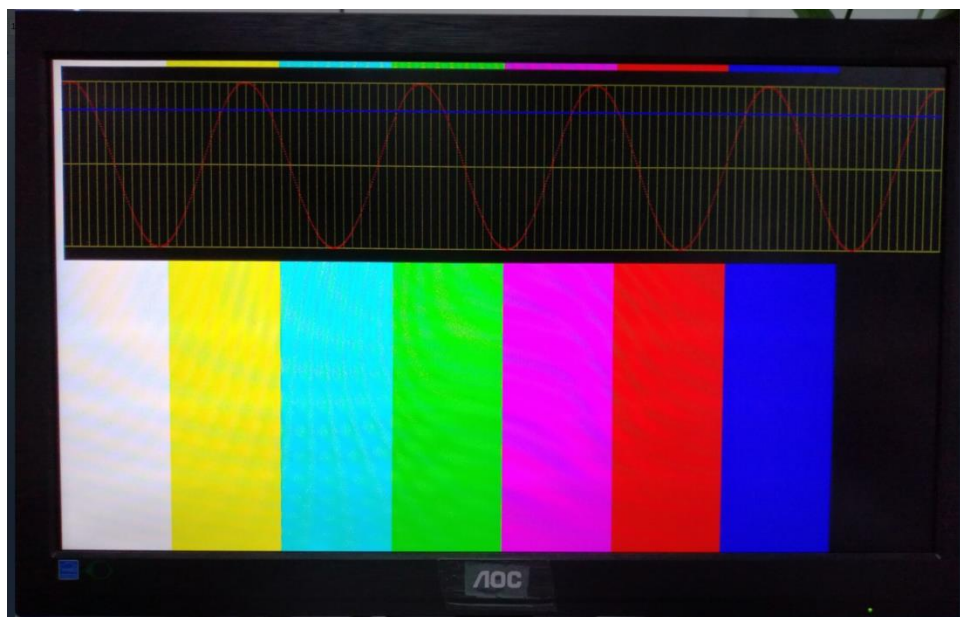


黑金动力社区 2023-02-24

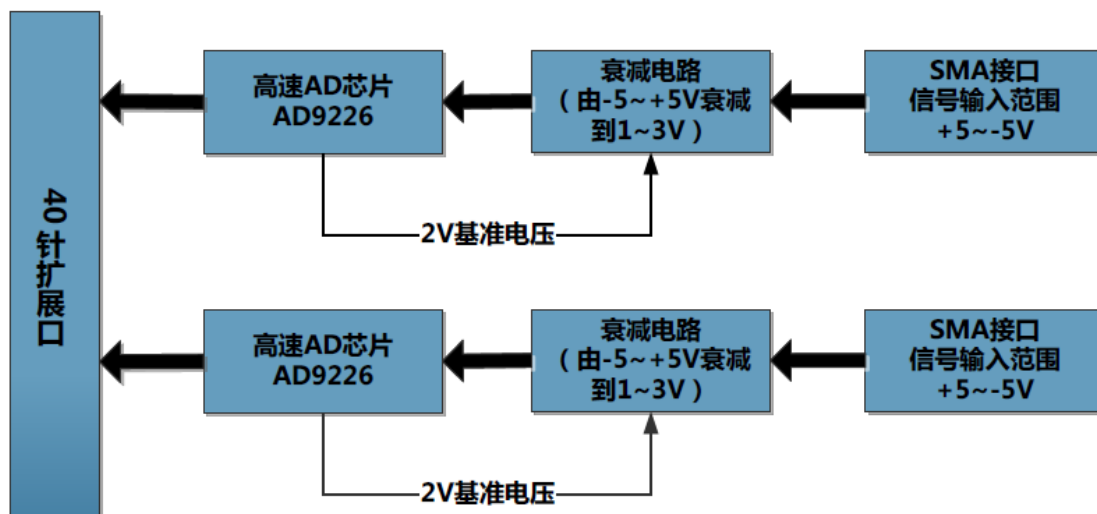
1 / 12



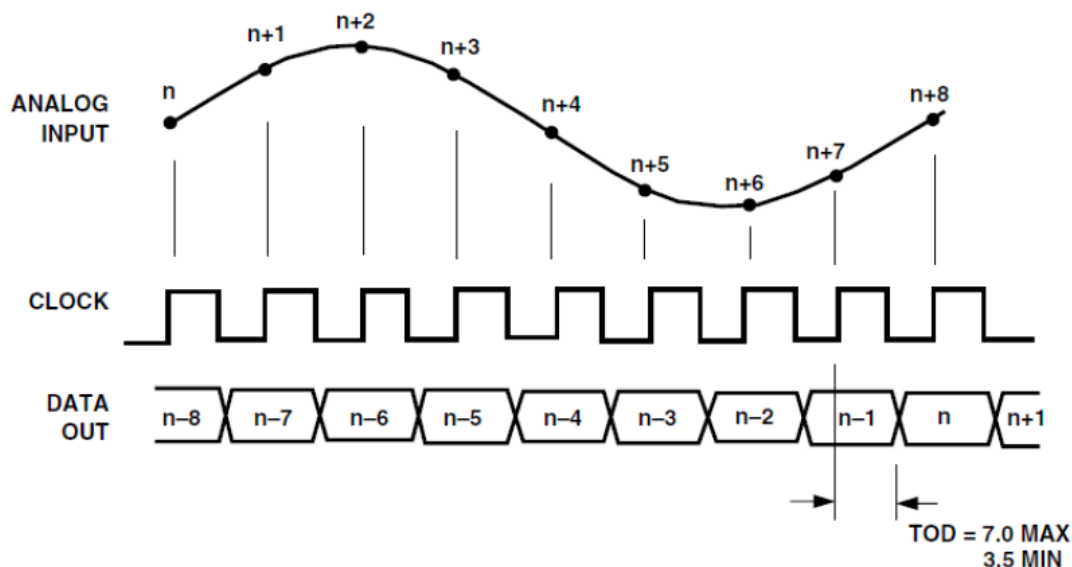
实验预期结果

2 实验原理

双通道 12bit AD 采集模块，采用了两片 ADI 公司的 AD9226，此芯片是一款单芯片、12 位、65 MSPS 模数转换器（ADC），采用单电源供电，内置一个片内高性能采样保持放大器和基准电压源。它采用多级差分流水线架构，数据速率达 65 MSPS，在整个工作温度范围内保证无失码。该 ADC 采用高速、低成本的 CMOS 工艺及新颖的架构，分辨率和速度可达到现有双极性方案的水平，而功耗成本却低得多。AD9226 的输入能够与成像、超声和通信系统实现轻松接口。利用真差分输入结构，用户可以选择包括单端应用在内的各种输入范围和偏移。动态性能极为出色。

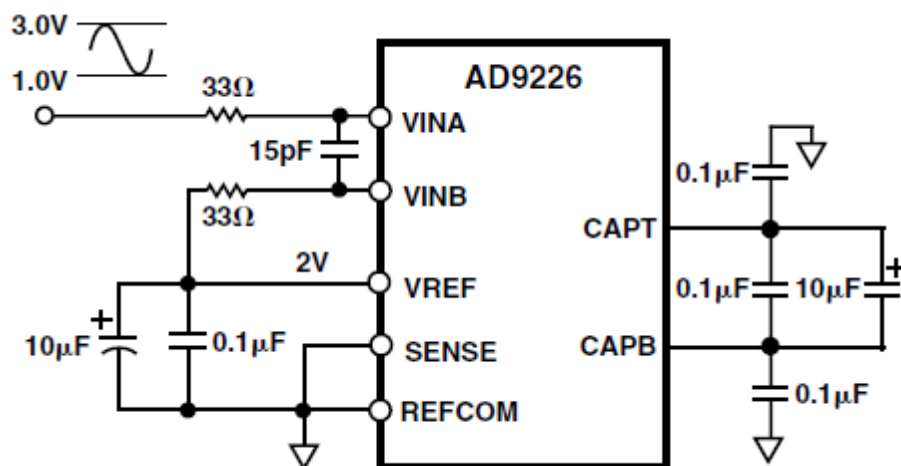


2.1 AD9226 时序



通过此时序图，我们可以看到，无需对 AD 芯片进行配置，只需要我们提供时钟 CLOCK，芯片就可以直接进行数据采集了，操作非常简便。

2.2 AD9226 配置



根据上图所示，我们将 AD9226 配置为单端输入，输入范围 1.0V-3.0V 的模式，在此模式下，VREF 即基准电压为 2V，VINA 输入范围为 1.0-3.0V。

在此说明一下，在硬件设计的时候，AD9226 的有几点需要注意的地方：

- (1) AD9226 这款芯片支持差分输入和单端输入，在使用的时候可以根据设计的需求来进行选择，我们在设计的时候，选择单端输入的模式。其他模式详看 AD9226 芯片手册。
- (2) 我们设计的电路选择的是 AD9226 内部基准源，VREF 是基准电压输出端口，可提供 1V 和 2V 两种基准电压。通过 SENSE 来进行选择，当 SENSE 与 GND 连接时，提供 2V 基准电压；当 SENSE 与 VREF 连接时，提供 1V 基准电压。我们选择的接法为提供 2V 基准电压的连接方式。我们在电路中利用了这个 2V 基准电压，来设计衰减电路。
- (3) VINA 的输入范围，有 VREF 决定，当 VREF=2V 时，VINA 的输入范围为 2V ($3V-1V=2V$)；当 VREF=1V 时，VINA 的输入范围为 1V ($1.5V-0.5V=1V$)
- (4) 引脚 22 MODE 具有数据格式选择功能，AD9226 的输出数据格式有两种，Binary Output Mode 和 Two's Complement Mode。

Input (V)	Condition (V)	Binary Output Mode	Two's Complement Mode	OTR
VINA-VINB	$< -VREF$	0000 0000 0000	1000 0000 0000	1
VINA-VINB	$= -VREF$	0000 0000 0000	1000 0000 0000	0
VINA-VINB	$= 0$	1000 0000 0000	0000 0000 0000	0
VINA-VINB	$= +VREF - 1 \text{ LSB}$	1111 1111 1111	0111 1111 1111	0
VINA-VINB	$\geq +VREF$	1111 1111 1111	0111 1111 1111	1

注意：此表由官方文档提供，但我们认为还是有错误在里面，经我们测试，当 VREF=2V 时，应该是 $VIN-VINB=-1/2VREF=-1$ 或者 $1/2VREF=1$ ，对应后面的数值分别是 1000 000 000 或者 0111 1111 1111，而不是上图说的 -VREF 或者 VREF，因为此时，VINB=2V，而 VINA 的范围是 1V~3V，VINA-VINB 的范围是 -1V~1V，即 $-1/2VREF \sim 1/2VREF$ 。

- (5) AD9226 的 OTR 引脚为 Out of Range，即输入电压范围检测功能，通过此引脚，我们可以判断输入的电压是否超过了芯片设计所在量程，当 OTR 为 1 时，说明我们所采集的电压范围超出了设计范围。

2.3 衰减电路

衰减电路的作用就是将输入电压按照一定的比例进行减小，使其满足 AD 输入端的输入范围。一般 AD 输入端的输入范围都很小，就拿 AD9226 为例，我们将其电压输入范围为 1.0V-3.0V，而我们需要满足电压输入范围为-5V 到+5V，那么我们就将-5V 到+5V 的电压减小到 1V-3V 这样的范围才可以。因此，衰减电路的作用便产生了。我们设计了一个满足上述要求的衰减电路，他的转换公式为： $V_{out}=(1/5)V_{in}+2$

当 $V_{in}=-5V$ 时， $V_{out}=1V$ ；当 $V_{in}=5V$ 时， $V_{out}=3V$ ；正好满足我们的上述要求。转换为数字信号以后，将上述转换公式反向运算，将数字信号进行放大，即可得到输入电压的真实数值。注意：**信号经过衰减电路以后，会存在一定的误差，我们可以将其误差视为线性误差，对信号进行人工校准，可减小误差范围。**

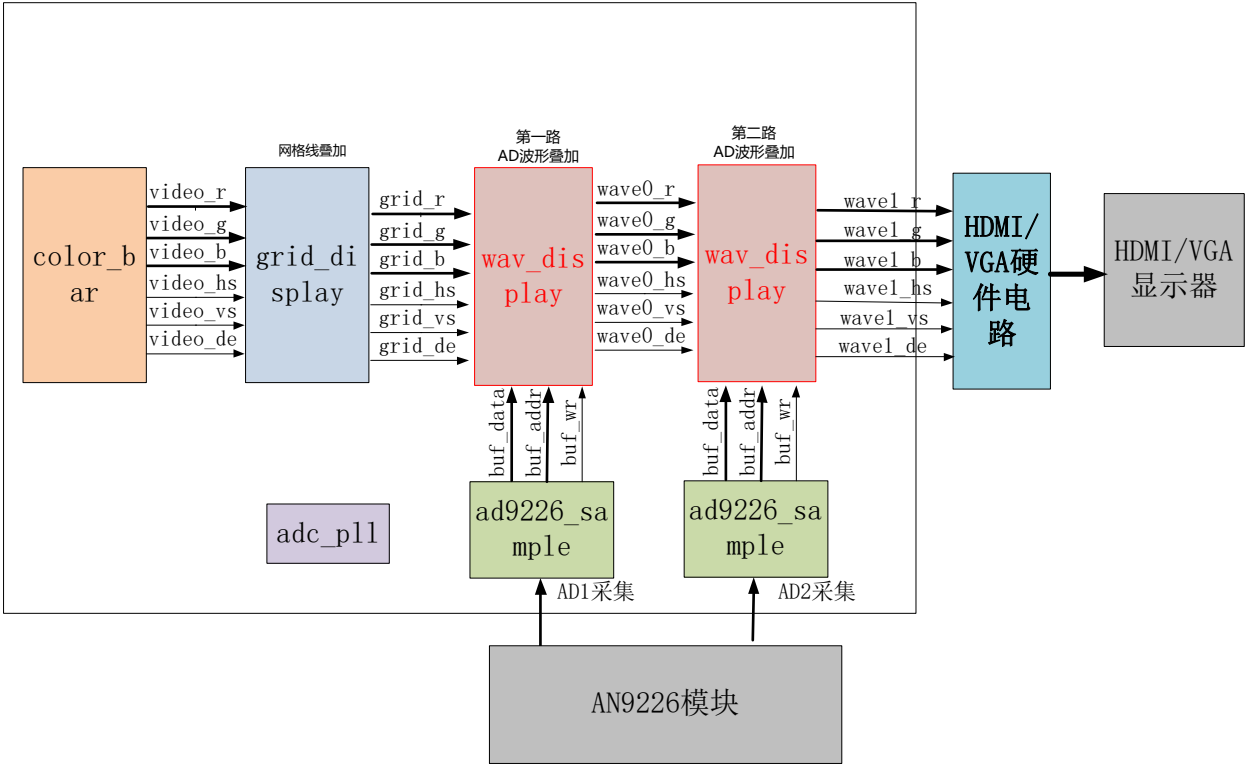
在衰减电路中，我们采用了一片高性能，145MHz 的运算放大器 AD8065，AD8065 FastFET 放大器为电压反馈型放大器，提供 FET 输入，性能出色、易于使用。AD8065 是单路放大器，采用 ADI 公司的专有 XFCB 工艺制造，工作噪声极低(7.0 nV/√Hz 和 0.6 fA/√Hz)，输入阻抗非常高。

AD8065 具有 5 V 至 24 V 的宽电源电压范围，可采用单电源供电，带宽为 145 MHz，适合各种应用。此外，这些放大器还具有轨到轨输出，使其功能更加多样化。

尽管成本很低，但这些器件仍能提供出色的整体性能。这些放大器的差分增益和相位误差分别为 0.02%和 0.02°，0.1 dB 平坦度为 7 MHz，堪称视频应用的理想之选。此外，这些器件具有 180 V/μs 高压摆率、出色的失真性能（1 MHz 时无杂散动态范围(SFDR)为-88 dBc）、极高的共模抑制(-100 dB)和低输入失调电压（1.5 mV，预热条件下最大值）。AD8065/AD8066 仅采用每个放大器 6.4 mA 的典型电源电流，能够驱动高达 30 mA 的负载电流。

3 程序设计

本实验显示部分是基于前面的已有的实验，在彩条上叠加网格线和波形，整个项目的框图如下图所示：



ad9226_sample 模块主要完成 ad9226 的 AD 数据采集和转换。首先需要对输入数据顺序调整，因为 ad9226 输入的数据 MSB 在最低位，LSB 在最高位。再把有符号数转换为无符号数，最后的数据只取高 8 位的数据，数据宽度转换到 8bit（为了跟其它 8 位的 AD 模块程序兼容）。另外每次采集 1024 个数据，然后等待一段时间再继续采集下面的 1024 个数据。

信号名称	方向	宽度 (bit)	说明
adc_clk	in	1	adc 系统时钟
rst	in	1	异步复位，高复位
adc_data	in	12	ADC 数据输入，MSB 在最低位，需要倒序
adc_buf_wr	out	1	ADC 数据写使能
adc_buf_addr	out	12	ADC 数据写地址
adc_buf_data	out	8	无符号 8 位 ADC 数据

ad9226_sample 模块端口

grid_display 模块主要完成视频图像的网格线叠加，本实验将彩条视频输入，然后叠加一个网格后输出，这一块网格区域提供给后面的波形显示模块使用，这个网格区域是位于显示器水平方向（从左到右）从 9 到 1018，垂直方向（从上到下）从 9 到 308 的视频显示位置。

```
if(pos_y >= 12'd9 && pos_y <= 12'd308 && pos_x >= 12'd9 && pos_x <= 12'd1018)
    region_active <= 1'b1;
```

信号名称	方向	宽度 (bit)	说明
pclk	in	1	像素时钟
rst_n	in	1	异步复位，低电平复位
i_hs	in	1	视频行同步输入
i_vs	in	1	视频场同步输入
i_de	in	1	视频数据有效输入
i_data	in	24	视频数据输入
o_hs	out	1	带网格视频行同步输出
o_vs	out	1	带网格视频场同步输出
o_de	out	1	带网格视频数据有效输出
o_data	out	24	带网格视频数据输出

grid_display 模块端口

wav_display 显示模块主要是完成波形数据的叠加显示，模块内含有一个双口 ram，写端口是由 ADC 采集模块写入，读端口是显示模块。在网格显示区域有效的时候，每行显示都会读取 RAM 中存储的 AD 数据值，跟 Y 坐标比较来判断显示波形或者不显示。

```
79 if(region_active == 1'b1)
80     if(12'd287 - pos_y == {4'd0,q})
81         v_data <= wave_color;
82     else
83         v_data <= pos_data;
84     else
85         v_data <= pos_data;
```


信号名称	方向	宽度 (bit)	说明
pclk	in	1	像素时钟
rst_n	in	1	异步复位, 低电平复位
wave_color	in	24	波形颜色, rgb
adc_clk	in	1	adc 模块时钟
adc_buf_wr	in	1	adc 数据写使能
adc_buf_addr	in	12	adc 数据写地址
adc_buf_data	in	8	adc 数据, 无符号数
i_hs	in	1	视频行同步输入
i_vs	in	1	视频场同步输入
i_de	in	1	视频数据有效输入
i_data	in	24	视频数据输入
o_hs	out	1	带网格视频行同步输出
o_vs	out	1	带网格视频场同步输出
o_de	out	1	带网格视频数据有效输出
o_data	out	24	带网格视频数据输出

wav_display 模块端口

timing_gen_xy 模块为其它模块的子模块, 完成视频图像的坐标生成, x 坐标, 从左到右增大, y 坐标从上到下增大。

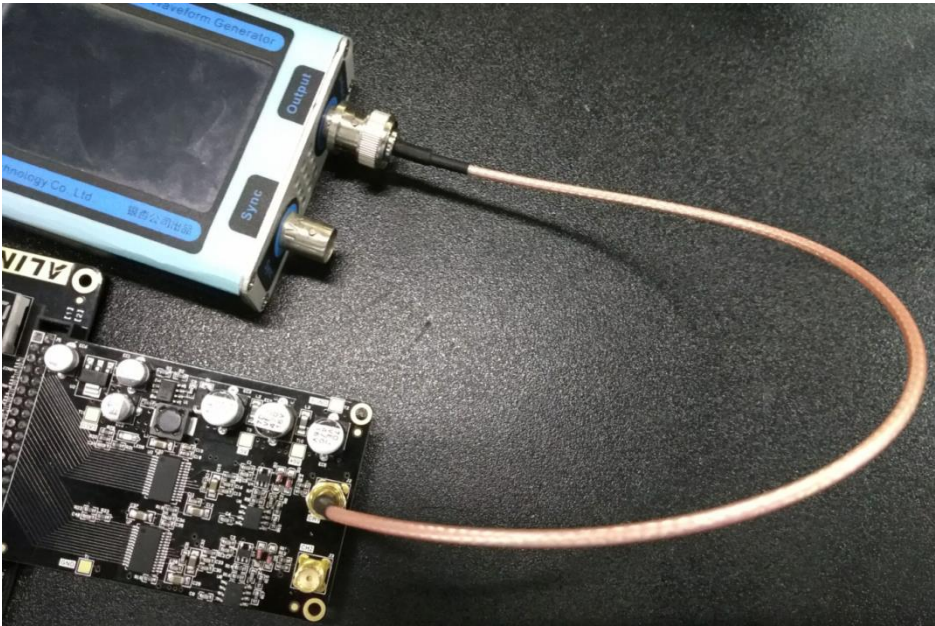
信号名称	方向	宽度 (bit)	说明
clk	in	1	系统时钟
rst_n	in	1	异步复位, 低电平复位
i_hs	in	1	视频行同步输入
i_vs	in	1	视频场同步输入
i_de	in	1	视频数据有效输入
i_data	in	24	视频数据输入
o_hs	out	1	视频行同步输出

o_vs	out	1	视频场同步输出
o_de	out	1	视频数据有效输出
o_data	out	24	视频数据输出
x	out	12	坐标 x 输出
y	out	12	坐标 y 输出

timing_gen_xy 模块端口

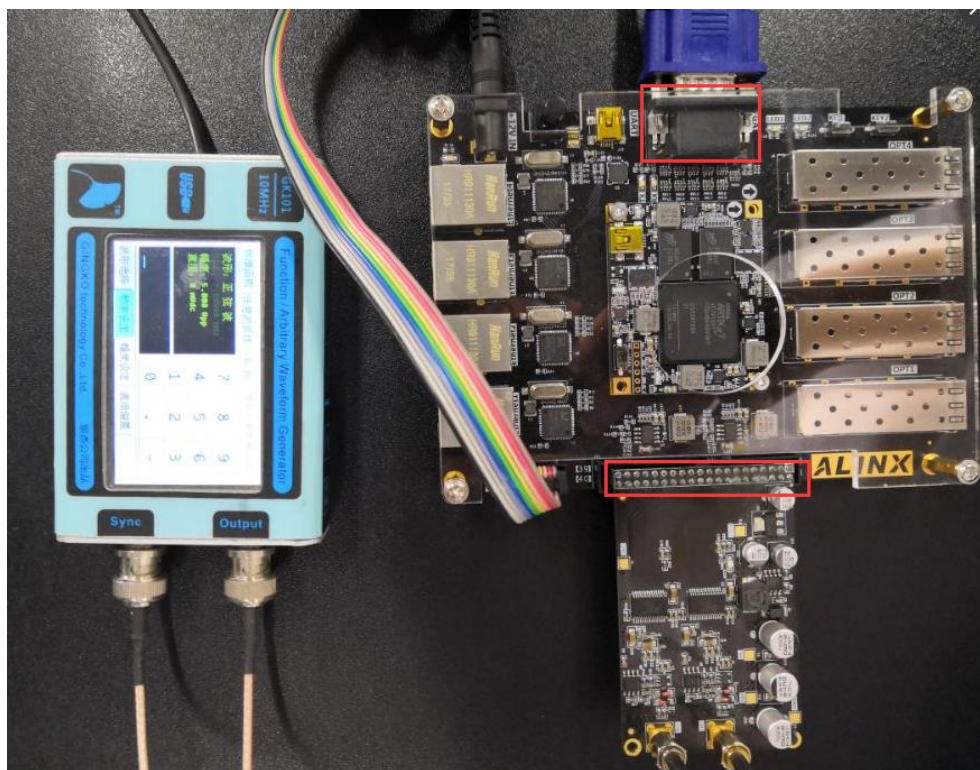
4 实验现象

- (1) 将 AN926 模块插入开发板，AX7101(AX7201)接 J11、AX7102(AX7202)接 J5，AX7103(AX7203)接 J13，注意1 脚对齐，不要插错、插偏，不能带电操作。
- (2) 连接 AN926 的输入到信号发生器的输出，这里使用的是专用屏蔽线，如果使用其他线可能会有较大干扰。

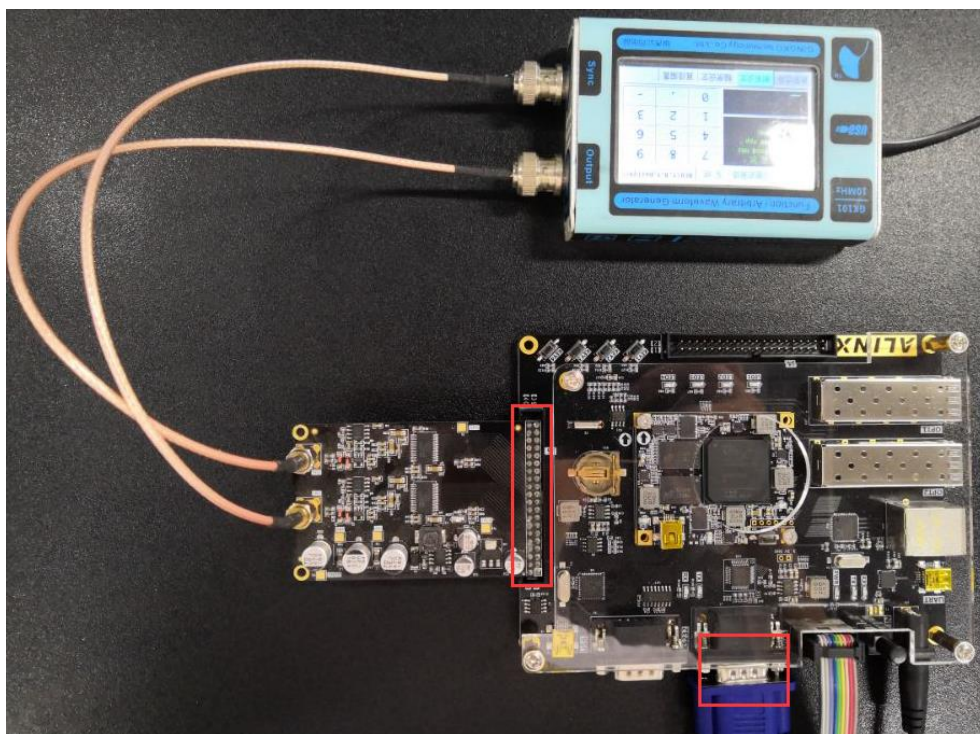


AN926 连接信号源示意图

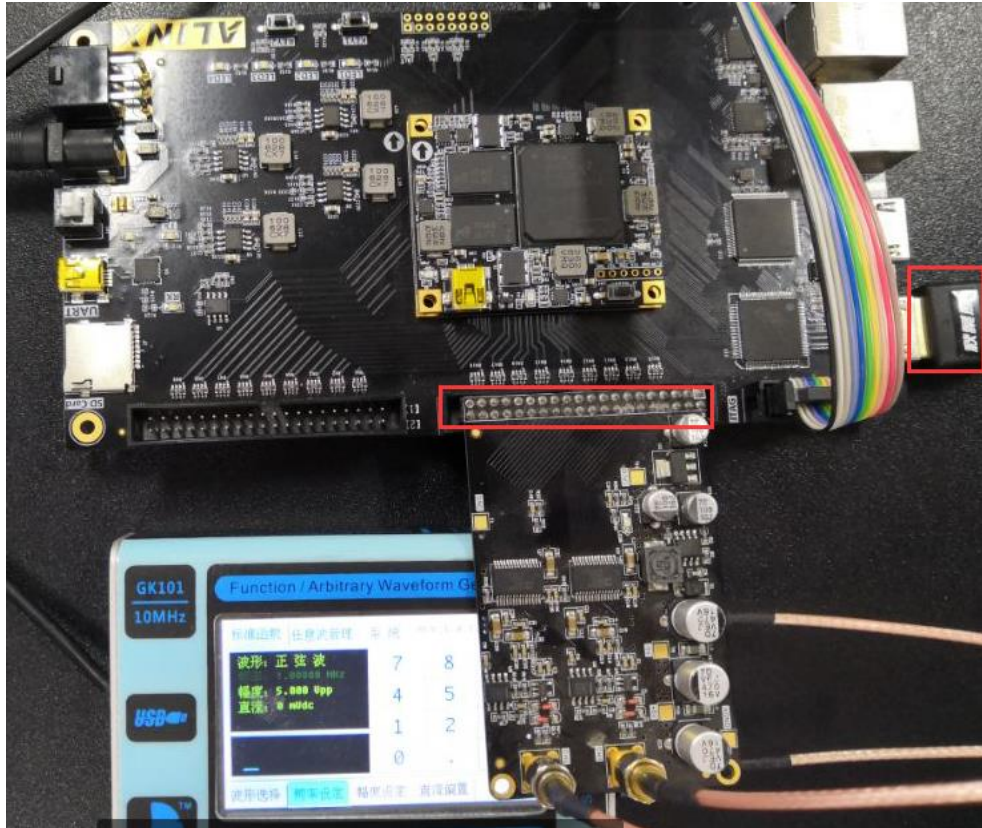
- (3) 连接 HDMI/VGA 显示器，注意：连接的是显示器，不是笔记本电脑接口



AX7101(Ax7201) 开发板连接图



AX7102(Ax7202) 开发板连接图



AX7103(AX7203) 开发板连接图

- (4) 下载程序，调节信号发生的频率和幅度，AN926 输入范围-5V-5V，为了便于观察波形数据，建议信号输入频率 200Khz 到 1Mhz。观察显示器输出，红色波形为 CH1 输入、蓝色为 CH2 输入、黄色网格最上面横线代表 5V，最下面横线代表-5V，中间横线代表 0V，每个竖线间隔是 10 个采样点。

