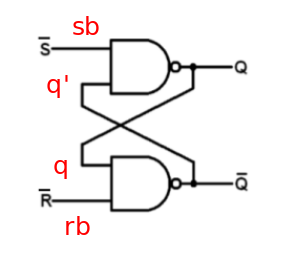
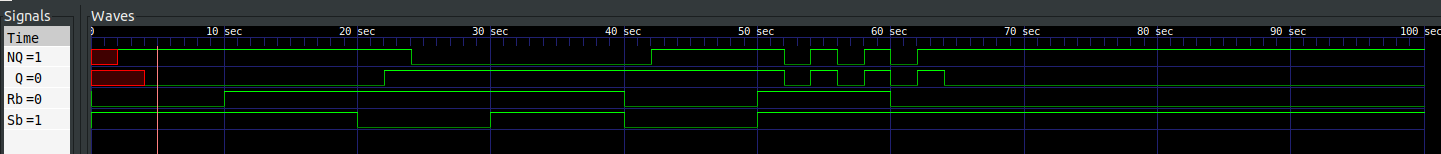
**Digital\_Circuit\_Design LAB3**

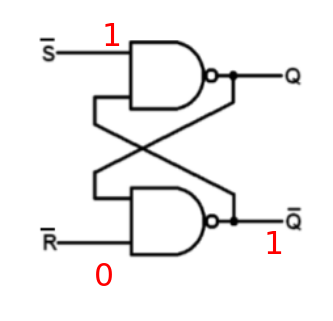
**0711282 邱頎霖**

(1) 2A 之模擬結果波形圖,並說明其模擬結果波形圖是否正確。

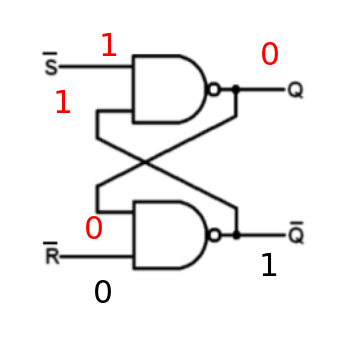


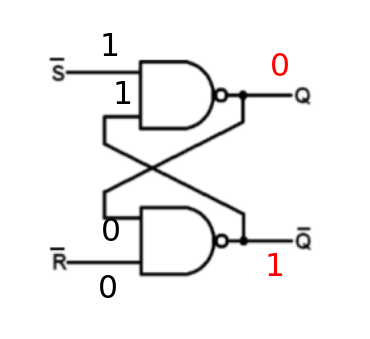


在一開始時會先有2ns的delay，R' =0經過Nand後Q'=1，此時Q=X

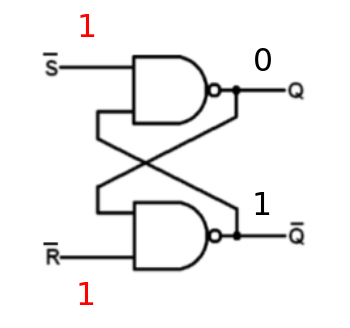


Q'=1後 與S'=1 NAND之後得Q=0

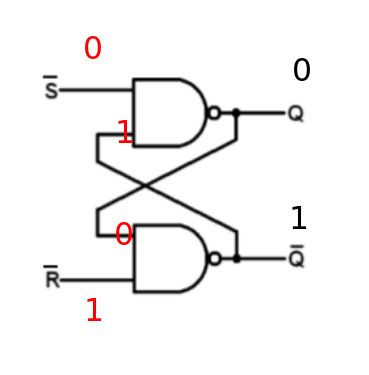




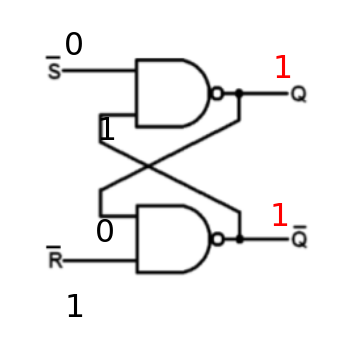
之後直到第10ns改變S' R'前都將會呈現如上圖狀態



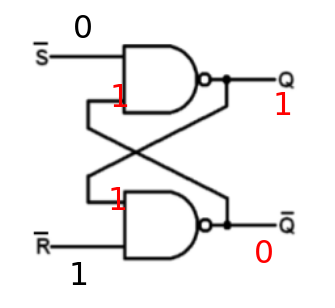
10秒過後 S'=1 R'=1 因此Q與Q'都不會變化



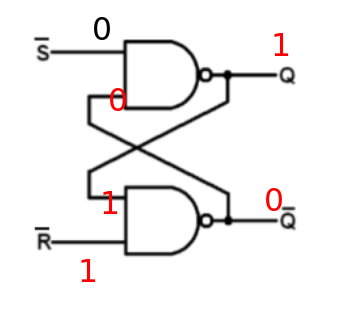
20ns S'=0 R'=1 因此過2ns delay後



2ns 過後 Q=1 Q'=1 (22ns)



再過2ns delay的結果 (24)

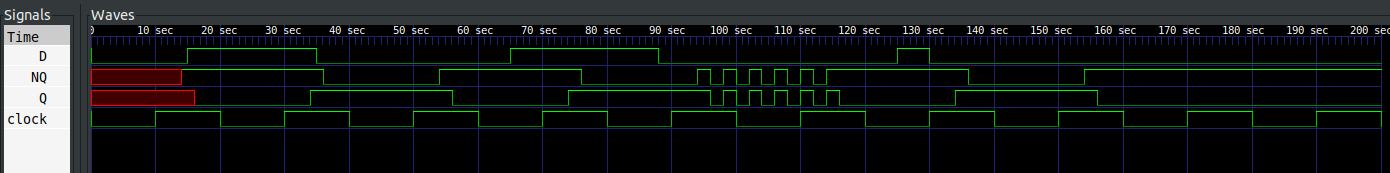
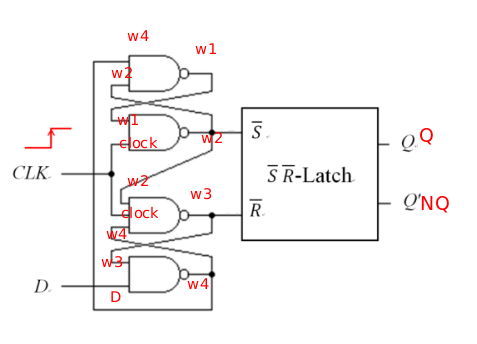


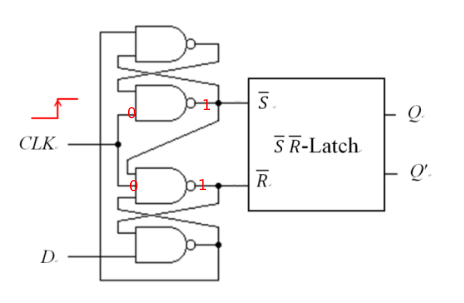
趨於穩定 直到30ns 前都將呈現上圖狀態

利用此方法慢慢可以推測出正確答案

實做出來的波形圖符合理論上之結果，應為正確

(2) 2B 之模擬結果波形圖,並說明其模擬結果波形圖是否正確。

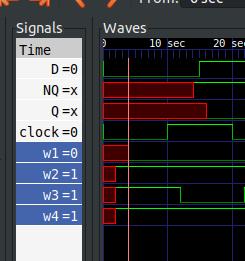




此次設計為Positive Edge 故只會在Clock從0變成1的時候產生作用

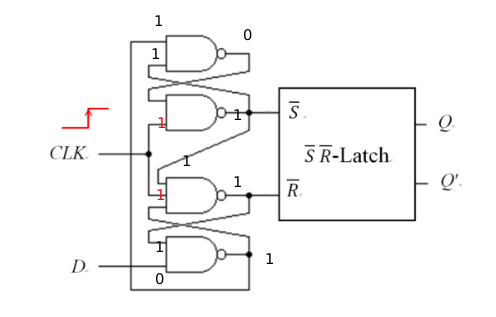
可以看到在CLock為0時S' R' 獲得的值為1

故為NO change 因此一開始前10ns Q與NQ才會皆為X之狀態



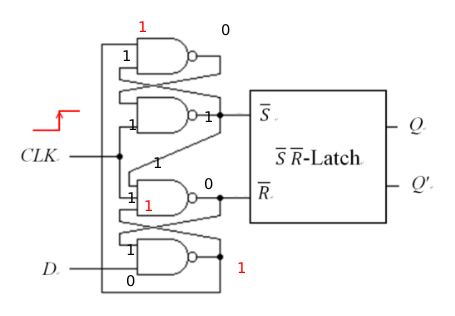
因為經過兩個NAND Gate，第4ns時w1才變成0

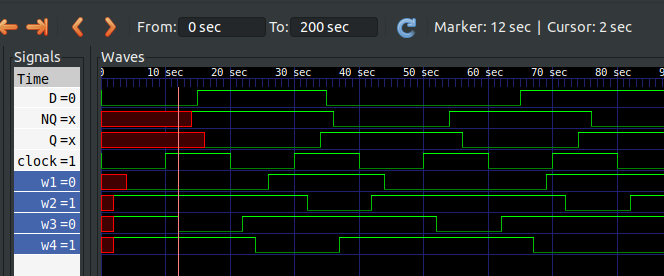
也就是所謂的Setup Time



上圖為第10ns情況，CLock從0變成1，因此開始運作

我們可以預期再經過2ns delay後 w1=0 w2=1 w3=0 w4=1

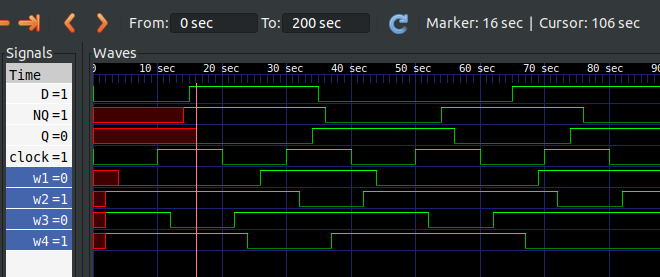




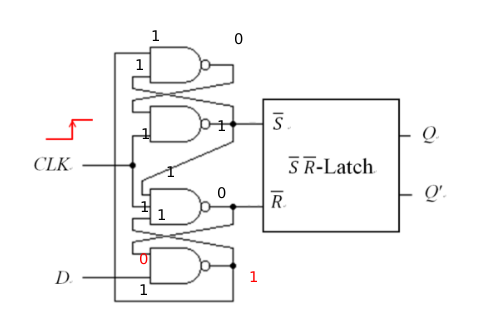
第12ns時w1=0 w2=1 w3=0 w4=1 與波形圖結果相符

同時S'=1 R'=0 因為0對於Nand具有強制性，我們可以預測2ns delay過後NQ=1(14ns)

而再過2ns Q=0(16ns)，也就是Reset之情況



如同上述我們預測之結果 第14ns時NQ=1 第16ns時Q=0

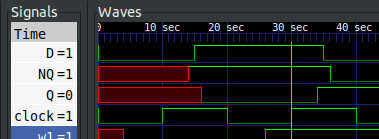


而在第15ns時D變化為1，CLock非Positive Edge此時電路將會不受影響

我們可以看到Q與NQ維持值維持了好一段時間

若CLock變回0 那將會傳入S'=1 R'=1 Q與NQ將會保持原狀態值

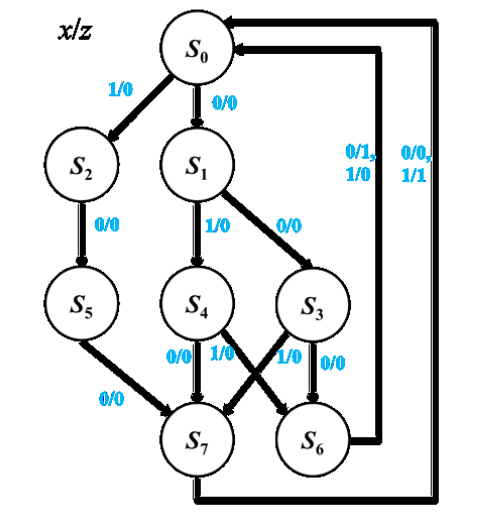
如下圖



結果皆符合理論之正確結果

應為正確

(3) 敘述 2C 之 **Mealy-type** 同步順序電路之設計過程,以 D 正反器為儲存元件,推導出其電路圖。而後,列出 2C 之模擬結果波形圖,並說明其testbench 如何設計、針對 input stimulus 預期之狀態轉換與輸出值為何、及 i.和 ii.兩種電路模組之模擬結果波形圖是否正確。



所有測資預期的狀態轉換與輸出值如下:

第一組測資: x=**0 0 0 0** : s0 --(z=0)--> s1 --(z=0)--> s3 --(z=0)--> s6 --(z=1)--> s0

第二組測資: x=0 0 0 1 : s0 --(z=0)--> s1 --(z=0)--> s3 --(z=0)--> s6 --(z=0)--> s0

第三組測資: x=0 0 1 0 : s0 --(z=0)--> s1 --(z=0)--> s3 --(z=0)--> s7 --(z=0)--> s0

第四組測資: x=**0 0 1 1** : s0 --(z=0)--> s1 --(z=0)--> s3 --(z=0)--> s7 --(z=1)--> s0

第五組測資: x=0 1 0 0 : s0 --(z=0)--> s1 --(z=0)--> s4 --(z=0)--> s7 --(z=0)--> s0

第六組測資: x=**0 1 0 1** : s0 --(z=0)--> s1 --(z=0)--> s4 --(z=0)--> s7 --(z=1)--> s0

第七組測資: x=0 1 1 1 : s0 --(z=0)--> s1 --(z=0)--> s4 --(z=0)--> s6 --(z=0)--> s0

第八組測資: x=1 0 0 0 : s0 --(z=0)--> s2 --(z=0)--> s5 --(z=0)--> s7 --(z=0)--> s0

第九組測資: x=**1 0 0 1** : s0 --(z=0)--> s2 --(z=0)--> s5 --(z=0)--> s7 --(z=1)--> s0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q | Q+ x=0 | Q+ x=1 | x=0 z | x=1 Z |
| 000 | 001 | 010 | 0 | 0 |
| 001 | 011 | 100 | 0 | 0 |
| 010 | 101 | - | 0 | - |
| 011 | 110 | 111 | 0 | 0 |
| 100 | 111 | 110 | 0 | 0 |
| 101 | 111 | - | 0 | - |
| 110 | 000 | 000 | 1 | 0 |
| 111 | 000 | 000 | 0 | 1 |

For Q2+

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2Q1/Q0x | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | x | 1 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | x | 1 |

Q2+ = Q2'Q1+Q2Q1'+Q2'Q0X

For Q1+

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2Q1/Q0x | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | x | 1 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | x | 1 |

Q1+ = Q2Q1' + Q1'Q0'X + Q2'Q0X' + Q2'Q1Q0

For Q0+

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2Q1/Q0x | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 1 |
| 01 | 1 | x | 1 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | x | 1 |

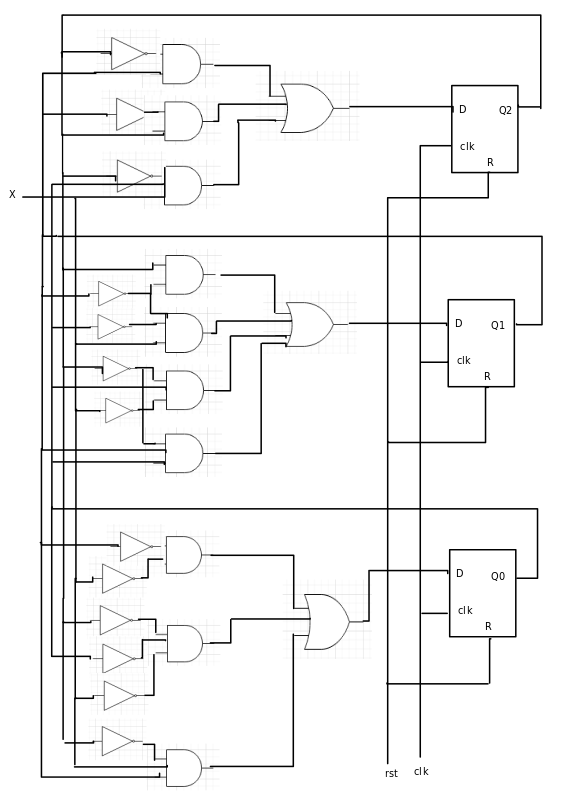
Q0+ = Q1'X'+Q2'Q0'X'+Q2'Q1X

For Z

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q2Q1/Q0x | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | x | 0 | 0 |
| 11 | 1 | 0 | 1 | 0 |
| 10 | 0 | 0 | x | 0 |

Z = Q2Q1Q0'X' + Q2Q0X

電路圖設計:

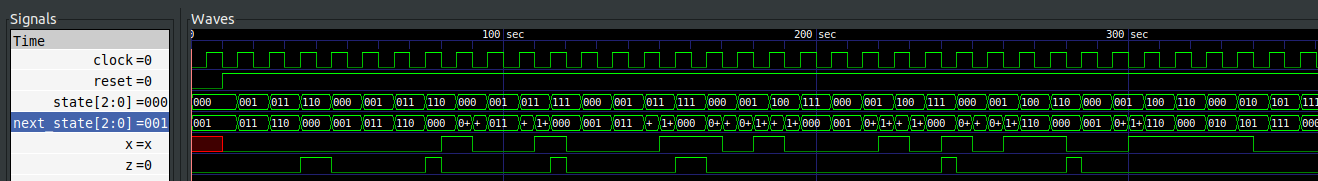


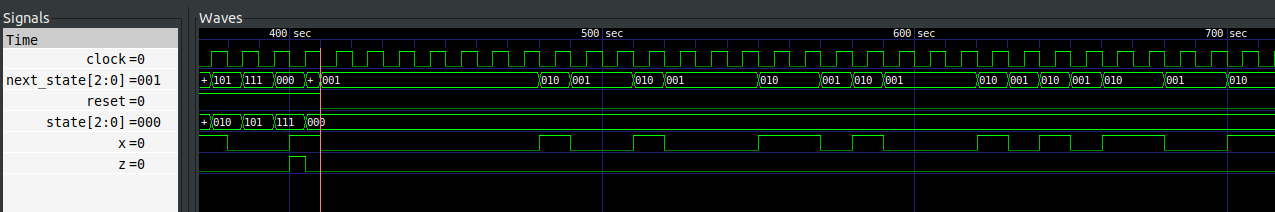
testbench 設計:

一開始Reset=0 觀察狀態是否為S0

接著將Reset=1 x輸入0-9之BCD值 輸出應符合上述

最後Reset=0 x輸入0-9之BCD值 因為被Reset為S0 不論X是多少輸出應該皆為0

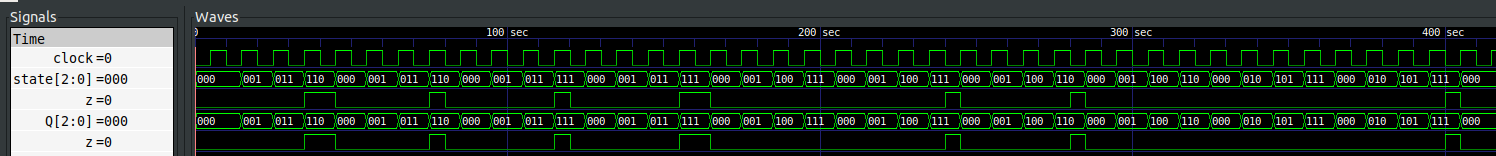




上圖為測試所有測資之波形圖之結果







上圖為兩種寫法之波形圖結果 兩者相同 應正確

(4) 心得與感想、及遭遇到的問題或困難

這次好像沒遇到什麼問題，學完數電後發現如果先修過數電、有經過這三個LAB的練習的話，上個學期計算機組織就不會對Verilog感到那麼痛苦了QQ