

組合邏輯設計

Outline

- 解碼器
- 編碼器
- 多工器
- 解多工器
- 加法器
- 減法器

算術邏輯

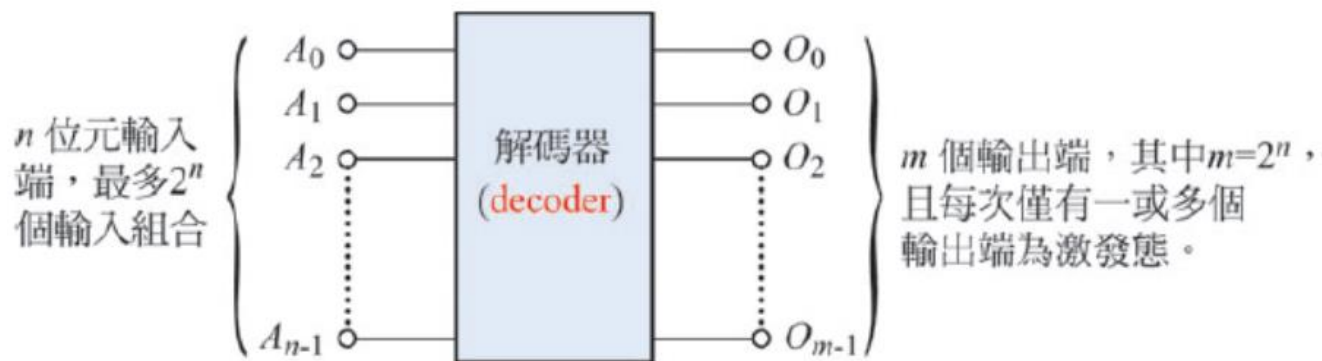


解碼器



解碼器

- 解碼器是將 n 位元的輸入碼轉換成 m 條線輸出的邏輯電路，其中 $m=2^n$ ；如下圖所示，其任何一條輸入線，都可以是0 或1 兩種狀況，因此，在 n 條輸入線中計有 2^n 個輸入組合，而每條輸出線的輸出狀態與各輸入組合都有著特定的關係；解碼器的種類甚多，如二進制、BCD 碼轉十進制或BCD 對顯示器解碼等。

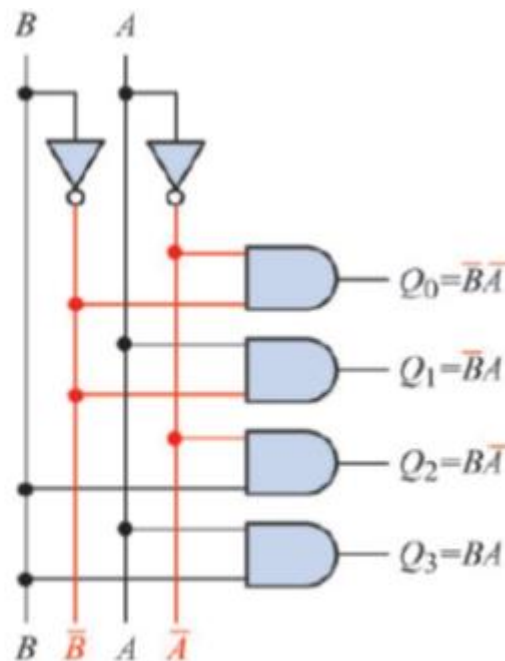


解碼器

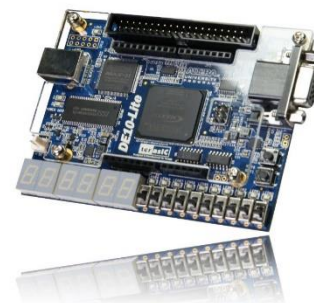
- **二線對四線解碼器**（2-of-4 decoder），它有兩條輸入線，計有 2^2 個輸入狀態，而輸出端也有四種狀態與之對應

輸 入		輸 出			
B	A	Q_0	Q_1	Q_2	Q_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

(a) 真值表



(b) 電路圖

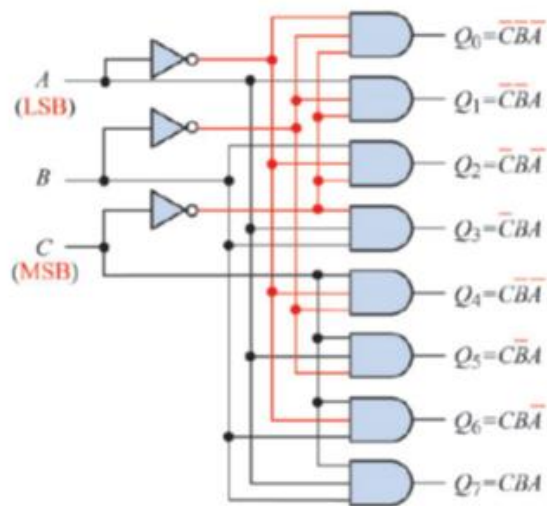


解碼器

- 三線對八線解碼器

C	B	A	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

(a) 真值表



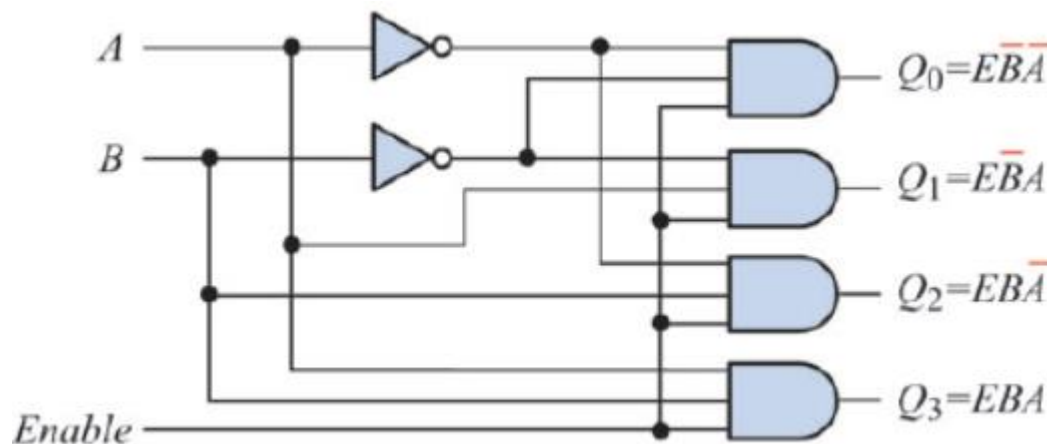
(b) 電路圖



解碼器

- 致能控制(Enable)

- 在解碼器中，常會有一個或多個致能（enable）控制端，它控制著解碼電路是否接受輸入信號。
- 如在下圖中，每個AND 閘都多出一個輸入端，且被連接起來，形成致能控制時的情形；如下圖所示，當致能控制端為0，則不論A、B、C 的輸入為何，其輸出都為0；換句話說，此時解碼器是被關閉的



解碼器

- BCD 對十進制解碼器

- BCD 對十進制解碼電路的IC 包裝如TTL 的7442 與 CMOS 的4028 等都是。如下圖為CD4028 的方塊圖，其功能主要是將BCD 碼由0000 到1001 轉換成0 到9 的十進制輸出。

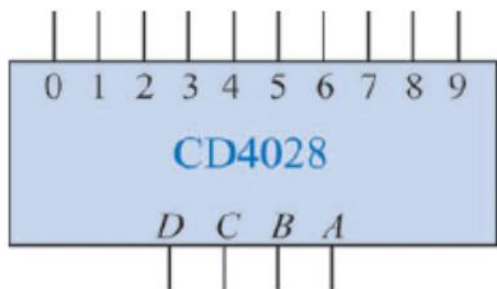
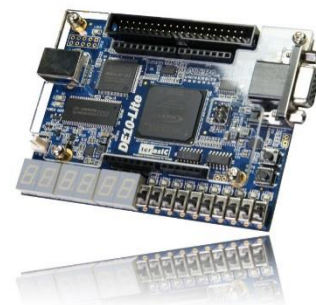


TABLE I – TRUTH TABLE

D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

1 = HIGH LEVEL

0 = LOW LEVEL

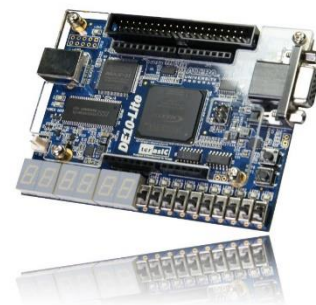
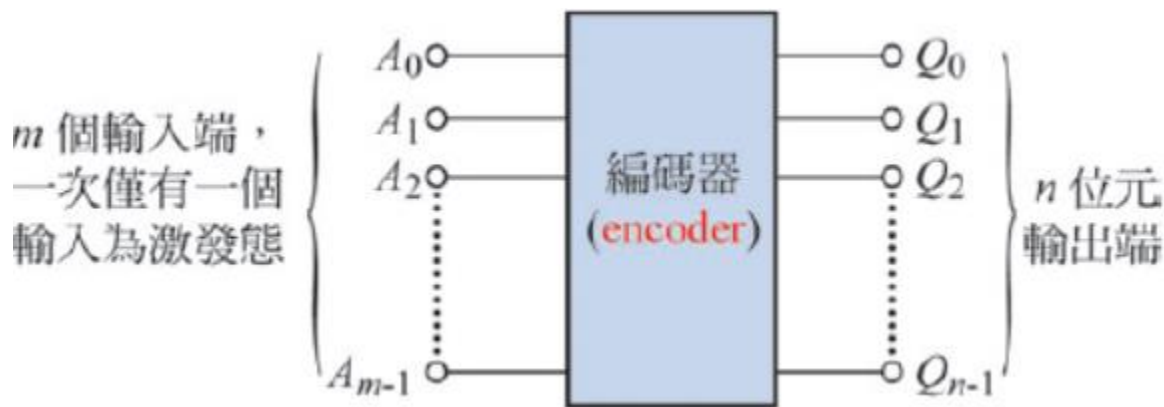


編碼器



編碼器

- 解碼器是以 n 位元輸入信號來選擇 m 個輸出端，即依據輸入狀態來決定哪一輸出端被激發。也就是說，我們用解碼器的特定輸出端來辨認某一特定的輸入組合，而編碼器（encoder）則做相反的工作，它是針對不同的輸入，賦予特定的數碼輸出，如下圖所示， m 個輸入端每次最多只有一個被激發，而輸出端就會有一組 n 位元碼送出與之對應。



編碼器

- 八進位對三進位編碼器(1/2)

- 我們先假設每次僅有一條輸入線為1，則所有輸入組合便僅有8種，而不是 2^8 ，如果 $A_0=1$ ，則輸出的二進位碼為000，若 $A_1=1$ ，則輸出的二進位碼為001，依此類推。由於我們做了以上假設，每次僅有一輸入端為1，因此我們只要分別將能使該輸出端輸出1 的輸入線“或”起來就可以了。例如，當 A_1 、 A_3 、 A_5 或 A_7 為1 時， Q_0 （輸出端最低位元）必須為1，故得 Q_0 的布林代數式為

$$Q_0 = A_1 + A_3 + A_5 + A_7$$

$$Q_1 = A_2 + A_3 + A_6 + A_7$$

$$Q_2 = A_4 + A_5 + A_6 + A_7$$

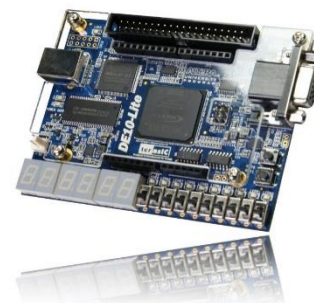
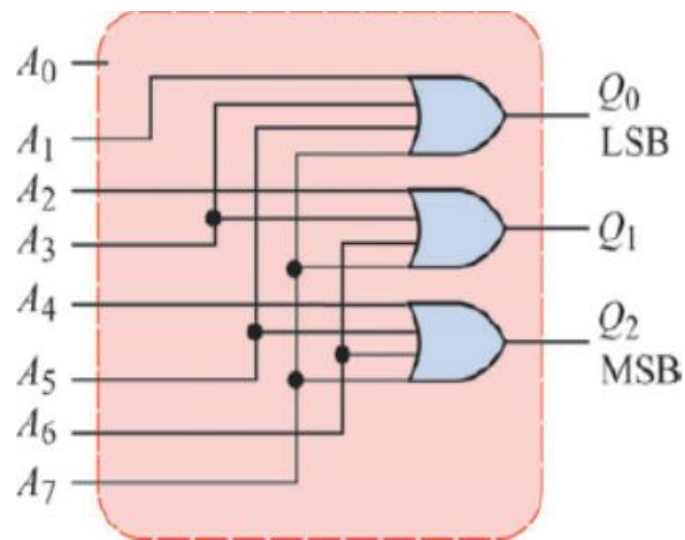


編碼器

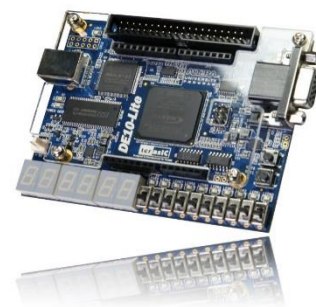
- 八進位對三進位編碼器(2/2)

A_0	A_1	A_2	A_3	A_4	A_5	A_6	A_7	Q_2	Q_1	Q_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

※每次僅有一輸入端為 1，不允許有其他組合

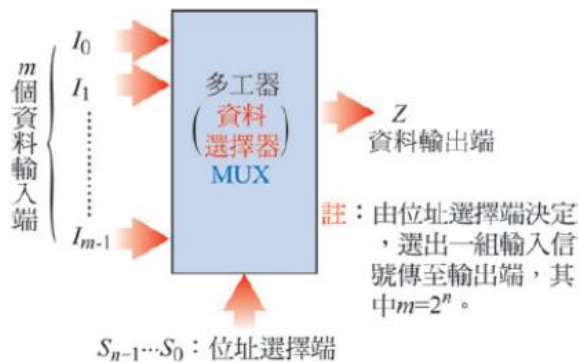


多工器

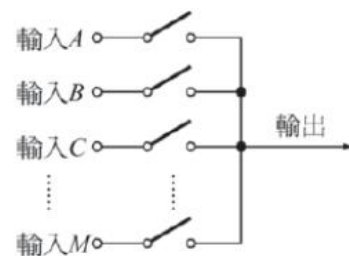


多工器

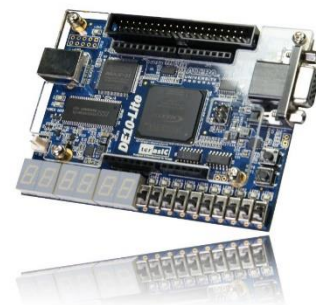
- 在數位系統中，常常有信號選擇的需求，這種以多只信號輸入經選擇，再傳送到输出的組合電路稱為多工器（multiplexer, MUX），又稱為資料選擇器（data selector）。如下圖所示，多工器的 m 個輸入信號經由 n 條資料選擇線來控制（ $m=2^n$ ），選擇一個輸入送至輸出端，其簡單結構如下圖(b)所示，圖中任一個開關被選上時（即開關ON），使輸出與該輸入連接，將該開關所控制的輸入送至輸出。



(a)多工器示意圖



(b)多工器結構簡示圖



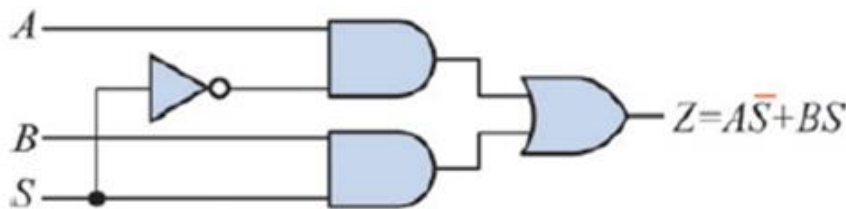
多工器

• 二對一多工器

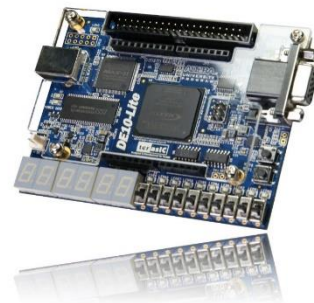
- 所謂二對一多工器就是2 線對1 線的資料選擇器；設其兩輸入端分別為A 與B ，輸出為Z ，而資料選擇端為S，則其真值表詳如下圖所示，由真值表可知其布林代數式為： $Z = AS + BS$
- 即當 $S = 0$ 時， $Z = A$ ；也就是A 信號被選至輸出端。當 $S = 1$ ， $Z = B$ ；即B 信號被選至輸出端。因輸出信號是A 或B 是由S 來決定的，故S 又被稱為資料選擇線，其電路圖詳如下圖(b)所示。

S	Z
0	A
1	B

(a)真值表



(b) 電路圖



多工器

• 四對一多工器

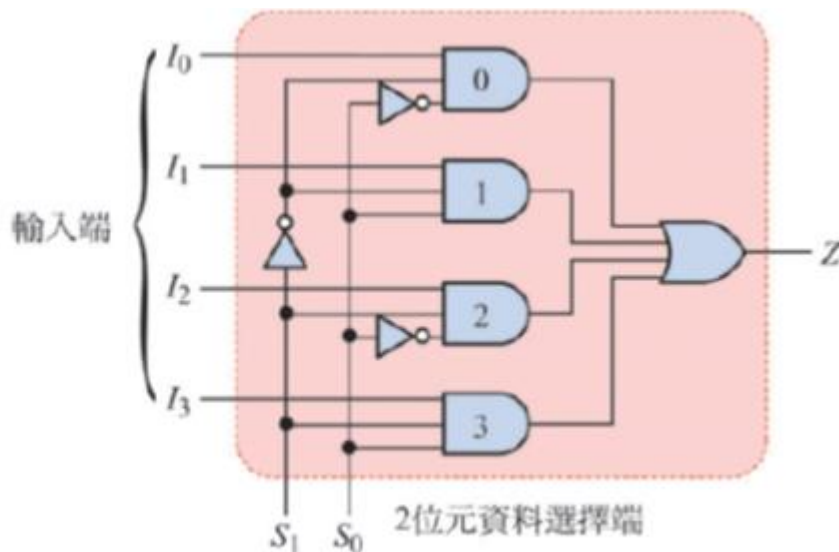
- 所謂四對一的多工器，就是可以由4 個資料輸入端選擇其中一個送至輸出的資料選擇裝置，其真值表如圖7-35(a)所示，其布林代數式為：

$$Z = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

選擇信號		輸出信號
S_1	S_0	Z
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

$$Z = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

(a)真值表與布林代數式



(b)電路圖



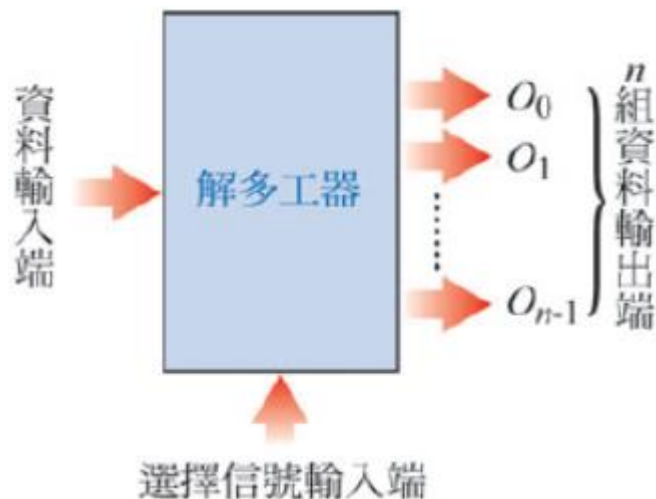
解多工器



解多工器

• 解多工器

- 多工器能從多組輸入信號選擇一組做為輸出，解多工器（demultiplexer, DEMUX）的功能則恰好相反，是將一組信號傳送至多組輸出端中的一組，因此，**解多工器又稱為資料分配器（data distributor）**
- 如圖7-38 所示，左邊為一組信號輸入，右邊卻有 n 組信號輸出線，至於輸入信號應被傳送至哪組信號輸出線，則完全由底部的選擇端來決定。



解多工器

• 一對四解多工器(1/2)

- 一對四的解多工器是由一組2線對4 線解碼器配合及閘所構成；**圖中唯一的資料輸入線，分別接到4 個AND閘上**，當 Y_0 到 Y_3 任一腳為1，則I 信號就被送到對應的Q 端輸出，即當 $S_1S_0 = 00$ 時，因 $Y_0 = 1$ 而 Y_1 、 Y_2 、 Y_3 都等於0，故 $Q_0 = I$ ，而 Q_1 、 Q_2 、 Q_3 都為0；當 $S_1S_0 = 10$ 時，因只有 $Y_1 = 1$ ，故 $Q_1 = I$ ，其它輸出則皆為0，依此類推。因此，我們可說一對四的解多工器
- 就是一組受2 線對4 線解碼器所控制的資料分配器；就I 信號而言，其要送到第幾號輸出端完全是依解碼器輸入（資料選擇端）的二進位值所決定

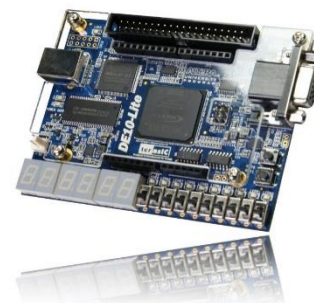
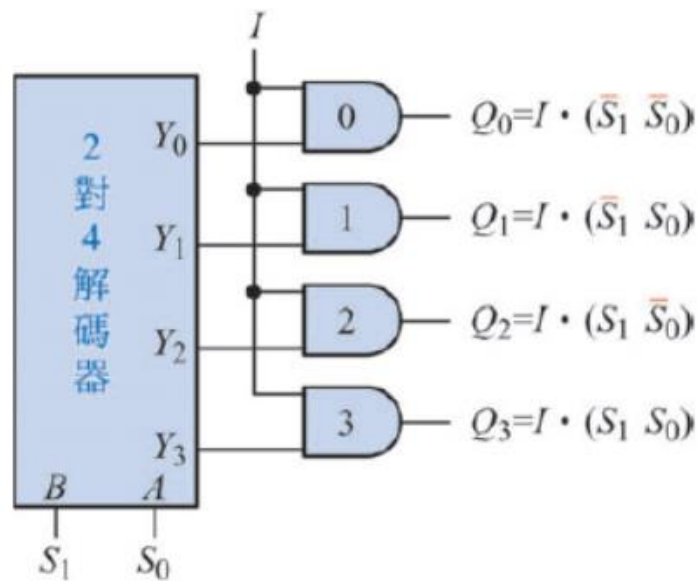


解多工器

• 一對四解多工器(2/2)

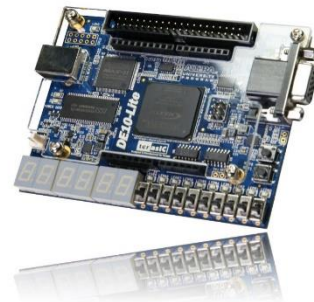
- 再者，就下圖所示，若 $I = 0$ ，則不論 $S_1 S_0$ 輸入為何，則 Q_0 、 Q_1 、 Q_2 、 Q_3 全部輸出0，若 $I = 1$ ，則 $Q_0 = Y_0$ 、 $Q_1 = Y_1$ 、 $Q_2 = Y_2$ 、 $Q_3 = Y_3$ ，整個電路就是一個二線對四線的解碼器，因此，**I 輸入事實上也就是解碼器的致能控制端**。

輸 入			輸 出			
S_1	S_0	I	Q_0	Q_1	Q_2	Q_3
0	0	I	I	0	0	0
0	1	I	0	I	0	0
1	0	I	0	0	I	0
1	1	I	0	0	0	I



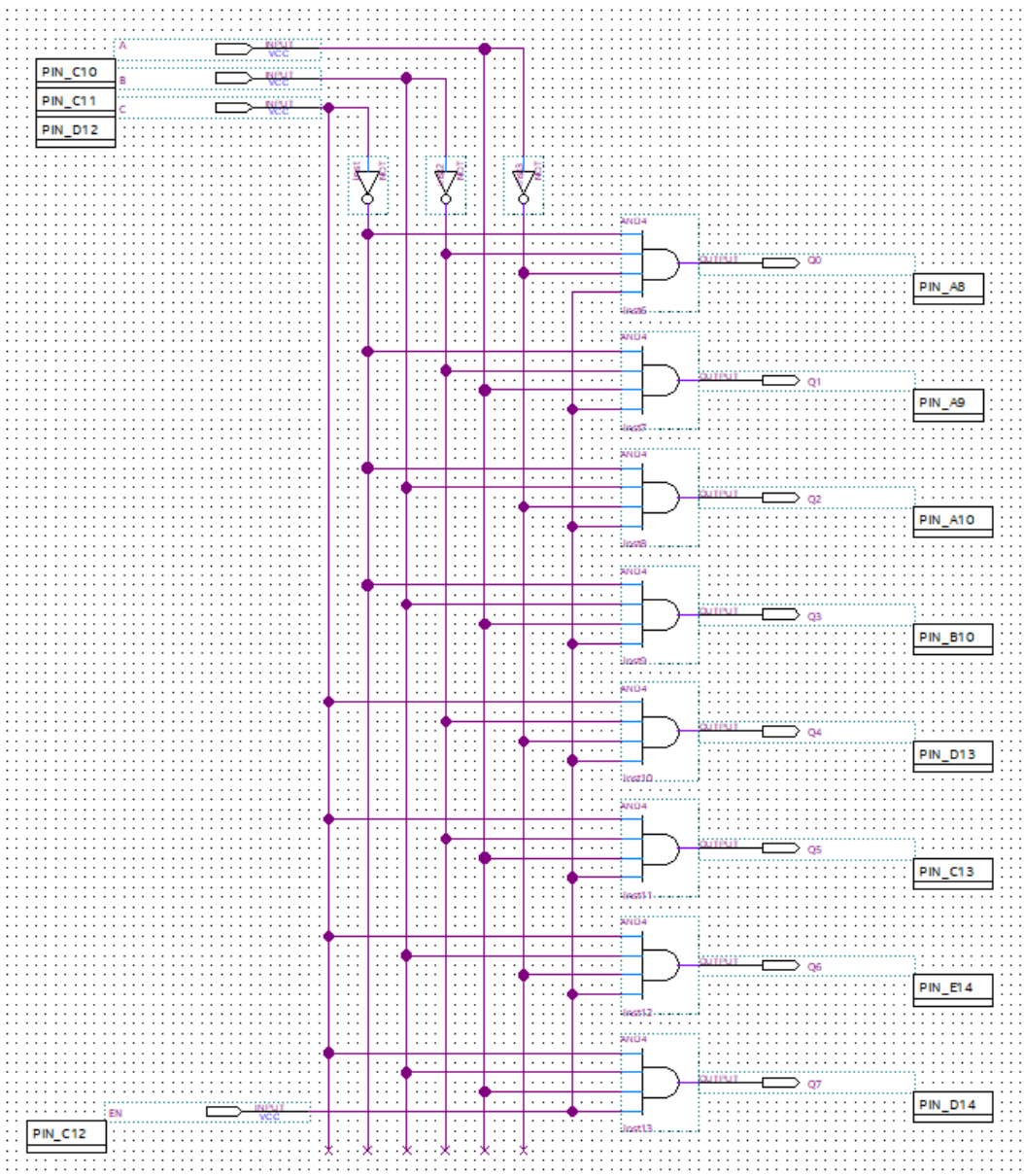
隨堂練習

- 請完成下列各個電路，並完成紀錄，包括**真值表**、**最簡Equation**、**電路設計並下載至DE10-Lite**、**模擬波形圖**。
 - a) 三線對八線解碼器(包含致能控制)
 - b) 八進位對三進位編碼器
 - c) 四對一多工器
 - d) 一對四解多工器
- 本次每一個實驗完成後需助教確認正確，在做下一題，全部完成後，將專案壓縮上傳EE-Class。
- [Lecture5_組別XX.ZIP](#)

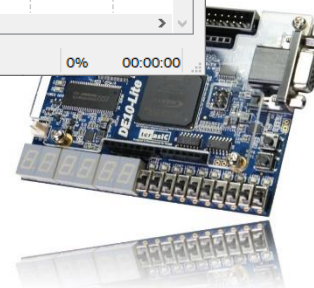
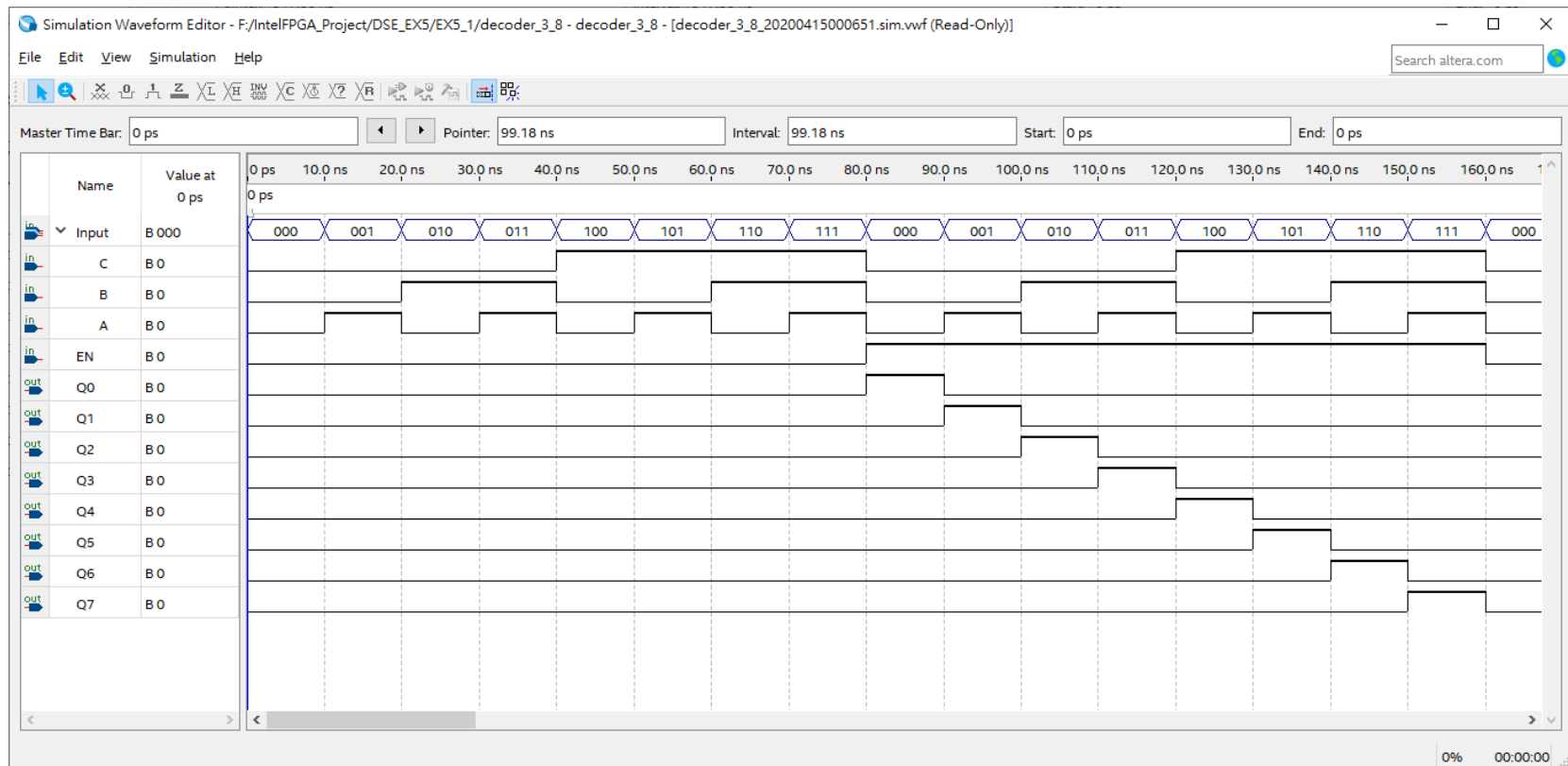


三線對八線解碼器(包含致能控制)

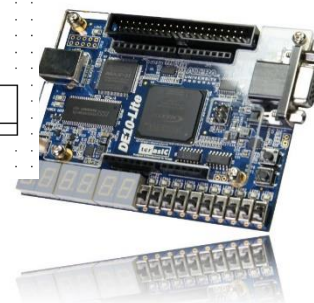
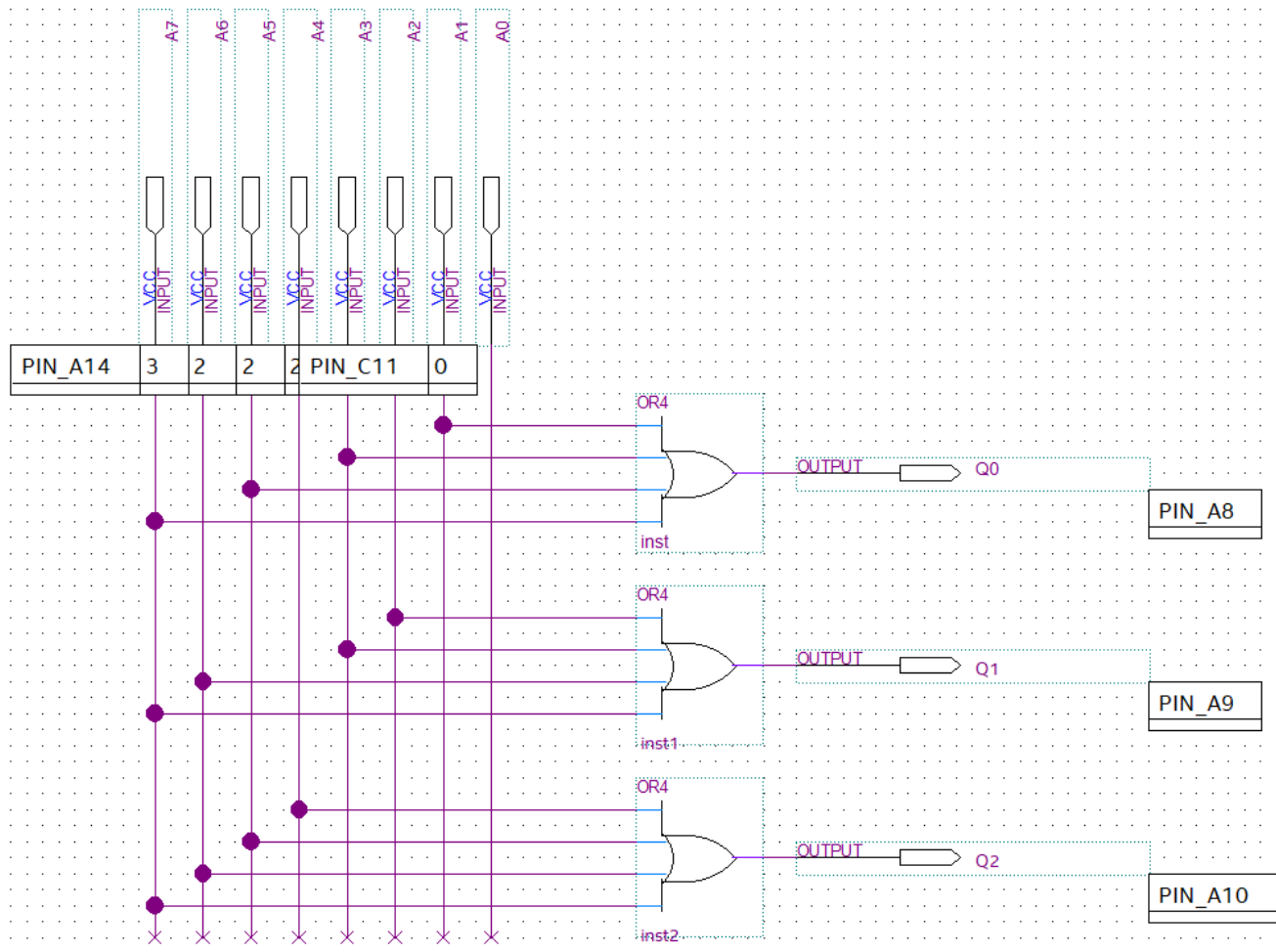
(1/2)



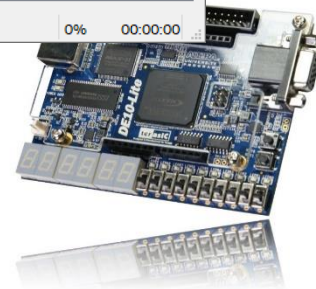
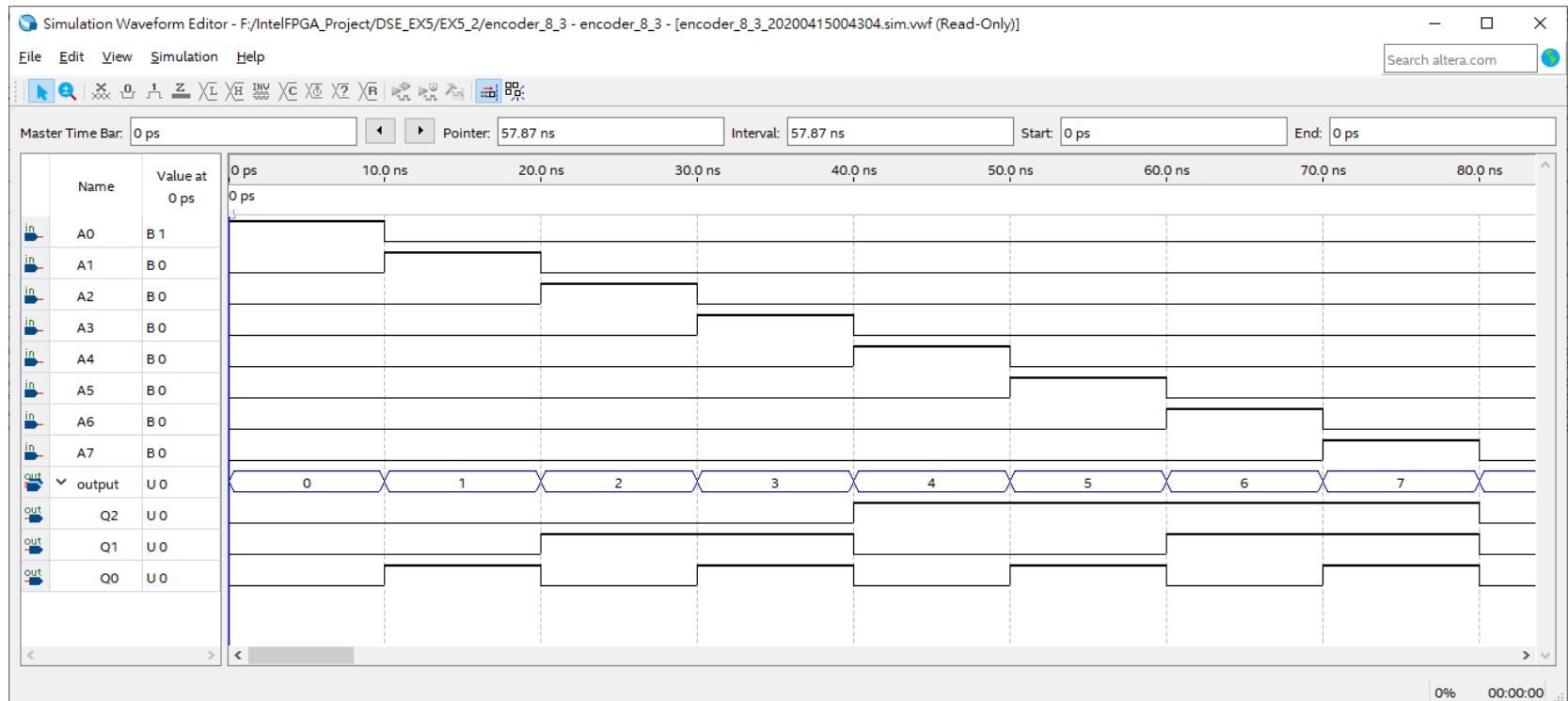
三線對八線解碼器(包含致能控制) (2/2)



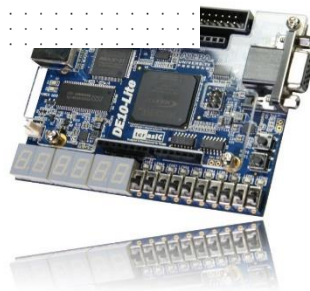
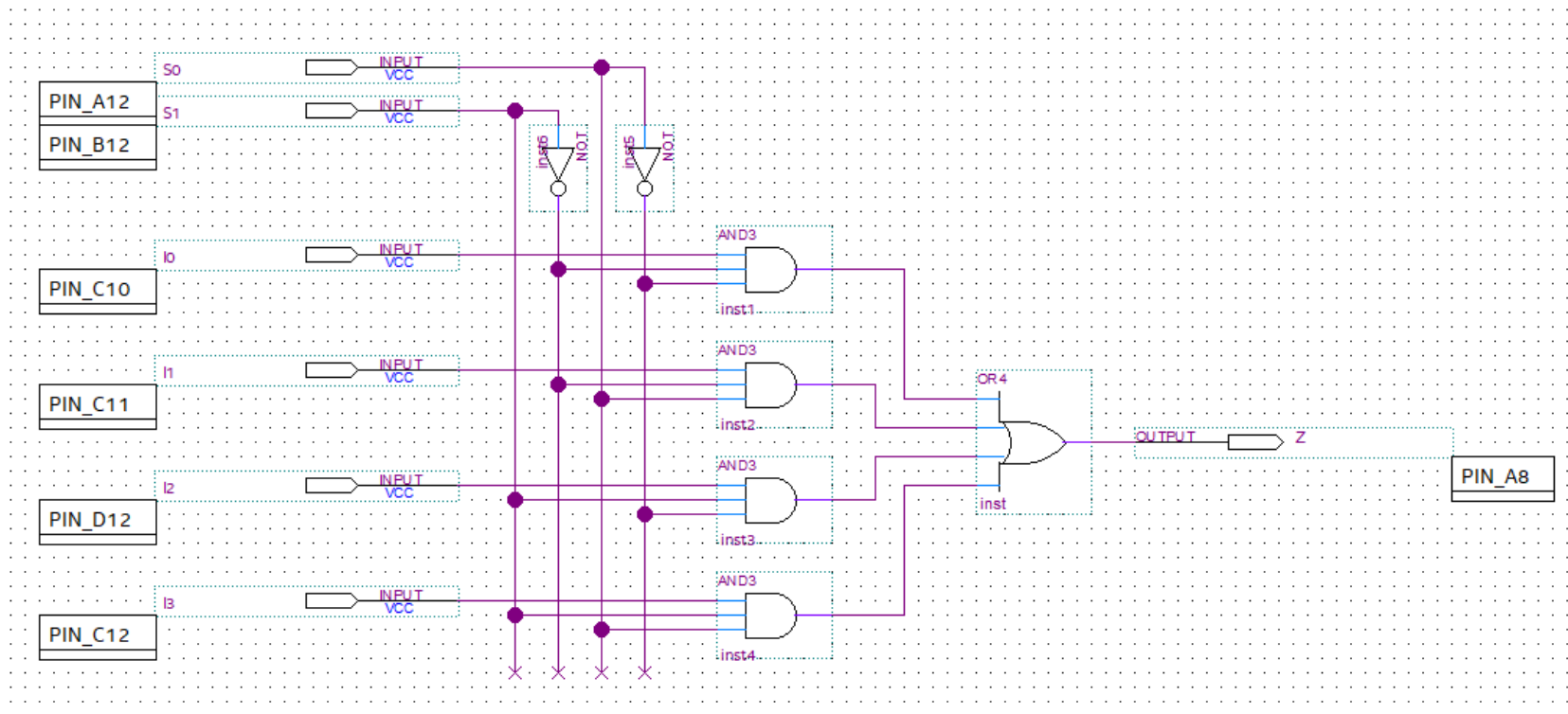
八進位對三進位編碼器(1/2)



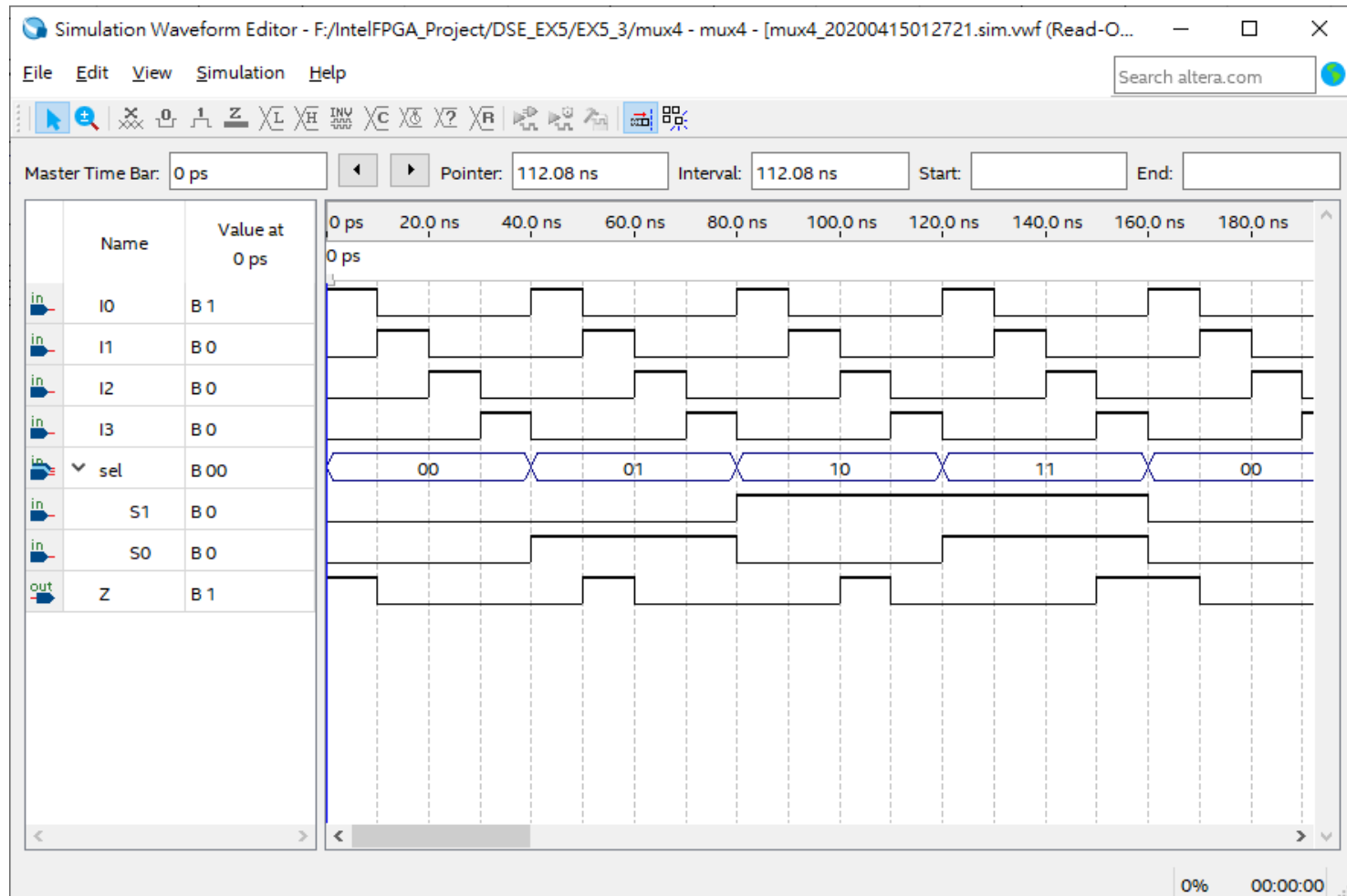
八進位對三進位編碼器(2/2)



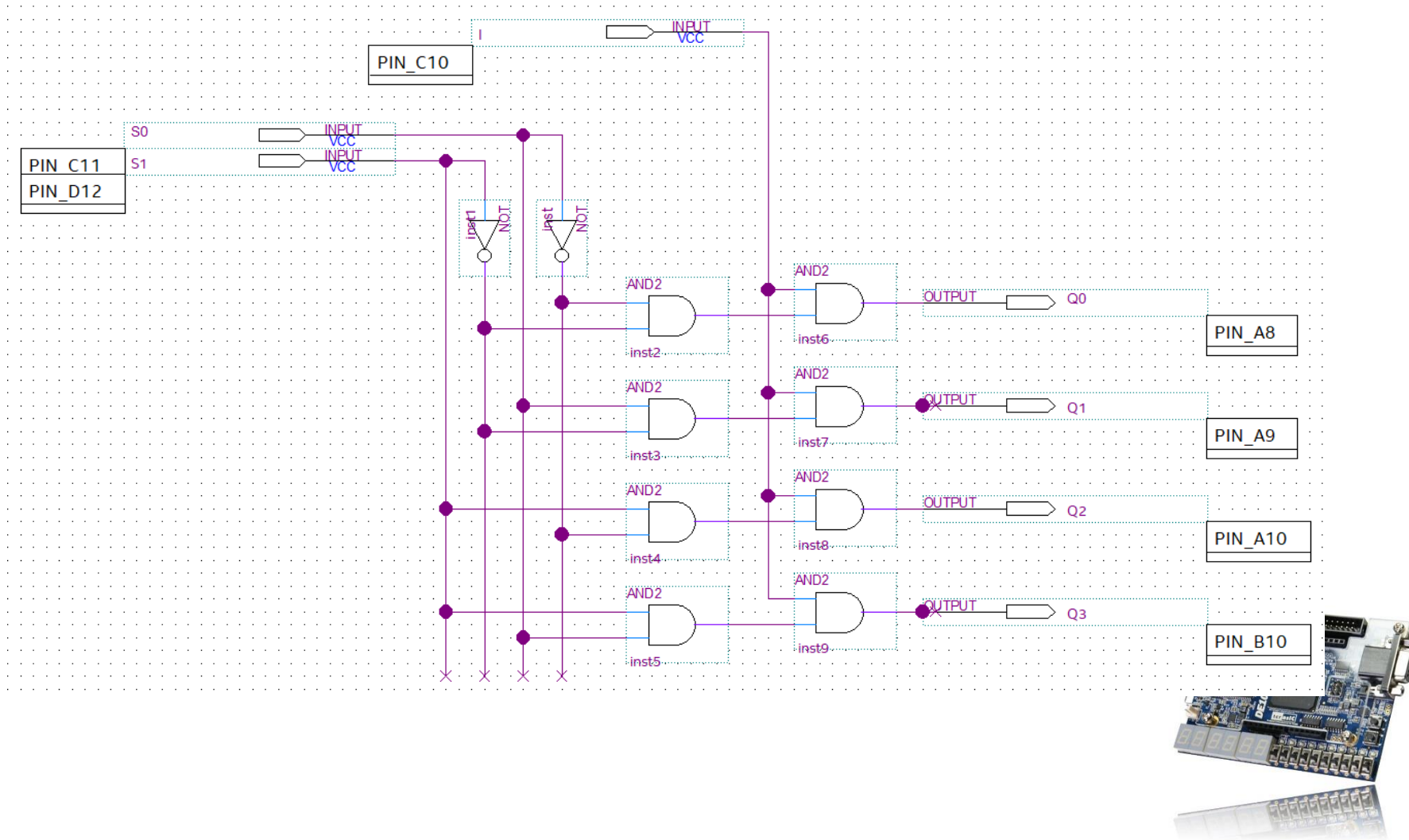
四對一多工器(1/2)



四對一多工器(2/2)



一對四解多工器(1/2)



一對四解多工器(1/2)

