

| 封装形式 | 塑体尺寸 | 引脚节距 | | 封装说明 | 订货型号 |
|---------|---------|--------|---------|------------|----------|
| QFN32 | 4*4mm | 0.4mm | 15.7mil | 四边无引线 32 脚 | CH634F |
| QFN48 | 5*5mm | 0.35mm | 13.8mil | 四边无引线 48 脚 | CH634M |
| QFN68 | 8*8mm | 0.4mm | 15.7mil | 四边无引线 68 脚 | CH634X |
| QFN56 | 7*7mm | 0.4mm | 15.7mil | 四边无引线 56 脚 | CH634W5M |
| QFN64 | 8*8mm | 0.4mm | 15.7mil | 四边无引线 64 脚 | CH634W6C |
| QFN64 | 8*8mm | 0.4mm | 15.7mil | 四边无引线 64 脚 | CH634W6G |
| QFN64X9 | 9*9mm | 0.5mm | 19.7mil | 四边无引线 64 脚 | CH634W6T |
| QFN76 | 9*9mm | 0.4mm | 15.7mil | 四边无引线 76 脚 | CH634W7G |
| QFN76 | 9*9mm | 0.4mm | 15.7mil | 四边无引线 76 脚 | CH634W7R |
| QFN76 | 9*9mm | 0.4mm | 15.7mil | 四边无引线 76 脚 | CH634W7S |
| QFN76 | 9*9mm | 0.4mm | 15.7mil | 四边无引线 76 脚 | CH634W7U |
| QFN76 | 9*9mm | 0.4mm | 15.7mil | 四边无引线 76 脚 | CH634W7V |
| QFN88 | 10*10mm | 0.4mm | 15.7mil | 四边无引线 88 脚 | CH634W8G |

注：1、0#引脚是 QFN 封装的底板，是必要连接。

2、CH634F、CH634W5M、CH634W6T 内部没有 LDO 调压器和 DC-DC 降压器，需外部同时供电 3.3V 和 1.2V。其它型号内置 3.3V 的 LDO 调压器和 1.2V 的 DC-DC 降压器，外部单一供电 5V 或 3.3V。

3、CH634F 的 4 个下行端口包含 2 个 USB3.2 Gen1 和 4 个 USB2.0；其它型号包含 4 个 USB3.2 Gen1 下行端口和 4 个 USB2.0；其中，CH634X 和 CH634W8G 包含两组原生 Type-C/PD 正反插自适应端口。

4、客制引脚 CH634W5M、CH634W6C、CH634W6T、CH634W7G、CH634W7R、CH634W7S、CH634W7U、CH634W7V、CH634W8G，仅批量预定。

5、对于 CH634F、CH634M、CH634X 和 CH634W6G 芯片，详细信息请参考《CH634DS1》手册。

2、引脚定义

表 2-1 USB 信号相关引脚功能描述

| USB 信号引脚 | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|------------------------|--------------------------|-------------------|---|
| 上行端口 USBSS 差分信号 | UP_SS_TXA UP_SS_TXB | USB3 | 上行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。 |
| | UP_SS_RXA UP_SS_RXB | USB3 | 上行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。 |
| 上行端口 USB2.0 差分信号 | UP_HS_DP | USB2 | 上行端口 USB2.0 差分信号线 D+。 |
| | UP_HS_DM | USB2 | 上行端口 USB2.0 差分信号线 D-。 |
| 1#下行端口 USBSS 差分信号 | P1_SS_TXA P1_SS_TXB | USB3 | 1#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。 |
| | P1_SS_RXA P1_SS_RXB | USB3 | 1#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。 |
| 1#下行端口 USB2.0 差分信号 | P1_HS_DP | USB2 | 1#下行端口 USB2.0 差分信号线 D+。 |
| | P1_HS_DM | USB2 | 1#下行端口 USB2.0 差分信号线 D-。 |
| 2#下行端口 USBSS 差分信号 | P2_SS_TXA P2_SS_TXB | USB3 | 2#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。 |
| | P2_SS_RXA P2_SS_RXB | USB3 | 2#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。 |
| 2#下行端口 USB2.0 差分信号 | P2_HS_DP | USB2 | 2#下行端口 USB2.0 差分信号线 D+。 |
| | P2_HS_DM | USB2 | 2#下行端口 USB2.0 差分信号线 D-。 |
| 3#下行端口 USBSS 差分信号 | P3_SS_TXA P3_SS_TXB | USB3 | 3#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。 |
| | P3_SS_RXA P3_SS_RXB | USB3 | 3#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。 |
| 3#下行端口 USB2.0 差分信号 | P3_HS_DP | USB2 | 3#下行端口 USB2.0 差分信号线 D+。 |
| | P3_HS_DM | USB2 | 3#下行端口 USB2.0 差分信号线 D-。 |
| 4#下行端口 USBSS 差分信号 | P4_SS_TXA P4_SS_TXB | USB3 | 4#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。 |
| | P4_SS_RXA P4_SS_RXB | USB3 | 4#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。 |
| 4#下行端口 USB2.0 差分信号 | P4_HS_DP | USB2 | 4#下行端口 USB2.0 差分信号线 D+。 |
| | P4_HS_DM | USB2 | 4#下行端口 USB2.0 差分信号线 D-。 |
| 1#或 2#下行端口 Type-C 差分信号 | PxC_SS_TXA PxC_SS_TXB | USB3 | 1#或 2#下行端口 Type-C 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。 |
| | PxC_SS_RXA PxC_SS_RXB | USB3 | 1#或 2#下行端口 Type-C 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。 |

表 2-2 CH634W5M 引脚定义

| 引脚号（同名引脚可参考） | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|--------------|--------|-------------------|--------------------------------------|
| 44 | AVDD33 | P | 3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 退耦电容。 |
| 43 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 并联 10uF |

| | | | |
|-------------|-----------|-----------|--|
| | | | 退耦电容。 |
| 33 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 |
| 31 | VI033 | P | I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。 |
| 0 | GND | P | 公共接地端，必须连接 GND。 |
| 52、56 | GND | P | 可选接地端，建议连接 GND。 |
| 49 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 5、28、21、12 | Px_VDD12 | P | 1~4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 54 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 |
| 53 | XO | O | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 |
| 48、47、51、50 | UP_SS_XXX | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 45、46 | UP_HS_XX | USB2 | 上行端口 USB2.0 差分信号线。 |
| 4、3、7、6 | P1_SS_XXX | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 1、2 | P1_HS_XX | USB2 | 1#下行端口 USB2.0 差分信号线。 |
| 27、26、30、29 | P2_SS_XXX | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |
| 24、25 | P2_HS_XX | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 20、19、23、22 | P3_SS_XXX | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 17、18 | P3_HS_XX | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 11、10、14、13 | P4_SS_XXX | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 8、9 | P4_HS_XX | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 36 | PWREN1 | O | 1#下行端口电源输出控制引脚，高电平开启。 |
| | OVCUR1# | I | 1#下行端口过流检测输入引脚，低电平过流。 |
| 35 | PWREN4 | O | 4#下行端口电源输出控制引脚，高电平开启。 |
| | OVCUR4# | I | 4#下行端口过流检测输入引脚，低电平过流。 |
| 34 | PWREN3 | O | 3#下行端口电源输出控制引脚，高电平开启。 |
| | OVCUR3# | I | 3#下行端口过流检测输入引脚，低电平过流。 |
| 32 | PWREN2 | O | 2#下行端口电源输出控制引脚，高电平开启。 |
| | OVCUR2# | I | 2#下行端口过流检测输入引脚，低电平过流。 |
| | GANG_EN | I | 在复位期间作为配置引脚，用于配置整体模式或独立模式，内置下拉电阻，悬空或外加下拉电阻置低电平为独立模式，高电平为整体模式。 |
| 37 | VBUS_DET | I (FT) | USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。 |
| 42 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 AVDD33 防干扰。 |
| 41 | SPI_SCS | O | SPI 接口的片选输出。 |
| 38 | SPI_SCK | O | SPI 接口的时钟输出。 |
| | SMBCLK | I | SMBus 总线时钟信号线。 |
| 39 | SPI_MOSI | O | SPI 接口的数据输出。 |
| | SMBDAT | I/O | SMBus 总线数据信号线。 |
| 40 | SPI_MISO | I | SPI 接口的数据输入，内置上拉电阻。 |
| | BC_EN | I | 在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为使能 BC 充电，外加下拉电阻置低电平为禁止 BC |

| | | | |
|----------|----|---|----------|
| | | | 充电。 |
| 15、16、55 | NC | - | 空脚，建议悬空。 |

表 2-3 CH634W6C 引脚定义

| 引脚号（同名引脚可参考） | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|--------------|-----------|-------------------|--|
| 34 | VDD5 | P | DCDC 的电源输入，建议外接 10uF 对地电容。 |
| 35 | | | 3.3V LDO 的 5V 电源输入，建议外接 1uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。 |
| 33 | VSW | P | DCDC 输出端，需贴近引脚串接电感产生 1.2V 电源，且 1.2V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容。 |
| 31 | VFB | P | DCDC 电压反馈端，建议外接 0.1uF 对地电容，且直连 DC-DC 输出的 1.2V 电源。 |
| 36 | VDD33 | P | 3.3V LDO 输出端，建议外接 1uF~10uF 对地电容。 |
| 46 | AVDD33 | P | 3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 |
| 38、25 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 |
| 24、64 | VI033 | P | I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。 |
| 32 | GND_DCDC | P | DCDC 接地端，必须连接 GND。 |
| 0 | GND | P | 公共接地端，必须连接 GND。 |
| 61 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 51、19、14、4 | Px_VDD12 | P | 1-4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 48 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 |
| 47 | XO | O | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 |
| 60、59、63、62 | UP_SS_xxx | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 57、58 | UP_HS_xx | USB2 | 上行端口 USB2.0 差分信号线。 |
| 50、49、53、52 | P1_SS_xxx | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 54、55 | P1_HS_xx | USB2 | 1#下行端口 USB2.0 差分信号线。 |
| 18、17、21、20 | P2_SS_xxx | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |
| 22、23 | P2_HS_xx | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 13、12、16、15 | P3_SS_xxx | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 10、11 | P3_HS_xx | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 3、2、6、5 | P4_SS_xxx | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 7、8 | P4_HS_xx | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 30 | OVCUR1# | I | 1#下行端口过流检测输入引脚，低电平过流。整体模式下行端口过流检测输入引脚，低电平过流。 |
| 28 | OVCUR2# | I | 2#下行端口过流检测输入引脚，低电平过流。 |
| 27 | OVCUR3# | I | 3#下行端口过流检测输入引脚，低电平过流。 |
| | SMBCLK | | SMBus 总线时钟信号线。 |
| 26 | OVCUR4# | I | 4#下行端口过流检测输入引脚，低电平过流。 |

| | | | |
|-----------|----------|-----|--|
| | SMBDAT | I/O | SMBus 总线数据信号线。 |
| 29 | PWREN1# | 0 | 1#下行端口电源输出控制引脚，低电平开启。整体模式下行端口电源输出控制引脚，低电平开启。 |
| 39 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。 |
| 40 | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | BC_EN# | I | 在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。 |
| 43 | SPI_SCS | 0 | SPI 接口的片选输出。 |
| 41 | SPI_SCK | 0 | SPI 接口的时钟输出。 |
| 42 | SPI_MISO | I | SPI 接口的数据输入，内置上拉电阻。 |
| | EXCH# | | 如果配置参数使能上行口交换功能，则该引脚切换成上行口和 1#下行端口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。 |
| 45 | VBUS_DET | I | USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。 |
| 44 | SUSP | 0 | 睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。 |
| | GANG_EN | I | 在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，悬空或高电平为整体模式，外加下拉电阻置低电平为独立模式。 |
| 1、9、37、56 | NC | — | 空脚，建议悬空。 |

表 2-4 CH634W6T 引脚定义

| 引脚号（同名引脚可参考） | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|--------------|---------------|-------------------|--|
| 52 | AVDD33 /VI033 | P | 3.3V 模拟电源和 I/O 引脚电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 |
| 31 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 |
| 0 | GND | P | 公共接地端，必须连接 GND。 |
| 64 | GND | P | 可选接地端，建议连接 GND。 |
| 57 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 5、28、21、13 | Px_VDD12 | P | 1-4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 62 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 |
| 61 | XO | 0 | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 |
| 56、55、59、58 | UP_SS_xxx | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 53、54 | UP_HS_xx | USB2 | 上行端口 USB2.0 差分信号线。 |
| 4、3、7、6 | P1_SS_xxx | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 1、2 | P1_HS_xx | USB2 | 1#下行端口 USB2.0 差分信号线。 |

| | | | |
|-------------|-----------|-----------|--|
| 27、26、30、29 | P2_SS_xxx | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |
| 24、25 | P2_HS_xx | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 20、19、23、22 | P3_SS_xxx | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 17、18 | P3_HS_xx | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 12、11、15、14 | P4_SS_xxx | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 9、10 | P4_HS_xx | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 36 | PWREN1 | I/O | 1#下行端口电源输出控制引脚，高电平开启。在复位期间作为配置引脚，用于配置 1#下行端口是否使能 BC 充电功能，内置下拉电阻，悬空或外加下拉电阻置低电平为禁止 BC 充电，高电平为使能 BC 充电。 |
| 35 | PWREN4 | I/O | 4#下行端口电源输出控制引脚，高电平开启。在复位期间作为配置引脚，用于配置 4#下行端口是否使能 BC 充电功能，内置下拉电阻，悬空或外加下拉电阻置低电平为禁止 BC 充电，高电平为使能 BC 充电。 |
| 33 | PWREN3 | I/O | 3#下行端口电源输出控制引脚，高电平开启。在复位期间作为配置引脚，用于配置 3#下行端口是否使能 BC 充电功能，内置下拉电阻，悬空或外加下拉电阻置低电平为禁止 BC 充电，高电平为使能 BC 充电。 |
| 32 | PWREN2 | I/O | 2#下行端口电源输出控制引脚，高电平开启。在复位期间作为配置引脚，用于配置 2#下行端口是否使能 BC 充电功能，内置下拉电阻，悬空或外加下拉电阻置低电平为禁止 BC 充电，高电平为使能 BC 充电。 |
| 46 | OVCUR1# | I | 1#下行端口过流检测输入引脚，低电平过流。 |
| 47 | OVCUR4# | I | 4#下行端口过流检测输入引脚，低电平过流。 |
| 44 | OVCUR3# | I | 3#下行端口过流检测输入引脚，低电平过流。 |
| 43 | OVCUR2# | I (FT) | 2#下行端口过流检测输入引脚，低电平过流。 |
| 48 | VBUS_DET | I | USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VIO33。 |
| 50 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。 |
| 39 | SS_SUSP | 0 | 超高速 USB 接口睡眠状态输出引脚，高电平指示睡眠态，低电平指示正常状态。 |
| | SMB_EN# | I | 在复位期间作为配置引脚，用于选择 I2C 接口和 SMBus 接口，内置上拉电阻，悬空或高电平选择 I2C 接口，外加下拉电阻置低电平选择 SMBus 接口。 |
| 45 | HS_SUSP | 0 | 高速 USB 接口睡眠状态输出引脚，高电平指示睡眠态，低电平指示正常状态。 |
| 40 | SS_UP | 0 | 上行超高速 USB 接口连接状态输出引脚，高电平指示已连接，低电平指示未连接。 |
| | PO_EN# | I (FT) | 在复位期间作为配置引脚，用于配置是否使能电源控制和过流功能，内置下拉电阻，悬空或外加下拉电阻置低电平使能电源控制及过流功能，否则禁用电源控制及过流功能。 |

| | | | |
|---------------------|------------|-----------|--|
| 42 | HS_UP | 0 | 上行高速 USB 接口连接状态输出引脚，高电平指示已连接，低电平指示未连接。 |
| | GANG_EN | I (FT) | 在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，悬空或高电平为整体模式，外加下拉电阻置低电平为独立模式。 |
| 41 | PWREN_POL# | I (FT) | 在复位期间作为配置引脚，用于配置电源控制引脚输出极性，内置上拉电阻，悬空或高电平为输出高电平有效，外加下拉电阻置低电平为输出低电平有效。 |
| 38 | SCL | 0 | 2 线串行接口的时钟信号线。 |
| | SMBCLK | I | SMBus 总线时钟信号线。 |
| 37 | SDA | I/O | 2 线串行接口的数据信号线。 |
| | SMBDAT | I/O | SMBus 总线数据信号线。 |
| 8、16、34、49、51、60、63 | NC | - | 空脚，建议悬空。 |

表 2-5 CH634W7G 引脚定义

| 引脚号（同名引脚可参考） | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|--------------|-----------|-------------------|--|
| 42 | VDD5 | P | DCDC 的电源输入，建议外接 10uF 对地电容。 |
| 43 | VDD5 | P | 3.3V LDO 的 5V 电源输入，建议外接 1uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。 |
| 41 | VSW | P | DCDC 输出端，需贴近引脚串接电感产生 1.2V 电源，且 1.2V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容。 |
| 39 | VFB | P | DCDC 电压反馈端，建议外接 0.1uF 对地电容，且直连 DC-DC 输出的 1.2V 电源。 |
| 44 | VDD33 | P | 3.3V LDO 输出端，建议外接 1uF~10uF 对地电容。 |
| 55 | AVDD33 | P | 3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 |
| 28、47 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 |
| 27、73 | VI033 | P | I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。 |
| 40 | GND_DCDC | P | DCDC 接地端，必须连接 GND。 |
| 0 | GND | P | 公共接地端，必须连接 GND。 |
| 70 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 60、22、17、7 | Px_VDD12 | P | 1~4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 57 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 |
| 56 | XO | 0 | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 |
| 69、68、72、71 | UP_SS_XXX | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 66、67 | UP_HS_XX | USB2 | 上行端口 USB2.0 差分信号线。 |
| 59、58、62、61 | P1_SS_XXX | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 63、64 | P1_HS_XX | USB2 | 1#下行端口 USB2.0 差分信号线。 |
| 21、20、24、23 | P2_SS_XXX | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |

| | | | |
|-------------|--------------------|-----------|--|
| 25、26 | P2_HS_xx | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 16、15、19、18 | P3_SS_xxx | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 13、14 | P3_HS_xx | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 6、5、9、8 | P4_SS_xxx | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 10、11 | P4_HS_xx | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 37 | PWREN1# | 0 | 1#下行端口电源输出控制引脚，低电平开启。 |
| 36 | PWREN2# | 0 | 2#下行端口电源输出控制引脚，低电平开启。 |
| 33 | PWREN3# | 0 | 3#下行端口电源输出控制引脚，低电平开启。 |
| 32 | PWREN4# | 0 | 4#下行端口电源输出控制引脚，低电平开启。 |
| 38 | OVCUR1# | I | 1#下行端口过流检测输入引脚，低电平过流。 |
| 35 | OVCUR2# | I | 2#下行端口过流检测输入引脚，低电平过流。 |
| 34 | OVCUR3#/ SMBCLK | I | 3#下行端口过流检测输入引脚，低电平过流。 SMBus 总线时钟信号线。 |
| | | | |
| 31 | OVCUR4#/ SMBDAT | I | 4#下行端口过流检测输入引脚，低电平过流。 |
| | | I/O | SMBus 总线数据信号线。 |
| 54 | VBUS_DET | I | USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。 |
| 48 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。 |
| 53 | SUSP | 0 | 睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。 |
| | GANG_EN | I | 在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，悬空或高电平为整体模式，外加下拉电阻置低电平为独立模式。 |
| 45 | CHIP_EN | I (FT) | 芯片工作使能控制，低电平控制芯片进入低功耗模式，高电平控制芯片进入正常工作模式。 |
| 52 | SPI_SCS | 0 | SPI 接口的片选输出。 |
| 50 | SPI_SCK | 0 | SPI 接口的时钟输出。 |
| 49 | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | BC_EN# | I | 在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。 |
| 51 | SPI_MISO | I | SPI 接口的数据输入，内置上拉电阻。 |
| 74 | LED_A1 | 0 | 1#下行端口正常状态指示信号。 |
| 29 | LED_A2 | 0 | 2#下行端口正常状态指示信号。 |
| 2 | LED_A3 | 0 | 3#下行端口正常状态指示信号。 |
| 76 | LED_A4 | 0 | 4#下行端口正常状态指示信号。 |
| 75 | LED_B1 | 0 | 1#下行端口异常状态指示信号。 |
| 30 | LED_B2 | 0 | 2#下行端口异常状态指示信号。 |
| 3 | LED_B3 | 0 | 3#下行端口异常状态指示信号。 |
| 1 | LED_B4 | 0 | 4#下行端口异常状态指示信号。 |
| 4、12、46、65 | NC | - | 空脚，建议悬空。 |

表 2-6 CH634W7R 引脚定义

| 引脚号（同名引脚可参考） | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|---------------|---------------|-------------------|--|
| 53 | VDD5 | P | DCDC 的电源输入，建议外接 10uF 电容。 |
| 54 | VDD5 | P | 3.3V LDO 的 5V 电源输入，建议外接 1uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。 |
| 52 | VSW | P | DCDC 输出端，需贴近引脚串接电感产生 1.2V 电源，且 1.2V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容。 |
| 50 | VFB | P | DCDC 电压反馈端，建议外接 0.1uF 对地电容，且直连 DC-DC 输出的 1.2V 电源。 |
| 55 | VDD33 | P | 3.3V LDO 输出端，建议外接 1uF~10uF 对地电容。 |
| 48 | AVDD33 /VIO33 | P | 3.3V 模拟电源和 IO 引脚电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 |
| 49 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 |
| 51 | GND_DCDC | P | DCDC 接地端，必须连接 GND。 |
| 0、61 | GND | P | 公共接地端，必须连接 GND。 |
| 1 | GND | P | 可选接地端，建议连接 GND。 |
| 64 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 13、31、19、7、70 | P_VDD12 | P | 1-4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 |
| 75 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 |
| 74 | XO | O | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 |
| 60、59、63、62 | UP_SS_XXX | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 56、57 | UP_HS_XX | USB2 | 上行端口 USB2.0 差分信号线。 |
| 66、65、69、68 | P1_SS_XXX | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 71、72 | P1_HS_XX | USB2 | 1#下行端口 USB2.0 差分信号线。 |
| 27、26、29、30 | P2_SS_XXX | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |
| 23、24 | P2_HS_XX | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 15、14、18、17 | P3_SS_XXX | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 20、21 | P3_HS_XX | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 9、8、12、11 | P4_SS_XXX | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 5、6 | P4_HS_XX | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 40 | PWREN1# | O | 1#下行端口电源输出控制引脚，低电平开启。 |
| 43 | PWREN2# | O | 2#下行端口电源输出控制引脚，低电平开启。 |
| 42 | PWREN3# | O | 3#下行端口电源输出控制引脚，低电平开启。 |
| 41 | PWREN4# | O | 4#下行端口电源输出控制引脚，低电平开启。 |
| 67 | OVCUR1# | I (FT) | 1#下行端口过流检测输入引脚，低电平过流。 |
| 28 | OVCUR2# | I (FT) | 2#下行端口过流检测输入引脚，低电平过流。 |
| 16 | OVCUR3# | I (FT) | 3#下行端口过流检测输入引脚，低电平过流。 |
| 10 | OVCUR4# | I | 4#下行端口过流检测输入引脚，低电平过流。 |

| | | (FT) | |
|-----------------|----------|-------------|--|
| 2 | VBUS_DET | I (FT) | USB 总线 VBUS 状态检测输入, 应将 VBUS 电源通过两个电阻分压后接入该引脚; 不用此功能时, 该引脚需短接 VI033。 |
| 76 | PSELF_EN | I | 在复位期间作为配置引脚, 用于配置供电模式, 内置上拉电阻, 悬空或高电平为自供电模式, 外加下拉电阻置低电平为总线供电模式。 |
| 45 | SPI_SCS | 0 | SPI 接口的片选输出。 |
| 44 | SPI_SCK | 0 | SPI 接口的时钟输出。 |
| 47 | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | BC_EN# | I | 在复位期间作为配置引脚, 用于配置是否使能 BC 充电功能, 内置上拉电阻, 悬空或高电平为禁止 BC 充电, 外加下拉电阻置低电平为使能 BC 充电。 |
| 46 | SPI_MISO | I | SPI 接口的数据输入, 内置上拉电阻。 |
| 32 | GPIO0 | I/O (FT) | 通用 GPIO0, 用于 I/O 口输入或输出。 出厂默认为 1#下行端口正常状态指示信号。 |
| | SMBCLK | I | SMBus 总线时钟信号线。 |
| 33 | GPIO1 | I/O | 通用 GPIO1, 用于 I/O 口输入或输出。 出厂默认为 1#下行端口异常状态指示信号。 |
| | SMBDAT | I/O | SMBus 总线数据信号线。 |
| 34 | GPIO2 | I/O | 通用 GPIO2, 用于 I/O 口输入或输出; 出厂默认为 2#下行端口正常状态指示信号。 |
| | SCL | 0 | 2 线串行接口的时钟信号线。 |
| 35 | GPIO3 | I/O | 通用 GPIO3, 用于 I/O 口输入或输出。 出厂默认为 2#下行端口异常状态指示信号。 |
| | SDA | I/O | 2 线串行接口的数据信号线。 |
| 36 | GPIO4 | I/O | 通用 GPIO4, 用于 I/O 口输入或输出。 出厂默认为 3#下行端口正常状态指示信号。 |
| 37 | GPIO5 | I/O | 通用 GPIO5, 用于 I/O 口输入或输出。 出厂默认为 3#下行端口异常状态指示信号。 |
| 38 | GPIO6 | I/O | 通用 GPIO6, 用于 I/O 口输入或输出。 出厂默认为 4#下行端口正常状态指示信号。 |
| 39 | GPIO7 | I/O | 通用 GPIO7, 用于 I/O 口输入或输出。 出厂默认为 4#下行端口异常状态指示信号。 |
| 3、4、22、25、58、73 | NC | - | 空脚, 建议悬空。 |

表 2-7 CH634W7S 引脚定义

| 引脚号 (同名引脚可参考) | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|---------------|-------|-------------------|---|
| 49 | VDD5 | P | 5V 电源输入, 建议外接 1uF 并联 10uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。 |
| 53 | VSW | P | DCDC 输出端, 需贴近引脚串接电感产生 1.2V 电源, 且 1.2V 电源需就近放置对地电容, 建议用 2.2uH 电感且至少一个 10uF 电容。 |
| 54 | VFB | P | DCDC 电压反馈端, 建议外接 0.1uF 对地电容, 且直连 DC-DC 输出的 1.2V 电源。 |
| 48 | VDD33 | P | 3.3V LDO 输出端, 建议外接 1uF~10uF 对地电容。 |

| | | | | | |
|-------------|-----------|-----------|---|---------------|-------------------|
| 50 | VDD33 | P | 3.3V 辅助电源端，连接其它 VDD33，建议外接 1uF 退耦电容。 | | |
| 61 | AVDD33 | P | 3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 | | |
| 34 | VI033 | P | I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。 | | |
| 47、64 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 | | |
| 0 | GND | P | 公共接地端，必须连接 GND。 | | |
| 73 | GND | P | 可选接地端，建议连接 GND。 | | |
| 67 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 | | |
| 5、31、22、14 | Px_VDD12 | P | 1-4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。 | | |
| 75 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 | | |
| 74 | XO | O | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 | | |
| 66、65、69、68 | UP_SS_XXX | USB3 | 上行端口 USBSS 差分发送或接收信号线。 | | |
| 62、63 | UP_HS_XX | USB2 | 上行端口 USB2.0 差分信号线。 | | |
| 4、3、7、6 | P1_SS_XXX | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 | | |
| 9、10 | P1_HS_XX | USB2 | 1#下行端口 USB2.0 差分信号线。 | | |
| 30、29、33、32 | P2_SS_XXX | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 | | |
| 35、36 | P2_HS_XX | USB2 | 2#下行端口 USB2.0 差分信号线。 | | |
| 21、20、24、23 | P3_SS_XXX | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 | | |
| 26、27 | P3_HS_XX | USB2 | 3#下行端口 USB2.0 差分信号线。 | | |
| 13、12、16、15 | P4_SS_XXX | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 | | |
| 18、19 | P4_HS_XX | USB2 | 4#下行端口 USB2.0 差分信号线。 | | |
| 46 | PWREN1# | O | 1#下行端口电源输出控制引脚，低电平开启。 | | |
| 56 | PWREN4# | O | 4#下行端口电源输出控制引脚，低电平开启。 | | |
| | GANG_EN# | I | 在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，悬空或高电平为独立模式；外加下拉电阻置低电平为整体模式。 | | |
| 58 | PWREN3# | O | 3#下行端口电源输出控制引脚，低电平开启。 | | |
| | | I | 在复位期间作为下行端口个数配置引脚 0，配合 PWREN4#引脚进行配置。 | | |
| 60 | PWREN2# | O | 2#下行端口电源输出控制引脚，低电平开启。 | | |
| | | I | 在复位期间作为下行端口个数配置引脚，配合 PWREN3#引脚进行配置。 | | |
| | | | PWREN2# 电平 | PWREN3# 电平 | 下行端口个数 |
| | | | 0 | 0 | 2 个 (3#和 4#禁用) |
| | | | 0 | 1 | 3 个 (4#禁用) |
| | | | 1 | 0 | 配置无效 |
| 1 | 1 | 4 个 | | | |
| 45 | OVCUR1# | I | 1#下行端口过流检测输入引脚，低电平过流。 | | |
| 55 | OVCUR4# | I (FT) | 4#下行端口过流检测输入引脚，低电平过流。 | | |

| | | | |
|--------------------------------------|----------|-----|--|
| 57 | OVCUR3# | I | 3#下行端口过流检测输入引脚，低电平过流。 |
| 59 | OVCUR2# | I | 2#下行端口过流检测输入引脚，低电平过流。 |
| 43 | VBUS_DET | I | USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。 |
| 44 | PSELF_EN | I | 在复位期间作为配置引脚，用于配置供电模式，内置上拉电阻，悬空或高电平为自供电模式，外加下拉电阻置低电平为总线供电模式。 |
| 38 | SPI_SCS | 0 | SPI 接口的片选输出。 |
| 41 | LED_A2 | 0 | 2#下行端口正常状态指示信号。 |
| | SPI_SCK | | SPI 接口的时钟输出。 |
| 40 | LED_A3 | 0 | 3#下行端口正常状态指示信号。 |
| | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | BC_EN# | I | 在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。 |
| 39 | LED_A4 | 0 | 4#下行端口正常状态指示信号。 |
| | SPI_MISO | I | SPI 接口的数据输入，内置上拉电阻。 |
| 37 | LED_A1 | I/O | 1#下行端口正常状态指示信号。 |
| 2 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。 |
| 1、8、11、17、25、28、42、51、52、70、71、72、76 | NC | - | 空脚，建议悬空。 |

表 2-8 CH634W7U 和 CH634W7V 引脚定义

| 引脚号（同名引脚可参考） | | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|--------------|------------|----------|-------------------|--|
| CH634W7U | CH634W7V | | | |
| 38 | 38 | VDD5 | P | DCDC 的电源输入，建议外接 10uF 电容。 |
| 19 | 20 | VDD5 | P | 3.3V LDO 的 5V 电源输入，建议外接 1uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。 |
| 39 | 39 | VSW | P | DCDC 输出端，需贴近引脚串接电感产生 1.2V 电源，且 1.2V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容。 |
| 40 | 40 | VFB | P | DCDC 电压反馈端，建议外接 0.1uF 对地电容，且直连 DC-DC 输出的 1.2V 电源。 |
| 36 | 21 | VDD33 | P | 3.3V LDO 输出端，建议外接 1uF~10uF 对地电容。 |
| 18 | - | VDD33 | P | 3.3V 辅助电源端，连接其它 VDD33，建议外接 1uF 退耦电容。 |
| 41 | 29 | AVDD33 | P | 3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 |
| 30、58 | 46 | DVDD12 | P | 1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。 |
| 2、49 | 43 | VI033 | P | I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。 |
| 0 | 0 | GND | P | 公共接地端，必须连接 GND。 |
| - | 57 | GND | P | 可选接地端，建议连接 GND。 |
| 24 | 49 | UP_VDD12 | P | 上行端口 1.2V 电源输入，外接 0.1uF 退耦电容 |
| 61、68、13、5 | 61、12、3、70 | Px_VDD12 | P | 1-4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容 |

| | | | | |
|-------------|-------------|-----------|------|--|
| | | | | 容。 |
| 75 | 56 | XI | I | 晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。 |
| 76 | 55 | X0 | 0 | 晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。 |
| 23、22、26、25 | 48、47、51、50 | UP_SS_xxx | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 28、29 | 53、54 | UP_HS_xx | USB2 | 上行端口 USB2.0 差分信号线。 |
| 60、59、63、62 | 60、59、63、62 | P1_SS_xxx | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 64、65 | 65、66 | P1_HS_xx | USB2 | 1#下行端口 USB2.0 差分信号线。 |
| 67、66、70、69 | 11、10、14、13 | P2_SS_xxx | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |
| 72、73 | 16、17 | P2_HS_xx | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 12、11、15、14 | 2、1、5、4 | P3_SS_xxx | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 16、17 | 7、8 | P3_HS_xx | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 4、3、7、6 | 69、68、72、71 | P4_SS_xxx | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 9、10 | 74、75 | P4_HS_xx | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 45 | 41 | OVCUR1# | I | 1#下行端口过流检测输入引脚，低电平过流。 |
| 44 | 27 | OVCUR2# | I | 2#下行端口过流检测输入引脚，低电平过流。 |
| - | 25 | OVCUR3# | I | 3#下行端口过流检测输入引脚，低电平过流。 整体模式下行端口过流检测输入引脚，低电平过流。 |
| - | 18 | OVCUR4# | I | 4#下行端口过流检测输入引脚，低电平过流。 |
| 43 | - | PWREN1# | 0 | 1#下行端口电源输出控制引脚，低电平开启。 |
| 42 | - | PWREN2# | 0 | 2#下行端口电源输出控制引脚，低电平开启。 |
| - | 42 | PWREN1 | 0 | 1#下行端口电源输出控制引脚，高电平开启。 |
| - | 28 | PWREN2 | 0 | 2#下行端口电源输出控制引脚，高电平开启。 |
| - | 26 | PWREN3 | 0 | 3#下行端口电源输出控制引脚，高电平开启。 整体模式下行端口电源输出控制引脚，低电平开启。 |
| - | 19 | PWREN4 | 0 | 4#下行端口电源输出控制引脚，高电平开启。 |
| 54 | 24 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。 |
| - | 32 | LED_A2 | 0 | 2#下行端口正常状态指示信号。 |
| | | SPI_SCS | 0 | SPI 接口的片选输出。 |
| - | 34 | LED_A4 | 0 | 4#下行端口正常状态指示信号。 |
| | | SPI_SCK | 0 | SPI 接口的时钟输出。 |
| - | 33 | LED_A1 | 0 | 1#下行端口正常状态指示信号。 |
| | | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | | BC_EN# | I | 在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。 |
| - | 35 | LED_A3 | 0 | 3#下行端口正常状态指示信号。 |
| | | SPI_MISO | I | SPI 接口的数据输入，内置上拉电阻。 |
| 32 | - | LED_B3 | 0 | 3#下行端口异常状态指示信号。 |
| | | SPI_SCS | 0 | SPI 接口的片选输出。 |
| 33 | - | LED_B4 | 0 | 4#下行端口异常状态指示信号。 |
| | | SPI_SCK | 0 | SPI 接口的时钟输出。 |
| 35 | - | LED_B1 | 0 | 1#下行端口异常状态指示信号。 |
| | | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | | BC_EN# | I | 在复位期间作为配置引脚，用于配置是否使能 BC |

| | | | | |
|--------------------------------|-----------------------------|-------------|--------|---|
| | | | | 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加大下拉电阻置低电平为使能 BC 充电。 |
| 34 | - | LED_B2 | 0 | 2#下行端口异常状态指示信号。 |
| | | SPI_MISO | I | SPI 接口的数据输入，内置上拉电阻。 |
| 53 | - | LED_A1 | 0 | 1#下行端口正常状态指示信号。 |
| 52 | - | LED_A2 | 0 | 2#下行端口正常状态指示信号。 |
| 51 | - | LED_A4 | 0 | 4#下行端口正常状态指示信号。 |
| 50 | - | LED_A3 | 0 | 3#下行端口正常状态指示信号。 |
| 31 | 45 | VBUS_DET | I | USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。 |
| 46 | - | SUSP# | 0 | SUSP 睡眠状态输出引脚，高电平指示睡眠态，低电平指示正常状态。 |
| 47 | - | UP_VBUS_DET | I (FT) | 上行端口 USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。 |
| - | 44 | PWRON_DET | I | 外部电源状态检测输入，内置下拉电阻，高电平表示检测到外部电源接入，低电平表示未检测到外部电源接入。 |
| - | 23 | PWREN_POL | I | 在复位期间作为配置引脚，用于配置电源控制引脚输出极性，悬空或高电平为输出低电平有效，外加大下拉电阻置低电平为输出高电平有效。 |
| 55 | 36 | SMBCLK | I | SMBus 总线时钟信号线。 |
| | | GPI01 | I/O | 通用 GPI01，用于 I/O 口输入或输出。 |
| 56 | 37 | SMBDAT | I/O | SMBus 总线数据信号线。 |
| | | GPI00 | I/O | 通用 GPI00，用于 I/O 口输入或输出。 |
| - | 31 | GPI02 | I/O | 通用 GPI02，用于 I/O 口输入或输出。 |
| - | 30 | GPI03 | I/O | 通用 GPI03，用于 I/O 口输入或输出。 |
| 1、8、20、21、27、37、41、48、57、71、74 | 6、9、15、22、52、58、64、67、73、76 | NC | - | 空脚，建议悬空。 |

表 2-9 CH634W8G 引脚定义

| 引脚号（同名引脚可参考） | 引脚名称 | 类型 ⁽¹⁾ | 功能描述 |
|--------------|--------|-------------------|--|
| 45 | VDD5 | P | DCDC 的电源输入，建议外接 10uF 电容。 |
| 46 | VDD5 | P | 3.3V LDO 的 5V 电源输入，建议外接 1uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。 |
| 44 | VSW | P | DCDC 输出端，需贴近引脚串接电感产生 1.2V 电源，且 1.2V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容。 |
| 42 | VFB | P | DCDC 电压反馈端，建议外接 0.1uF 对地电容，且直连 DC-DC 输出的 1.2V 电源。 |
| 47 | VDD33 | P | 3.3V LDO 输出端，建议外接 1uF~10uF 对地电容。 |
| 64 | AVDD33 | P | 3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。 |
| 31、87 | VI033 | P | I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。 |

| | | | |
|----------------------|------------|------|---|
| 32、56 | DVDD12 | P | 1.2V 内核电源输入, 建议外接 0.1uF 或 1uF 退耦电容。 |
| 43 | GND_DCDC | P | DCDC 接地端, 必须连接 GND。 |
| 0 | GND | P | 公共接地端, 必须连接 GND。 |
| 49 | GND | P | 可选接地端, 建议连接 GND。 |
| 84 | UP_VDD12 | P | 上行端口 1.2V 电源输入, 外接 0.1uF 退耦电容。 |
| 69 (74)、21 (26)、16、6 | Px_VDD12 | P | 1-4#下行端口 1.2V 电源输入, 外接 0.1uF 退耦电容。 |
| 66 | XI | I | 晶体振荡器输入端, 接外部 24MHz 晶体一端及对地电容。 |
| 65 | XO | O | 晶体振荡器反相输出端, 接外部 24MHz 晶体另一端及对地电容。 |
| 83、82、86、85 | UP_SS_XXX | USB3 | 上行端口 USBSS 差分发送或接收信号线。 |
| 80、81 | UP_HS_XX | USB2 | 上行端口 USB2.0 差分信号线。 |
| 75、76、72、73 | P1_SS_XXX | USB3 | 1#下行端口 USBSS 差分发送或接收信号线。 |
| 68、67、71、70 | P1C_SS_XXX | USB3 | 1#下行端口 Type-C 差分发送或接收信号线。 |
| 77、78 | P1_HS_XX | USB2 | 1#下行端口 USB2.0 差分信号线。 |
| 20、19、23、22 | P2_SS_XXX | USB3 | 2#下行端口 USBSS 差分发送或接收信号线。 |
| 27、28、24、25 | P2C_SS_XXX | USB3 | 2#下行端口 Type-C 差分发送或接收信号线。 |
| 29、30 | P2_HS_XX | USB2 | 2#下行端口 USB2.0 差分信号线。 |
| 15、14、18、17 | P3_SS_XXX | USB3 | 3#下行端口 USBSS 差分发送或接收信号线。 |
| 12、13 | P3_HS_XX | USB2 | 3#下行端口 USB2.0 差分信号线。 |
| 5、4、8、7 | P4_SS_XXX | USB3 | 4#下行端口 USBSS 差分发送或接收信号线。 |
| 9、10 | P4_HS_XX | USB2 | 4#下行端口 USB2.0 差分信号线。 |
| 40 | PWREN1# | O | 1#下行端口电源输出控制引脚, 低电平开启。 |
| 39 | PWREN2# | O | 2#下行端口电源输出控制引脚, 低电平开启。 |
| 36 | PWREN3# | O | 3#下行端口电源输出控制引脚, 低电平开启。 |
| 35 | PWREN4# | O | 4#下行端口电源输出控制引脚, 低电平开启。 |
| 41 | OVCUR1# | I | 1#下行端口过流检测输入引脚, 低电平过流。 |
| 38 | OVCUR2# | I | 2#下行端口过流检测输入引脚, 低电平过流。 |
| 37 | OVCUR3# | I | 3#下行端口过流检测输入引脚, 低电平过流。 |
| | SMBCLK | | SMBus 总线时钟信号线。 |
| 34 | OVCUR4# | I | 4#下行端口过流检测输入引脚, 低电平过流。 |
| | SMBDAT | I/O | SMBus 总线数据信号线。 |
| 63 | VBUS_DET | I | USB 总线 VBUS 状态检测输入, 应将 VBUS 电源通过两个电阻分压后接入该引脚; 不用此功能时, 该引脚需短接 VI033。 |
| 62 | SUSP | O | 睡眠状态输出引脚, 可用于驱动 LED, 睡眠时输出的电平与上下拉电阻配置的默认状态相同, 正常工作时输出的电平则相反。 |
| | GANG_EN | I | 在复位期间作为配置引脚, 用于配置整体模式或独立模式, 内置上拉电阻, 悬空或高电平为整体模式, 外加下拉电阻置低电平为独立模式。 |
| 48 | CHIP_EN | I | 芯片工作使能控制; 低电平控制芯片进入低功耗模式, 高电平控制芯片进入正常工作模式。 |
| 61 | SPI_SCS | O | SPI 接口的片选输出。 |
| 59 | SPI_SCK | O | SPI 接口的时钟输出。 |
| | SDA | I/O | PD-HUB 模式: 2 线串行接口的数据信号线, 用于 |

| | | | |
|---------------|----------|----------|---|
| | | | 连接 CH211 芯片。 |
| 58 | SPI_MOSI | 0 | SPI 接口的数据输出。 |
| | SCL | I/O | PD-HUB 模式：2 线串行接口的时钟信号线，用于连接 CH211 芯片。 |
| | BC_EN# | I | 在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。 |
| 60 | SPI_MISO | | SPI 接口的数据输入，内置上拉电阻。 |
| | EXCH# | I | 如果配置参数使能上行口交换功能，则该引脚切换成上行口和 1#下行端口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。 |
| 57 | RESET# | I | 外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。 |
| 88 | LED_B1 | 0 | 1#下行端口异常状态指示信号。 |
| 33 | LED_B2 | 0 | 2#下行端口异常状态指示信号。 |
| 2 | LED_B3 | 0 | 3#下行端口异常状态指示信号。 |
| | FUN_CFG0 | I | 在复位期间作为 C 口工作模式配置引脚 0，配合 FUN_CFG1 引脚进行功能配置，参考表 5-3。 |
| 1 | LED_B4 | 0 | 4#下行端口异常状态指示信号。 |
| | FUN_CFG1 | I | 在复位期间作为 C 口工作模式配置引脚 1，配合 FUN_CFG0 引脚进行功能配置，参考表 5-3。 |
| 54 | P1_CC1 | I/O (FT) | 通用 HUB 模式：1#下行端口 PD 协议通信引脚 CC1。 PD-HUB 模式：1#下行端口 PD 协议通信引脚 CC1。 在关闭 SMBus 的通用 HUB 模式下，如果 EXCH#为低电平，则该引脚跟随 1#下行端口切换为新的上行端口的 PD 协议通信引脚 CC1。 如果切换为上行端口，则该引脚需要通过 5.1K 电阻接地。如果 P1_CC1 通过 5.1K 电阻接地，则 P1C_SS*信号无效，1#端口从 C 口改为 A 口。 |
| 53 | P1_CC2 | I/O (FT) | 通用 HUB 模式：1#下行端口 PD 协议通信引脚 CC2。 在关闭 SMBus 的通用 HUB 模式下，如果 EXCH#为低电平，则该引脚跟随 1#下行端口切换为新的上行端口的 PD 协议通信引脚 CC2。 如果切换为上行端口，则该引脚需要通过 5.1K 电阻接地。如果 P1_CC2 通过 5.1K 电阻接地，则 P1_SS*信号无效，1#端口从 C 口改为 A 口，且选择使用 P1C_SS*信号引脚。 |
| | PWR_CC | I/O | PD-HUB 模式：外供电端 PD 协议通信引脚，用于连接 Type-C 电源适配器。 |
| 52 | P2_CC1 | I/O (FT) | 通用 HUB 模式：2#下行端口 PD 协议通信引脚 CC1。 如果 P2_CC1 通过 5.1K 电阻接地，则 P2C_SS*信号无效，2#端口从 C 口改为 A 口。 |
| | HUB_CC | I/O | PD-HUB 模式：上行口 PD 协议通信引脚，用于连接手机/电脑等 USB 主机。 |
| 51 | P2_CC2 | I/O (FT) | 通用 HUB 模式：2#下行端口 PD 协议通信引脚 CC2。 如果 P2_CC2 通过 5.1K 电阻接地，则 P2_SS*信号无效，2#端口从 C 口改为 A 口，且选择使用 P2C_SS*信号引脚。 PD-HUB 模式：1#下行端口 PD 协议通信引脚 CC2。 |
| 3、11、50、55、79 | NC | - | 空脚，建议悬空 |

注 1: 引脚类型缩写解释:

USB3 = USB3.0 信号引脚;

USB2 = USB2.0 信号引脚;

I = 信号输入;

O = 信号输出;

P = 电源或地;

NC = 空脚;

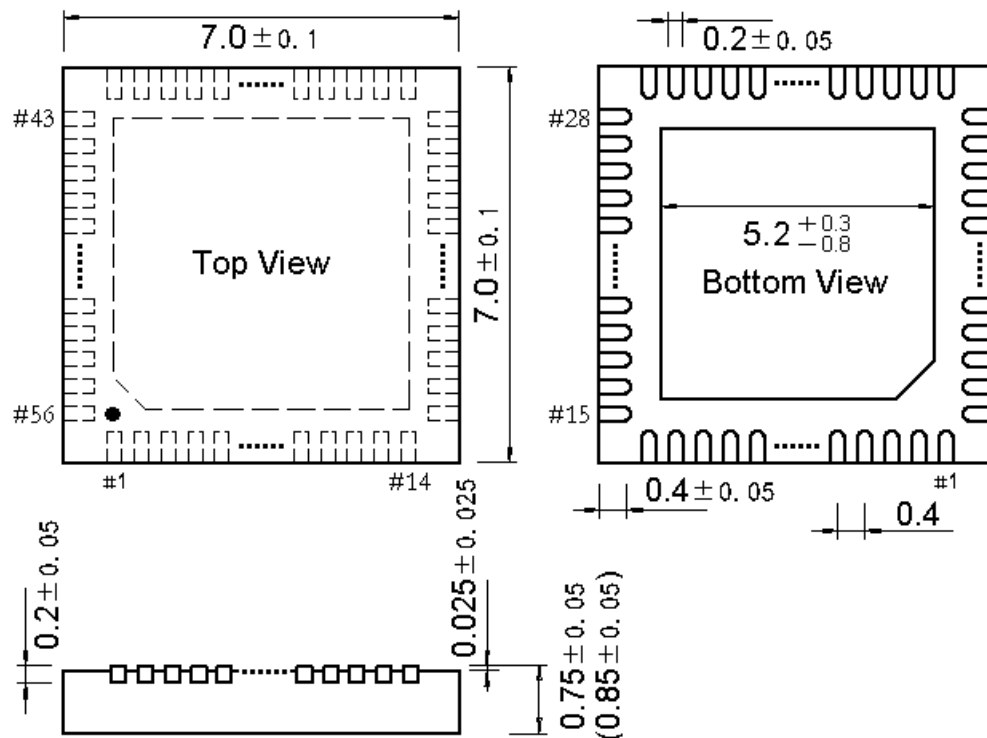
FT = 耐受 5V 电压。

3、封装信息

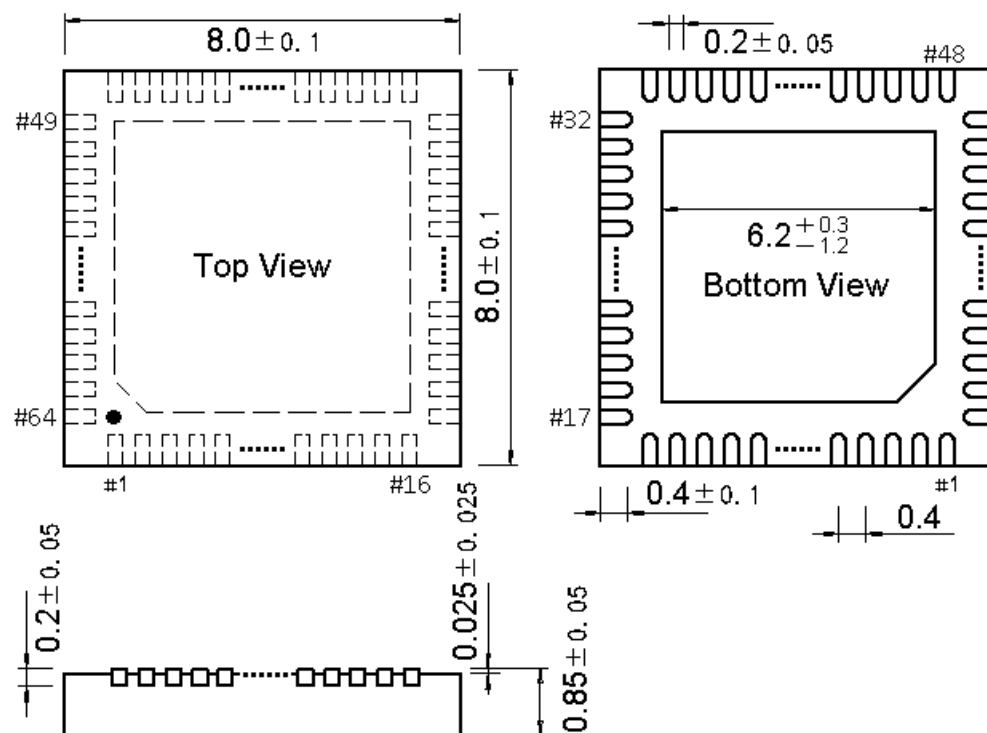
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

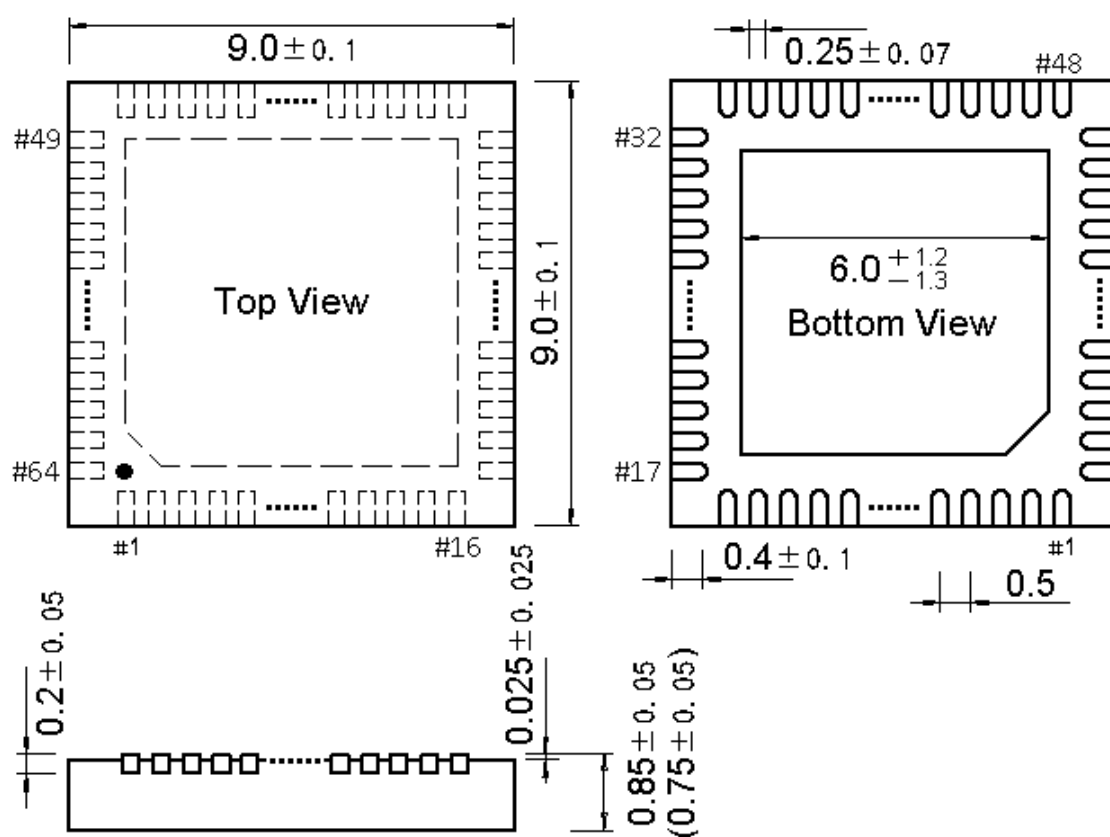
3.1 QFN56



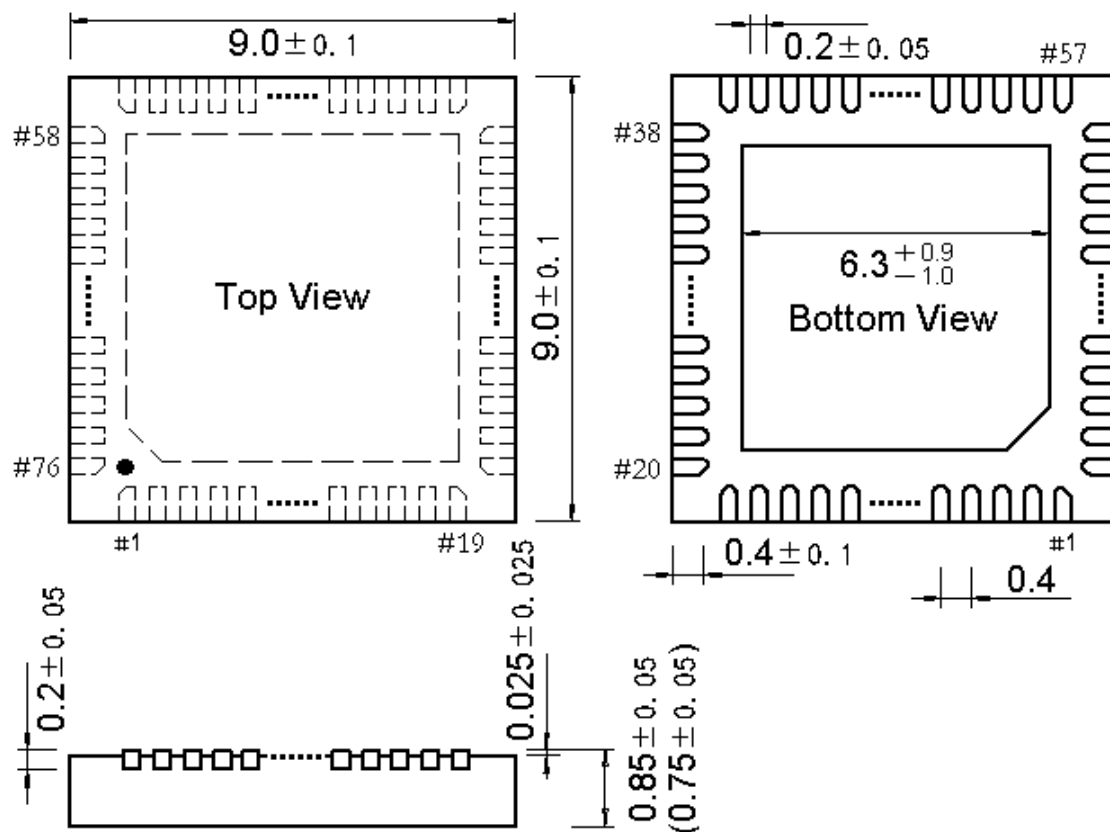
3.2 QFN64



3.3 QFN64X9



3.4 QFN76



3.5 QFN88

