

Микропроцессор BE-T1000 (Байкал-Т1)

Краткая спецификация (Datasheet)

документ: BE-T1-DS-Rus#927

1 Введение

Микросхема интегральная BE-T1000 (первоначальное наименование - Байкал-Т1) – это первый процессор в линейке многоядерных систем на кристалле (СНК) от компании «Байкал Электроникс».

BE-T1000 сочетает высокую вычислительную производительность с низким энергопотреблением. Процессор построен на базе двухъядерной системы семейства MIPS32® P5600™ с рабочей частотой 1200 МГц, снабжён широким набором высокоскоростных интерфейсов PCIe Gen3, 10Gb Ethernet, 1Gb Ethernet, USB 2.0, SATA 6G и низкоскоростной периферии I2C, SPI, UART, GPIO.

Микропроцессор оптимизирован для применения в промышленной автоматике, коммуникационном и сетевом оборудовании, а также встроенных системах различного назначения, может применяться для создания тонких и нулевых клиентов, в средствах регистрации и визуализации.

Микросхема BE-T1000 производится с использованием 28-нанометрового технологического процесса. Её энергопотребление не превышает 5 Вт.

1 ВВЕДЕНИЕ	1
1.1 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ	2
1.2 БЛОК-СХЕМА ПРОЦЕССОРА.....	4
2 ЛОГИЧЕСКИЕ БЛОКИ МИКРОПРОЦЕССОРА	5
3 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ 14	
3.1 ПАРАМЕТРЫ ЭЛЕКТРОПИТАНИЯ	14
3.2 ВХОДНЫЕ ТАКТОВЫЕ СИГНАЛЫ	15
4 ПРОЦЕДУРЫ ЗАПУСКА И СБРОСА ПРОЦЕССОРА.....	16
4.1 ПРОЦЕДУРА ЗАПУСКА ПРОЦЕССОРА	16
4.2 ПРОЦЕДУРА СБРОСА ПРОЦЕССОРА	16
4.3 ВЫБОР РЕЖИМА ЗАГРУЗКИ	17
5 ВЫВОДЫ ПРОЦЕССОРА	18
5.1 СПИСОК ВЫВОДОВ	18
5.2 КАРТА КОНТАКТОВ КОРПУСА.....	31
6 КОРПУС.....	37
6.1 ИНФОРМАЦИЯ О КОРПУСЕ МИКРОСХЕМЫ 37	
6.2 УПАКОВКА.....	39
6.3 ПРОФИЛЬ ПАЙКИ.....	40
7 ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА	41
КОНТАКТНАЯ ИНФОРМАЦИЯ.....	42
ИСТОРИЯ ИЗМЕНЕНИЙ	43

1.1 Основные характеристики

Таблица 1-1 Основные характеристики микропроцессора BE-T1000

Процессорная система на основе двухъядерного кластера	Вычислительный кластер на основе двух ядер серии P5600™ с архитектурой MIPS32®
	Рабочая частота ядра –1200 МГц
	Кэш уровня L1 размером 128 Кб (64 Кб кэш данных и 64 Кб кэш инструкций) в каждом ядре
	Контроллер восьмиканального ассоциативного кэша L2 размером 1Мб (Coherence Manager Controller)
	Вычислительный модуль с плавающей точкой MIPS Gen3 с поддержкой SIMD параллельности
	Глобальный контроллер прерываний (Global Interrupt Controller, GIC), обеспечивающий одновременную поддержку до 128 обработчиков прерываний
	Встроенный модуль отладки (EJTAG debug 5.0 port), включающий блок трассировки (MIPS PDtrace™)
Датчик процесса, напряжения и температуры	Датчик процесса, напряжения и температуры (PVT sensor) для мониторинга работы вычислительного кластера
Системные межсоединения	Поддержка AMBA 3 AXI протокола
	5 AXI каналов
	40-разрядный адрес
Интерфейсы памяти:	32-битный интерфейс модуля памяти DDR3-1600 с 8-битным кодом исправления ошибок
	40-разрядный адрес для приложений
	Поддержка внешних модулей памяти SDRAM размером до 8 ГБ
Высокоскоростные интерфейсы	Интерфейс PCI x4 Gen3 (4 тракта с пропускной способностью 8 Гбит/с каждый)
	Контроллер USB 2.0 (ULPI)
	Два интерфейса SATA 6G
	Интерфейс 10Gb Ethernet (10GBASE KX4, 10GBASE KR)
	2 контроллера 1Gb Ethernet (RGMII)
Низкоскоростные интерфейсы	Программируемый сторожевой таймер (WDT)
	3 программируемых таймера на 50 МГц
	Интерфейсы GPIO: 32 бит и 3 бит
	2 интерфейса UART
	2 интерфейса SPI
	3 контроллера I ² C

Модуль управления системой	Модуль управления тактированием
	Контроллер начальной загрузки поддерживает два режима: <ul style="list-style-type: none">- со встроенного ПЗУ- из внешней флэш-памяти
Корпус	Корпус HFCBGA-576. Размеры: 25x25 мм (576 выводов)
Потребляемая мощность	До 5 Вт
Рабочая температура	Диапазон рабочих температур [0:+70°C] *
Технология	КМОП 28 нм

* На основании расчётных данных предполагается работоспособность в расширенном диапазоне температур [-45:+70°C], но испытания проводились только в диапазоне [0:+70°C].

1.2 Блок-схема процессора

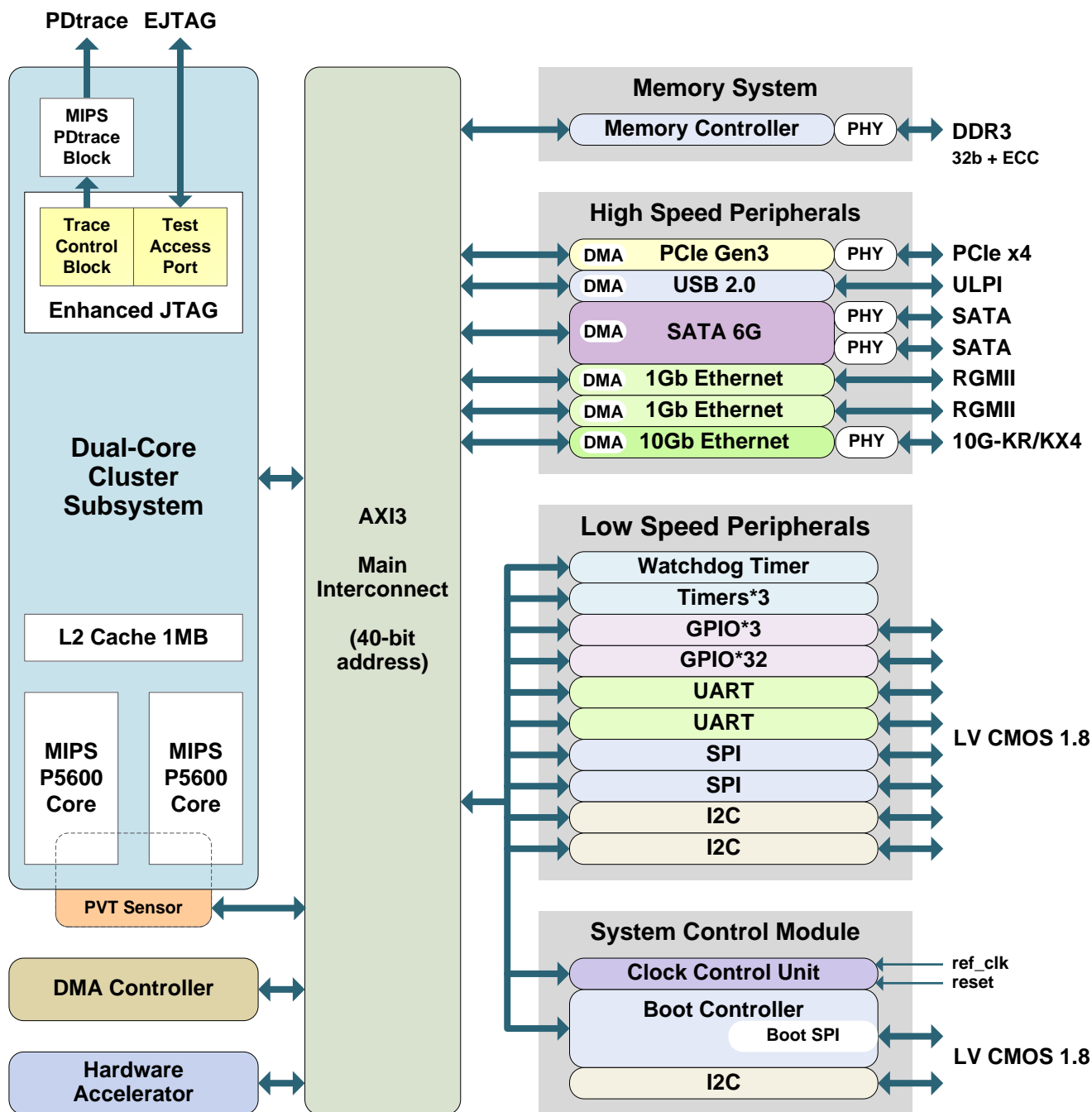


Рисунок 1-1 Блок-схема BE-T1000

2 Логические блоки микропроцессора

В соответствии со структурной схемой процессора процессор включает в себя следующие логические блоки:

- Двухъядерный микропроцессорный кластер;
- Высокоскоростная внутрипроцессорная шина;
- Контроллер памяти;
- Высокоскоростные интерфейсы ввода-вывода;
- Низкоскоростные интерфейсы для подключения периферийных устройств;
- Подсистема отладки.

Логические блоки системы на кристалле взаимодействуют между собой с помощью высокоскоростной внутрипроцессорной шины. Она организована по принципу матричного переключателя и обеспечивает соединение входов с выходами по схеме «многие со многими». В глобальном адресном пространстве процессора BE-T1000 логические блоки идентифицируются своими адресами.

Таблица 2-1 Логические блоки

Блок	Краткое описание
Двухъядерный микропроцессорный кластер	<p>BE-T1000 базируется на многопроцессорной системе MIPS32® P5600 Series Multiprocessing System (MPS). Особенности процессора являются:</p> <ul style="list-style-type: none">• Два когерентных микропроцессорных ядра серии P5600 с архитектурой MIPS32®;• Рабочая частота ядра – 1,2 ГГц;• 40-разрядный адрес (XPA)• Кэш уровня L1 размером 128 Кб (64 Кб кэш данных и 64 Кб кэш инструкций);• Контроллер управления когерентностью со встроенным восьмиканальным ассоциативным кэшем L2 размером 1 Мб;• Вычислительный модуль с плавающей точкой MIPS, поколение 3, с поддержкой SIMD параллельности• Глобальный контроллер прерываний (Global Interrupt Controller, GIC), обеспечивающий одновременную поддержку до 128 обработчиков прерываний• Раширенный модуль отладки (EJTAG debug 5.0 port), включающий блок трассировки (MIPS PDtrace™) и обеспечивающий следующие возможности:<ul style="list-style-type: none">◦ “Внешняя” отладка – традиционная интерактивная отладка через интерфейс JTAG◦ Протоколирование аппаратных и программных событий в виде записи трассы либо в специализированную область памяти, либо во

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
	<p>внешнюю память через интерфейс PDTrace.</p> <p>Производительность кластера на Ватт потребляемой мощности на целочисленных операциях выше, чем у большинства сравнимых процессоров.</p>
Системные межсоединения	<p>Системные межсоединения обеспечивают связь между модулями микропроцессора для создания высокопроизводительной сетевой инфраструктуры. Межсоединения организованы в виде матрицы переключателей, соединяющих множество входов и множество выходов.</p> <p>Межсоединения соответствуют AMBA 3 AXI протоколу, содержат 5 AXI каналов и поддерживают 40-разрядную адресацию</p>
Контроллер памяти DDR3, интегрированный с адаптером физического интерфейса PHY	<p>Контроллер памяти DDR3, интегрированный с адаптером физического интерфейса PHY, позволяют работать со следующими устройствами памяти:</p> <ul style="list-style-type: none"> • 32-разрядная DDR3 память с быстродействием до 1600 <p>Подсистема поддерживает следующие возможности:</p> <ul style="list-style-type: none"> • 40-разрядный адрес для приложений (XPA) обеспечивает адресацию до 1 ТБ памяти; • Разрядность данных SDRAM – 32 бита; • Применение кода с коррекцией ошибок (ECC): <ul style="list-style-type: none"> ○ Коррекция одиночных ошибок (SEC) и обнаружение двойных ошибок (DED); ○ 32 разряда данных + 7 корректирующих разрядов в режиме полной ширины шины (16 разрядов данных + 6 корректирующих разрядов в режиме половинной ширины шины); • Поддержка внешних модулей памяти SDRAM размером до 8 ГБ; • Поддержка до двух рангов памяти; • Поддержка DDR3U и DDR3L; • Промышленный стандарт UDIMMs; • Режим отношения частот 1:2; • Программируемая поддержка 1T/2T тайминга команд памяти; • Поддержка автоматического режима DDR3 низкой мощности при помощи аппаратного интерфейса низкой мощности; • Архитектура малой площади и низкой мощности

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
Модуль управления системой	<p>Этот модуль предназначен для управления запуском и начальной конфигурацией всех модулей микропроцессора. Он содержит следующие основные блоки:</p> <ul style="list-style-type: none"> - Блок управления тактированием (и потребляемой мощностью) - Контроллер загрузки - Интерфейс I2C <p>Блок управления тактированием (Clock Control Unit – CCU) управляет системным тактированием и сигналами сброса. Он обеспечивает корректные тактовые сигналы для всех интегрированных функциональных блоков и отключение этих блоков с целью снижения потребляемой мощности.</p> <p>Контроллер загрузки обеспечивает начальную загрузку системы. Возможны два режима загрузки:</p> <ul style="list-style-type: none"> - Режим ROM mode – из встроенного ПЗУ загружается технологическое программное обеспечение Baikal ROM Monitor для тестирования и диагностики процессора. - Режим FLASH mode – код начального загрузчика операционной системы загружается из внешней флэш-памяти через интерфейс SPI0. <p>Загрузочный SPI контроллер загружает исполняемый код из флэш-памяти через интерфейс SPI после сброса процессора. Подключение к контроллеру каких-либо других SPI устройств не рекомендуется, поскольку может вызвать проблемы загрузки микропроцессора.</p> <p>Интерфейс I2C имеет ограниченную функциональность. В частности он не поддерживает DMA. Предпочтительно использовать два I2C интерфейса общего назначения, описанные ниже в этой таблице.</p>
Аппаратный ускоритель	<p>Hardware Accelerator (HWA) предназначен для повышения производительности вычислений. Ускоритель состоит из аппаратных модулей, выполняющих специальные алгоритмы обработки данных.</p>
Контроллер прямого доступа к памяти для низкоскоростной периферии (DMA Controller for Low Speed Peripherals - DMA LSP)	<p>Реализует возможность прямой передачи данных без использования CPU между памятью и низкоскоростными устройствами, подключенными к интерфейсам UART, SPI или I2C.</p> <p>Контроллер помогает увеличить производительность системы путём снижения нагрузки ядер микропроцессора.</p> <p>Основные характеристики DMA контроллера:</p> <ul style="list-style-type: none"> - 8 каналов, по одному на каждую пару источника и получателя - Однонаправленные каналы – передача данных только в одном направлении - Многоблочная передача

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
	<p>- Один FIFO на каждый канал для источника и получателя DMA контроллер содержит аппаратные handshaking интерфейсы для каждого UART, SPI, и I2C контроллера</p>
<p>Датчик PVT мониторинга</p>	<p>Датчик процесса, напряжения и температуры (<i>Process, Voltage and Temperature sensor</i>) предназначен для мониторинга типа процесса, напряжения и температуры в вычислительном кластере и корректировки рабочих напряжений и частот.</p> <p>Датчик обеспечивает следующие возможности:</p> <ul style="list-style-type: none"> • Измерение PVT значений: <ul style="list-style-type: none"> ○ температуры, ○ напряжения, ○ вариации процесса: <ul style="list-style-type: none"> ▪ Low-Vt (LVT) process, ▪ Standard-Vt (SVT) process, ▪ High-Vt (HVT) process. • Готовность результатов измерений определяется путём опроса регистра данных или прослушивания прерываний. • Программируемые верхние и нижние пороговые значения измеряемых PVT параметров для выставления прерываний. • Программируемый таймаут повторного измерения PVT параметров.
Высокоскоростная периферия	
<p>Подсистема PCI Express Gen3, интегрированная с адаптером физического интерфейса PHY</p>	<p>В процессор встроен головной коммутатор (Root Complex controller) шины PCI Express, поддерживающий функциональность в соответствии с PCI Express Base Specification 3.0.</p> <p>Подсистема обладает следующими характеристиками:</p> <ul style="list-style-type: none"> • До 4-х трактов Gen1, Gen2, Gen3 (x1, x2, x4); • Скорость передачи 4.0GT/s (x4 Gen3) • Управление энергопотреблением PCI Express Active State Power Management (ASPM) • Протоколирование ошибок PCI Express Advanced Error Reporting (AER) со множественными заголовками (Multiple Header Logging) • Внутренний блок трансляции адреса • Встроенный многоканальный DMA контроллер • Автоматическое реверсирование канала и полярности • Генерация и проверка контрольных сумм ECRC (EndPoint Cyclic Redundancy Check) • До 256 байт полезных данных; • Один виртуальный канал (VC);

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
	<ul style="list-style-type: none"> Разрядность адреса – 40 бит (XPA) <p>Прерывания, унаследованные от PCI не поддерживаются</p>
<p>Контроллер Universal Serial Bus 2.0 (USB 2.0)</p>	<p>Контроллер USB 2.0 соответствует спецификации xHCI корпорации Intel.</p> <p>Контроллер оптимизирован для систем и приложений с высокой пропускной способностью и поддерживает следующие типы устройств:</p> <ul style="list-style-type: none"> High-Speed (480 Mbps) Full-Speed (12 Mbps) Low-Speed (1.5 Mbps) <p>Основные характеристики контроллера:</p> <ul style="list-style-type: none"> Порт USB 2.0 с 8-битным интерфейсом UTMI + low pin интерфейс ULPI для внешних PHY; Встроенный DMA контроллер; Управление питанием по протоколу (Link Power Management - LPM) Динамическое выделение FIFO памяти для конечных точек Поддержка функциональности Keep Alive для режимов Low Speed, Full-Speed, и High-Speed Аппаратное управление обработкой ошибок на уровне шины и уровне пакета Распределённая буферизация данных Поддержка распределённых пакетов (Ethernet через USB приложение) для предотвращения программного копирования и создания USB пакетов Кэширование дескрипторов и предварительная подкачка данных Модерирование прерываний Разрядность адреса – 32 бит (не XPA) <p>Вследствие того, что разрядность адресной шины равна 32 бит, контроллер не поддерживает расширенную физическую адресацию (eXtended Physical Addressing - XPA). Поэтому встроенный DMA контроллер поддерживает адресацию физической памяти до 4 GB.</p>

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
<p>Контроллер SATA 6G, интегрированный с интерфейсами физического уровня PHY</p>	<p>Контроллер SATA соответствует спецификациям <i>Advanced Host Controller Interface</i> (AHCI) и <i>SATA Host Bus Adaptor</i> (HBA). Совместно с двумя PHY он представляет собой блок с двумя полными интерфейсами AHCI HBA.</p> <p>Подсистема SATA поддерживает следующую функциональность:</p> <ul style="list-style-type: none"> • Обмен данными в режимах SATA 1.5 Gb/s, SATA 3.0 Gb/s, и SATA 6.0 Gb/s • Совместимость с требованиями спецификаций Serial ATA 3.2 и AHCI Revision 1.3.0 • 8b/10b кодирование/декодирование • Средства управления энергопотреблением, включая автоматический переход из режима ожидания в режим сна • Встроенные средства самотестирования (BIST) в режиме обратной петли. • Встроенный блок DMA для каждого порта • Разрядность адреса – 32 бит (не XPA) <p>Вследствие того, что разрядность адресной шины равна 32 бит, контроллер не поддерживает расширенную физическую адресацию (eXtended Physical Addressing - XPA). Поэтому встроенный DMA контроллер поддерживает адресацию физической памяти до 4 GB.</p>
<p>1 Гб Ethernet контроллер (<i>Media Access Controller</i> GMAC)</p>	<p>В процессор встроены два идентичных контроллера 1Gb Ethernet, полностью отвечающие требованиям стандарта IEEE 802.3-2008. Их основными характеристиками являются:</p> <ul style="list-style-type: none"> • Интерфейс RGMII к адаптеру физического уровня PHY, поддерживающий скорости передачи данных 10, 100, 1000 Мбит/с; • Поддержка дуплексного режима приёма-передачи; • Поддержка полудуплексного режима приёма-передачи; • Раздельные интерфейсы приложений для передачи, приёма и управления; • Поддержка стандарта энергосберегающего Ethernet (EEE). • Встроенный DMA контроллер с независимой аппаратной реализацией приёма и передачи • Разрядность адреса – 32 бит (не XPA) <p>Вследствие того, что разрядность адресной шины равна 32 бит, контроллер не поддерживает расширенную физическую адресацию (XPA). Поэтому встроенный DMA контроллер поддерживает адресацию физической памяти до 4 Гб.</p>

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
Контроллер 10 Гб Ethernet (XGMAC) с интегрированным подуровнем физического кодирования (XPCS) и интерфейсом физического уровня (PHY)	<p>Обеспечивает приём и передачу данных по сети Ethernet в соответствии со стандартом IEEE 802.3-2008.</p> <p>Основные возможности подсистемы XGMAC:</p> <ul style="list-style-type: none"> • Полнодуплексный режим работы на скорости 10 Гб/с; • Полное соответствие с разделом 71 (10GBASE-KX4) и разделом 72 (10GBASE-KR) стандарта IEEE 802.3-2008 • Полное соответствие с разделом 78 (энергосберегающий Ethernet - EEE) стандарта IEEE 802.3az для скорости 10 Гб/с • Поддержка программируемой или расширяемой до 16КБ (jumbo) длины пакета Ethernet; • Поддержка пакетов с метками виртуальных сетей (VLAN tagged) в соответствии со стандартом IEEE 802.1Q; • Встроенный контроллер DMA; • Разрядность адреса - 40-бит (XPA)
Низкоскоростная периферия	
Сторожевой таймер (Watchdog Timer - WDT)	<p>Программируемый сторожевой таймер (WDT) предназначен для предотвращения зависаний, которые могут быть вызваны программными ошибками или аппаратными сбоями.</p> <p>При возникновении задержки сторожевой таймер выполняет одно из следующих действий:</p> <ul style="list-style-type: none"> - производится сброс системы; - сначала генерируется прерывание, и если программа-обработчик не очистила это прерывание за второй такой же интервал времени, то производится сброс системы; <p>Сгенерированное прерывание передаётся глобальному контроллеру прерываний Global Interrupt Controller (GIC). Сгенерированный сброс передаётся на блок управления тактированием Clock Control Unit (CCU), который в свою очередь генерирует сброс для компонентов системы.</p> <p>Сторожевой таймер может быть сброшен независимо от других подсистем.</p>
Три программируемых периферийных таймера	<p>Модуль содержит три независимых таймера объединенных в единый контроллер.</p> <p>Каждый из трёх 32-разрядных таймеров может работать в режимах: "free-running" и "user-defined count".</p> <p>В режиме "user-defined count" таймер выполняет обратный счёт от запрограммированного значения и выдаёт прерывание по достижении нуля.</p> <p>Прерывание от таймера может быть установлено даже при отсутствии тактирования системной шины.</p>

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
<p>Контроллеры General Purpose Input-Output (GPIO)</p>	<p>В системе присутствуют два GPIO контроллера с разрядностью:</p> <ul style="list-style-type: none"> - 3 бита; - 32 бита; <p>Оба контроллера имеют следующие параметры:</p> <ul style="list-style-type: none"> - Независимо управляемые сигналы (3 и 32 бита соответственно) - Два отдельных регистра (регистр данных и регистр направления) для каждого сигнала <p>Для поддержки прерываний GPIO*32 обеспечивает следующую функциональность:</p> <ul style="list-style-type: none"> - Независимый конфигурируемый режим прерываний для каждого сигнала; - Объединённый статус всех прерываний <p>GPIO*3 не поддерживает прерываний</p>
<p>Универсальный асинхронный приемо-передатчик. (Universal Asynchronous Receiver / Transmitter-(UART))</p>	<p>Система располагает двумя идентичными программируемыми контроллерами UART. Каждый из них обеспечивает последовательную связь:</p> <ul style="list-style-type: none"> - С периферийными устройствами; - Устройствами передачи данных - Устройствами хранения данных <p>Каждый UART имеет handshaking интерфейс с DMA контроллером для низкоскоростных периферийных устройств (DMA LSP), который может запрашивать и контролировать передачу данных между UART и памятью.</p> <p>Данные записываются в UART из master устройства (процессор приложений или DMA контроллер для низкоскоростной периферии), они конвертируются в последовательную форму и передаются в адресуемое устройство. UART также принимает последовательные данные и сохраняет их для считывания master устройством.</p> <p>UART имеет регистры, используемые для управления:</p> <ul style="list-style-type: none"> - Длиной кода символа - Скоростью передачи данных – до 460,8 Кбит/с; - Генерацией и проверкой битов контроля чётности - Генерацией прерываний
<p>Последовательный периферийный интерфейс (Serial Peripheral Interface SPI)</p>	<p>В системе имеется два идентичных SPI контроллера</p> <p>Контроллер SPI представляет собой полнодуплексный master или slave синхронный последовательный интерфейс, используемый для связи на малых расстояниях</p> <p>Каждый SPI имеет handshaking интерфейс с DMA контроллером для низкоскоростных периферийных устройств (DMA LSP), который может запрашивать и контролировать передачу данных между SPI и памятью.</p>

Таблица 2-1 Логические блоки (продолжение)

Блок	Краткое описание
	<p>Master (ядро или DMA LSP контроллер) получает доступ к управлению данными и статусу данных через SPI регистры управления и статуса.</p> <p>SPI контроллер действует как последовательный мастер. Он может подключаться к последовательным периферийным slave устройствам через Motorola SPI интерфейс</p>
Интерфейс Inter-Integrated Circuit (I2C)	<p>В системе имеется два идентичных I2C интерфейса общего назначения.</p> <p>I2C представляет собой программируемый последовательный интерфейс, который обеспечивает поддержку связи между устройствами, подключёнными к шине.</p> <p>Характеристики I2C интерфейсов:</p> <ul style="list-style-type: none">- Скорость передачи данных от 0 до 100 Кбит/с в стандартном режиме работы- Действие в качестве master или slave устройства- Программируемая 7-ми или 10-ти разрядная адресация- Передача данных в комбинированном 7-ми или 10-ти разрядном формате <p>Каждый I2C модуль имеет handshaking интерфейс с DMA контроллером для низкоскоростных периферийных устройств (DMA LSP), который может запрашивать и контролировать передачу данных между I2C и памятью.</p>

3 Электрические характеристики

Примечание: электрические характеристики и условия эксплуатации могут изменяться и уточняться без специального уведомления.

3.1 Параметры электропитания

Схема питания процессора BE-T1000 должна включать четыре изолированных источника напряжения и единую общую землю, как приведено в следующей таблице.

Таблица 3-1 Домены питания процессора

Имя контакта корпуса	Подаваемое напряжение, В	Ожидаемый максимальный ток, А
VDD	0,95 (+/- 5%)	2,9
VPCI_09	0,95 (+/- 5%)	0,4
VXGB_09	0,95(+/- 5%)	0,6
VSATAP_09	0,95 (+/- 5%)	0,08
VSATATX_09	0,95 (+/- 5%)	0,05
VDDR_15	1,5 (+/- 5%)	0,4
VPCI_15	1,5 (+/- 5%)	0,1
VXGB_15	1,5 (+/- 5%)	0,2
VDDIO_18	1,8 (+ 10%, - 7%)	0,1
VSATA_18	1,8 (+ 10%, - 7%)	0,04
VDDR_18	1,8 (+ 10%, - 7%)	0,12
VPLLCORE_09	0,95 (+/- 5%)	0,01
VPLLDDR_09	0,95 (+/- 5%)	0,01
VPLLETH_09	0,95 (+/- 5%)	0,01
VPLLPCIE_09	0,95 (+/- 5%)	0,01
VPLLSATA_09	0,95 (+/- 5%)	0,01
VPVT_18	1,8 (+10%, -7%)	
VSS	Земля	
VSSIO	Земля	
VSSCORE_PLL	Земля	
VSSDDR_PLL	Земля	
VSSETH_PLL	Земля	
VSSPCIE_PLL	Земля	
VSSSATA_PLL	Земля	

3.2 Входные тактовые сигналы

Характеристики опорных тактовых сигналов приведены в следующей таблице.

Таблица 3-2 Характеристики тактовых сигналов процессора

Описание	Имя контакта корпуса	Значение	Ед.изм.	Примечание
Частота тактового сигнала	CLK25M_IN	25	МГц	-
Частота тактового сигнала XGbE PHY	XG_REF_CLKN, XG_REF_CLKP	156,25	МГц	Дифференциальная пара
Частота тактового сигнала PCIE PHY	PCIE_REF_CLKN, PCIE_REF_CLKP	100	МГц	Дифференциальная пара
Частота тактового сигнала SATA PHY	SATA_REFCLKP, SATA_REFCLKM	100	МГц	Дифференциальная пара

4 Процедуры запуска и сброса процессора

4.1 Процедура запуска процессора

Для запуска процессора должны быть выполнены следующие шаги.

1. Подача напряжения на домены питания VDD, VPLLCORE_09, VPLLDDR_09, VPLLETH_09, VPLLPCIE_09, VPLLSATA_09, VPCI_09, VSATAP_09, VSATATX_09, VXGB_09 (домены питания 0,95 В, в соотв. с [табл. 3-1](#)).
2. **Пауза не менее 20 мс.**
3. Подача напряжения на домены питания VDDR_15, VPCI_15, VXGB_15 (домены питания 1,5 В).
4. Подача напряжения домены питания VDDIO_18, VDDR_18, VSATA_18 (домены питания 1,8 В).
5. **Пауза не менее 100 мс.**
6. К этому моменту тактовая частота, подаваемая на вход CLK25M_IN, должна стабилизироваться на 25 МГц.

После выполнения описанной выше процедуры старта следует произвести сброс процессора, как описано в следующем разделе.

4.2 Процедура сброса процессора

Необходимым условием сброса процессора является наличие стабильной тактовой частоты 25 МГц, подаваемой на контакт CLK25M_IN.

Для сброса (ресета, рестарта) процессора должны быть одновременно выполнены следующие действия над входами RESET, EJ_TRST_N и TRSTN (см. рисунок 5):

1. Держать сигнал RESET на высоком уровне не менее **1 с**, затем опустить его до низкого уровня.
2. Держать сигнал EJ_TRST_N на низком уровне не менее **1 с**, затем поднять его до высокого уровня.
3. Держать сигнал TRSTN на низком уровне не менее **1 с**, затем поднять его до высокого уровня.

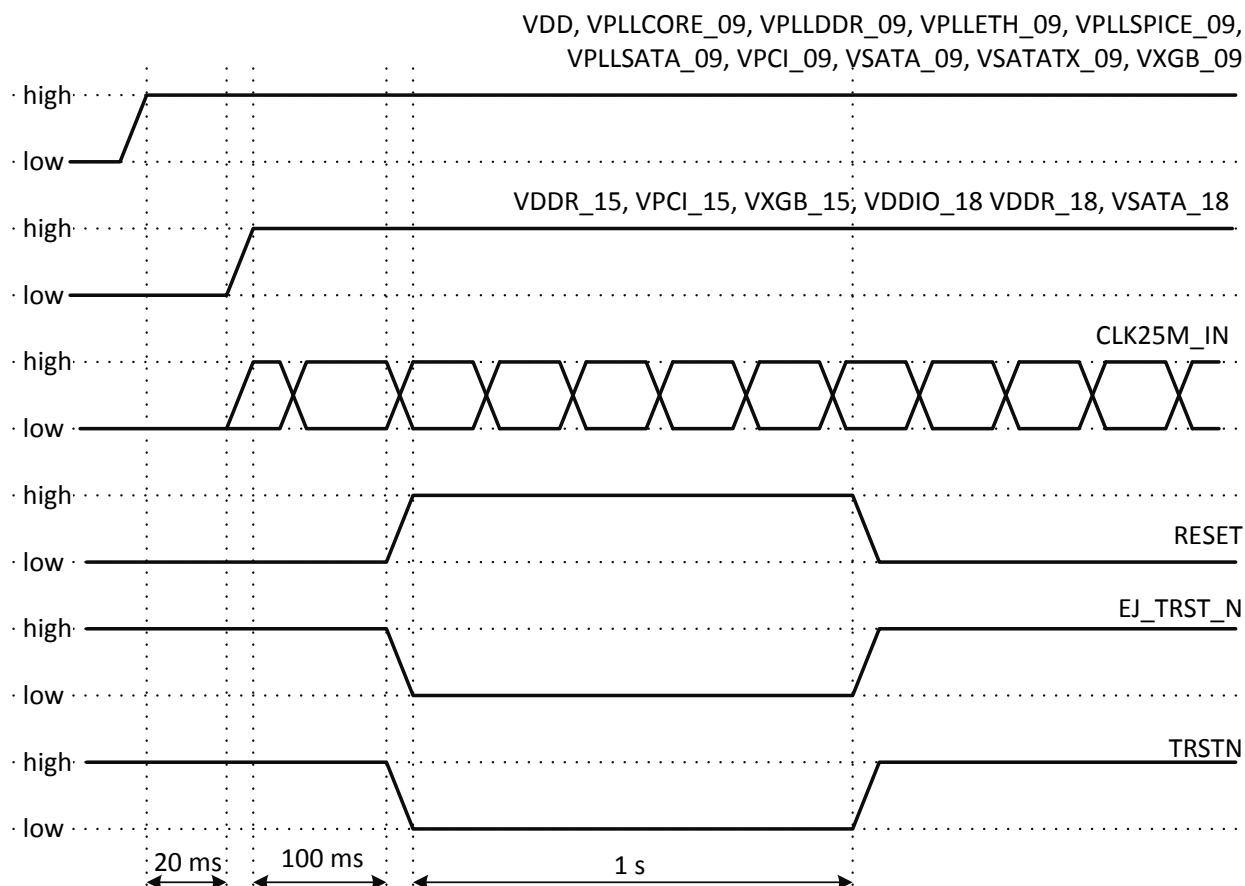


Рисунок 4-1 Последовательность запуска и сброса микропроцессора

4.3 Выбор режима загрузки

Режим загрузки выбирается с помощью подачи соответствующих напряжений на контакты BOOTCFG_0 и BOOTCFG_1 процессора на время всей процедуры сброса.

Текущая версия процессора поддерживает два режима загрузки:

1. основной, он же Flash Mode (программное обеспечение загружается из flash памяти через интерфейс SPI0);
2. отладочный, он же ROM Mode (из встроенного ПЗУ загружается технологическое программное обеспечение Baikal ROM Monitor для диагностики процессора).

В обоих случаях на контакте BOOTCFG_0 должно быть низкое напряжение (земля). Низкое напряжение (земля) на контакте BOOTCFG_1 выбирает отладочный режим (загрузка монитора из ПЗУ), а высокое (VDD) – основной (загрузка рабочего ПО из внешней flash-памяти).

5 Выводы процессора

5.1 Список выводов

Следующая таблица содержит полный список контактов, включая входы, выходы, питание и землю. Во избежание разночтений данные из системы проектирования приведены в таблице без перевода.

Обозначения типов:

I	Вход (Input)
O	Выход (Output)
IO	Вх./Вых. (In/Out)
A	Аналоговый (Analog)
P	Питание (Power)
G	Земля (Ground)
NC	Не подключён (Not Connected)

Таблица 5-1 Список выводов

№	Позиция	Название вывода	Тип	Описание
1	AC3	BOOTCFG_0	I	Configuration strap pin: Boot mode
2	AC4	BOOTCFG_1	I	Configuration strap pin: Boot mode
3	R2	CLK25M_IN	I	PLL Reference Clock 25MHz IN
4	R1	CLK25M_OUT	O	PLL Reference Clock 25MHz OUT
5	K19	DDR_A[0]	O	SDRAM Address
6	K24	DDR_A[1]	O	SDRAM Address
7	H22	DDR_A[10]	O	SDRAM Address
8	M20	DDR_A[11]	O	SDRAM Address
9	K18	DDR_A[12]	O	SDRAM Address
10	M19	DDR_A[13]	O	SDRAM Address
11	L20	DDR_A[14]	O	SDRAM Address
12	J21	DDR_A[15]	O	SDRAM Address
13	K22	DDR_A[2]	O	SDRAM Address
14	M22	DDR_A[3]	O	SDRAM Address
15	M18	DDR_A[4]	O	SDRAM Address
16	P21	DDR_A[5]	O	SDRAM Address
17	N19	DDR_A[6]	O	SDRAM Address
18	P19	DDR_A[7]	O	SDRAM Address
19	P20	DDR_A[8]	O	SDRAM Address
20	M21	DDR_A[9]	O	SDRAM Address
21	V19	DDR_ATO	A	Analog Test Output (test Pad)
22	N22	DDR_BA[0]	O	SDRAM Bank Address
23	J19	DDR_BA[1]	O	SDRAM Bank Address
24	G20	DDR_BA[2]	O	SDRAM Bank Group
25	J22	DDR_CAS#	O	SDRAM CAS
26	M23	DDR_CK[0]	O	SDRAM Clock
27	L21	DDR_CK[1]	O	SDRAM Clock
28	M24	DDR_CK_N[0]	O	SDRAM Clock
29	L22	DDR_CK_N[1]	O	SDRAM Clock
30	K23	DDR_CKE[0]	O	SDRAM Clock enable
31	H20	DDR_CKE[1]	O	SDRAM Clock enable

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
32	H23	DDR_CS_N[0]	O	SDRAM Chip Select
33	J20	DDR_CS_N[1]	O	SDRAM Chip Select
34	AC22	DDR_DM[0]	O	SDRAM Data Mask
35	W21	DDR_DM[1]	O	SDRAM Data Mask
36	T22	DDR_DM[2]	O	SDRAM Data Mask
37	F22	DDR_DM[3]	O	SDRAM Data Mask
38	B22	DDR_DM[4]	O	SDRAM Data Mask
39	AA19	DDR_DQ[0]	IO	SDRAM Data
40	AA22	DDR_DQ[1]	IO	SDRAM Data
41	V24	DDR_DQ[10]	IO	SDRAM Data
42	Y22	DDR_DQ[11]	IO	SDRAM Data
43	Y21	DDR_DQ[12]	IO	SDRAM Data
44	AA24	DDR_DQ[13]	IO	SDRAM Data
45	AA23	DDR_DQ[14]	IO	SDRAM Data
46	V21	DDR_DQ[15]	IO	SDRAM Data
47	V20	DDR_DQ[16]	IO	SDRAM Data
48	P23	DDR_DQ[17]	IO	SDRAM Data
49	P24	DDR_DQ[18]	IO	SDRAM Data
50	R21	DDR_DQ[19]	IO	SDRAM Data
51	AB23	DDR_DQ[2]	IO	SDRAM Data
52	T21	DDR_DQ[20]	IO	SDRAM Data
53	U24	DDR_DQ[21]	IO	SDRAM Data
54	U21	DDR_DQ[22]	IO	SDRAM Data
55	T20	DDR_DQ[23]	IO	SDRAM Data
56	G21	DDR_DQ[24]	IO	SDRAM Data
57	E21	DDR_DQ[25]	IO	SDRAM Data
58	E22	DDR_DQ[26]	IO	SDRAM Data
59	E20	DDR_DQ[27]	IO	SDRAM Data
60	F21	DDR_DQ[28]	IO	SDRAM Data
61	E24	DDR_DQ[29]	IO	SDRAM Data
62	AB24	DDR_DQ[3]	IO	SDRAM Data
63	E23	DDR_DQ[30]	IO	SDRAM Data
64	F20	DDR_DQ[31]	IO	SDRAM Data
65	A21	DDR_DQ[32]	IO	SDRAM Data
66	B24	DDR_DQ[33]	IO	SDRAM Data
67	B21	DDR_DQ[34]	IO	SDRAM Data
68	B23	DDR_DQ[35]	IO	SDRAM Data
69	D21	DDR_DQ[36]	IO	SDRAM Data
70	D24	DDR_DQ[37]	IO	SDRAM Data
71	D23	DDR_DQ[38]	IO	SDRAM Data
72	D22	DDR_DQ[39]	IO	SDRAM Data
73	AD22	DDR_DQ[4]	IO	SDRAM Data
74	AA20	DDR_DQ[5]	IO	SDRAM Data
75	AD21	DDR_DQ[6]	IO	SDRAM Data
76	AA21	DDR_DQ[7]	IO	SDRAM Data
77	V22	DDR_DQ[8]	IO	SDRAM Data
78	V23	DDR_DQ[9]	IO	SDRAM Data

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
79	AC23	DDR_DQS[0]	IO	SDRAM Data Strobe
80	Y23	DDR_DQS[1]	IO	SDRAM Data Strobe
81	T23	DDR_DQS[2]	IO	SDRAM Data Strobe
82	F23	DDR_DQS[3]	IO	SDRAM Data Strobe
83	C23	DDR_DQS[4]	IO	SDRAM Data Strobe
84	AC24	DDR_DQS_N[0]	IO	SDRAM Data Strobe
85	Y24	DDR_DQS_N[1]	IO	SDRAM Data Strobe
86	T24	DDR_DQS_N[2]	IO	SDRAM Data Strobe
87	F24	DDR_DQS_N[3]	IO	SDRAM Data Strobe
88	C24	DDR_DQS_N[4]	IO	SDRAM Data Strobe
89	P18	DDR.DTO[0]	O	Digital Test Output (test Pad)
90	P17	DDR.DTO[1]	O	Digital Test Output (test Pad)
91	H24	DDR.ODT[0]	O	SDRAM On-Die termination
92	P22	DDR.ODT[1]	O	SDRAM On-Die termination
93	T19	DDR.RAM_RST_N	O	SDRAM Reset
94	H21	DDR.RAS#	O	SDRAM RAS
95	H17	DDR.VREF[0]	A	IO ring VREFI net
96	M17	DDR.VREF[1]	A	IO ring VREFI net
97	E18	DDR.VREF[2]	A	IO ring VREFI net
98	R18	DDR.VREF[3]	A	IO ring VREFI net
99	U18	DDR.VREF[4]	A	IO ring VREFI net
100	W19	DDR.VREF[5]	A	IO ring VREFI net
101	J18	DDR.VREFI_ZQ	A	IO ring VREFI ZQ net
102	G19	DDR.WE#	O	SDRAM WE
103	J17	DDR.ZQ	A	ZQ Resistor (to external calibration resistor)
104	A14	EJ.DINT_IN	I	DINT input
105	A13	EJ.TCK	I	Test clock input (TCK)
106	C14	EJ.TDI	I	TDI/TDO daisy-chain
107	C13	EJ.TDO	O	TDO
108	B14	EJ.TMS	I	Test mode select (TMS)
109	B13	EJ.TRST_N	I	Active-low test reset (TRST)
110	P7	G0.CLK_RX_I	I	RGMII Receive Clock
111	P6	G0.CLK_TX_I	O	RGMII Transmit Clock
112	N6	G0.GP_IN	I	GP input
113	N7	G0.GP_OUT	O	GP output
114	R5	G0.MDC	O	SMA Clock
115	R6	G0.MDIO	IO	SMA Data
116	R4	G0.RCTL_I	I	RGMII Receive Control
117	P2	G0.RXD_I[0]	I	RGMII Receive Data
118	P5	G0.RXD_I[1]	I	RGMII Receive Data
119	P1	G0.RXD_I[2]	I	RGMII Receive Data
120	R3	G0.RXD_I[3]	I	RGMII Receive Data
121	N1	G0.TCTL_O	O	RGMII Transmit Control
122	N2	G0.TXD_O[0]	O	RGMII Transmit Data
123	N3	G0.TXD_O[1]	O	RGMII Transmit Data
124	N4	G0.TXD_O[2]	O	RGMII Transmit Data
125	N5	G0.TXD_O[3]	O	RGMII Transmit Data

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
126	W1	G1_CLK_RX_I	I	RGMII Receive Clock
127	W2	G1_CLK_TX_I	O	RGMII Transmit Clock
128	Y1	G1_GP_IN	I	GP input
129	Y2	G1_GP_OUT	O	GP output
130	Y4	G1_MDC	O	SMA Clock
131	Y3	G1_MDIO	IO	SMA Data
132	Y5	G1_RCTL_I	I	RGMII Receive Control
133	U4	G1_RXD_I[0]	I	RGMII Receive Data
134	V6	G1_RXD_I[1]	I	RGMII Receive Data
135	V4	G1_RXD_I[2]	I	RGMII Receive Data
136	V5	G1_RXD_I[3]	I	RGMII Receive Data
137	V2	G1_TCTL_O	O	RGMII Transmit Control
138	T5	G1_TXD_O[0]	O	RGMII Transmit Data
139	T6	G1_TXD_O[1]	O	RGMII Transmit Data
140	U5	G1_TXD_O[2]	O	RGMII Transmit Data
141	V1	G1_TXD_O[3]	O	RGMII Transmit Data
142	F9	GPIO[0]	IO	GPIO Data / GMAC1 timestamp function
143	F8	GPIO[1]	IO	GPIO Data / GMAC2 timestamp function
144	D1	GPIO[10]	IO	GPIO Data
145	C5	GPIO[11]	IO	GPIO Data
146	C3	GPIO[12]	IO	GPIO Data
147	C2	GPIO[13]	IO	GPIO Data
148	B5	GPIO[14]	IO	GPIO Data
149	B3	GPIO[15]	IO	GPIO Data
150	E3	GPIO[16]	IO	GPIO Data
151	B2	GPIO[17]	IO	GPIO Data
152	C1	GPIO[18]	IO	GPIO Data
153	A2	GPIO[19]	IO	GPIO Data
154	F7	GPIO[2]	IO	GPIO Data / PCIe device enable
155	A4	GPIO[20]	IO	GPIO Data
156	B4	GPIO[21]	IO	GPIO Data
157	A3	GPIO[22]	IO	GPIO Data
158	B6	GPIO[23]	IO	GPIO Data
159	A6	GPIO[24]	IO	GPIO Data
160	F10	GPIO[25]	IO	GPIO Data
161	E8	GPIO[26]	IO	GPIO Data
162	E7	GPIO[27]	IO	GPIO Data
163	B7	GPIO[28]	IO	GPIO Data
164	A7	GPIO[29]	IO	GPIO Data
165	E6	GPIO[3]	IO	GPIO Data / Crypto device enable
166	E9	GPIO[30]	IO	GPIO Data
167	D8	GPIO[31]	IO	GPIO Data
168	E5	GPIO[4]	IO	GPIO Data
169	E4	GPIO[5]	IO	GPIO Data
170	D5	GPIO[6]	IO	GPIO Data
171	D3	GPIO[7]	IO	GPIO Data
172	A5	GPIO[8]	IO	GPIO Data

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
173	D2	GPIO[9]	IO	GPIO Data
174	W7	GPIO3[0]	IO	PMU GPIO Data
175	W6	GPIO3[1]	IO	PMU GPIO Data
176	W5	GPIO3[2]	IO	PMU GPIO Data
177	G17	GPVT	A	Filter connection pin. Note that there is no GPVT connection to the board power supply
178	AD5	I2C0_SCL	IO	PMU I2C clock
179	AD4	I2C0_SDA	IO	PMU I2C data
180	K7	I2C1_SCL	IO	I2C1 clock
181	K6	I2C1_SDA	IO	I2C1 data
182	J1	I2C2_SCL	IO	I2C2 clock
183	K1	I2C2_SDA	IO	I2C2 data
184	R7	MBIST_CLK	I	MBIST clock
185	AA11	NC	NC	Not connected
186	AB11	NC	NC	Not connected
187	AC11	NC	NC	Not connected
188	AC21	NC	NC	Not connected
189	AD1	NC	NC	Not connected
190	AD11	NC	NC	Not connected
191	D18	NC	NC	Not connected
192	D19	NC	NC	Not connected
193	F16	NC	NC	Not connected
194	G18	NC	NC	Not connected
195	K17	NC	NC	Not connected
196	L17	NC	NC	Not connected
197	R17	NC	NC	Not connected
198	T18	NC	NC	Not connected
199	AC5	PCIE_AMON	O	Analog monitor bump
200	AD20	PCIE_ATT_BUT	I	Attention button pressed
201	V17	PCIE_ATT_IND[0]	O	Controls the system attention indicator
202	T17	PCIE_ATT_IND[1]	O	Controls the system attention indicator
203	AA18	PCIE_CMD_INT	I	Hot-plug controller command completed interrupt
204	W13	PCIE_DMON	O	Differential digital monitor bump
205	W15	PCIE_DMONB	O	Differential digital monitor bump
206	V18	PCIE_INTRL_CTRL	O	Electromechanical Interlock Control
207	W18	PCIE_INTRL_ENG	I	SystemElectromechanical Interlock Engaged
208	W16	PCIE_MRL_SENS	I	MRL sensor state
209	AD19	PCIE_PRES_ST	I	Presence detect state
210	AA17	PCIE_PWR_CTRL	O	Controls the system power controller
211	AB18	PCIE_PWR_FAULT	I	Power fault detect
212	Y18	PCIE_PWR_IND[0]	O	Controls the system power indicator
213	U17	PCIE_PWR_IND[1]	O	Controls the system power indicator
214	W12	PCIE_RBIAIS	IO	Bias resistor bump
215	AD14	PCIE_REF_CLKN	I	Differential reference clocks from pads
216	AC14	PCIE_REF_CLKP	I	Differential reference clocks from pads
217	AD12	PCIE_RXM[0]	I	Receive data diff pair
218	AD13	PCIE_RXM[1]	I	Receive data diff pair

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
219	AD15	PCIE_RXM[2]	I	Receive data diff pair
220	AD16	PCIE_RXM[3]	I	Receive data diff pair
221	AC12	PCIE_RXP[0]	I	Receive data diff pair
222	AC13	PCIE_RXP[1]	I	Receive data diff pair
223	AC15	PCIE_RXP[2]	I	Receive data diff pair
224	AC16	PCIE_RXP[3]	I	Receive data diff pair
225	AA12	PCIE_TXM[0]	O	Transmit data diff pair
226	AA13	PCIE_TXM[1]	O	Transmit data diff pair
227	AA15	PCIE_TXM[2]	O	Transmit data diff pair
228	AA16	PCIE_TXM[3]	O	Transmit data diff pair
229	Y12	PCIE_TXP[0]	O	Transmit data diff pair
230	Y13	PCIE_TXP[1]	O	Transmit data diff pair
231	Y15	PCIE_TXP[2]	O	Transmit data diff pair
232	Y16	PCIE_TXP[3]	O	Transmit data diff pair
233	U6	RES_3		Reserved
234	T1	RESET	I	System Reset
235	C15	SATA_P0CPDET	I	Cold Presence Detect P0
236	E15	SATA_P0CPPOD	O	Cold Presence Power-On Device P0
237	F15	SATA_P0MPSWITCH	I	Mechanical Presence Switch P0
238	E14	SATA_P1CPDET	I	Cold Presence Detect P1
239	D15	SATA_P1CPPOD	O	Cold Presence Power-On Device P1
240	D14	SATA_P1MPSWITCH	I	Mechanical Presence Switch P1
241	A20	SATA_REFCLKM	I	Reference clk diff pair
242	B20	SATA_REFCLKP	I	Reference clk diff pair
243	C19	SATA_RESREF	A	Reference Resistor
244	B19	SATA_RXM[0]	I	Receive data diff pair port 0
245	B17	SATA_RXM[1]	I	Receive data diff pair port 1
246	A19	SATA_RXP[0]	I	Receive data diff pair port 0
247	A17	SATA_RXP[1]	I	Receive data diff pair port 1
248	B18	SATA_TXM[0]	O	Transmit data diff pair port 0
249	B16	SATA_TXM[1]	O	Transmit data diff pair port 1
250	A18	SATA_TXP[0]	O	Transmit data diff pair port 0
251	A16	SATA_TXP[1]	O	Transmit data diff pair port 1
252	J7	SPI0_RXD	I	Receive data
253	H6	SPI0_SCLK_OUT	O	Output Clock
254	H7	SPI0_SS_N	O	Slave Select
255	J6	SPI0_TXD	O	Transmit data
256	F6	SPI1_RXD	I	Receive data
257	F2	SPI1_SCLK_OUT	O	Output Clock
258	F1	SPI1_SS_N[0]	O	Slave Select
259	G5	SPI1_SS_N[1]	O	Slave Select
260	G6	SPI1_SS_N[2]	O	Slave Select
261	G7	SPI1_SS_N[3]	O	Slave Select
262	F5	SPI1_TXD	O	Transmit data
263	H5	SPI2_RXD	I	Receive data
264	H1	SPI2_SCLK_OUT	O	Output Clock
265	G4	SPI2_SS_N[0]	O	Slave Select

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
266	G1	SPI2_SS_N[1]	O	Slave Select
267	G2	SPI2_SS_N[2]	O	Slave Select
268	G3	SPI2_SS_N[3]	O	Slave Select
269	H2	SPI2_TXD	O	Transmit data
270	AA1	TCK	I	Test clock
271	AB2	TDI	I	Test data in
272	AB1	TDO	O	Test data out
273	F14	TEST	I	Test pin
274	AA2	TMS	I	Test mode select
275	F13	TR_CLK	O	Trace clock output to probe
276	A9	TR_DATA[0]	O	Trace data output to External Probe
277	B9	TR_DATA[1]	O	Trace data output to External Probe
278	C9	TR_DATA[10]	O	Trace data output to External Probe
279	A10	TR_DATA[11]	O	Trace data output to External Probe
280	C11	TR_DATA[12]	O	Trace data output to External Probe
281	B12	TR_DATA[13]	O	Trace data output to External Probe
282	E12	TR_DATA[14]	O	Trace data output to External Probe
283	A12	TR_DATA[15]	O	Trace data output to External Probe
284	C8	TR_DATA[2]	O	Trace data output to External Probe
285	E10	TR_DATA[3]	O	Trace data output to External Probe
286	E11	TR_DATA[4]	O	Trace data output to External Probe
287	D9	TR_DATA[5]	O	Trace data output to External Probe
288	B10	TR_DATA[6]	O	Trace data output to External Probe
289	F11	TR_DATA[7]	O	Trace data output to External Probe
290	F12	TR_DATA[8]	O	Trace data output to External Probe
291	D11	TR_DATA[9]	O	Trace data output to External Probe
292	B11	TR_DM	O	Debug Mode indicator to External Probe
293	E13	TR_PROBE_N	I	PIB (clock/data) enable signal from probe
294	D13	TR_TRIGIN	I	Trigger input coming from probe
295	A11	TR_TRIGOUT	O	Trigger output going to probe
296	AA5	TRSTN	I	Test reset
297	U7	TSTSEL_1	I	Func/MBIST mode selection. Bit_1
298	T7	TSTSEL_2	I	Func/MBIST mode selection. Bit_2
299	U3	TSTSEL_3	I	Boot frequency selection
300	J4	UART0_RXD	I	Receive data
301	J5	UART0_TXD	O	Transmit data
302	J2	UART1_RXD	I	Receive data
303	J3	UART1_TXD	O	Transmit data
304	K2	ULPI_CLK	I	ULPI Clock
305	L1	ULPI_DATA[0]	IO	ULPI Data
306	L2	ULPI_DATA[1]	IO	ULPI Data
307	L5	ULPI_DATA[2]	IO	ULPI Data
308	M5	ULPI_DATA[3]	IO	ULPI Data
309	M6	ULPI_DATA[4]	IO	ULPI Data
310	M7	ULPI_DATA[5]	IO	ULPI Data
311	M3	ULPI_DATA[6]	IO	ULPI Data
312	M4	ULPI_DATA[7]	IO	ULPI Data

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
313	K3	ULPI_DIR	I	ULPI Data Bus Control
314	K4	ULPI_NXT	I	ULPI Next Data Control
315	L6	ULPI_STP	O	ULPI Stop Output Control
316	K5	USB2_OVER	I	Overcurrent indication of the root port
317	L7	USB2_VBUS	O	Port Power control for Downstream port.
318	A1	VDD	P	Core power
319	A15	VDD	P	Core power
320	A22	VDD	P	Core power
321	A8	VDD	P	Core power
322	AB4	VDD	P	Core power
323	AC1	VDD	P	Core power
324	AC19	VDD	P	Core power
325	AC20	VDD	P	Core power
326	E1	VDD	P	Core power
327	E16	VDD	P	Core power
328	G10	VDD	P	Core power
329	G11	VDD	P	Core power
330	G12	VDD	P	Core power
331	G13	VDD	P	Core power
332	G14	VDD	P	Core power
333	G15	VDD	P	Core power
334	G16	VDD	P	Core power
335	G22	VDD	P	Core power
336	G8	VDD	P	Core power
337	G9	VDD	P	Core power
338	J10	VDD	P	Core power
339	J11	VDD	P	Core power
340	J12	VDD	P	Core power
341	J13	VDD	P	Core power
342	J14	VDD	P	Core power
343	J15	VDD	P	Core power
344	J16	VDD	P	Core power
345	J8	VDD	P	Core power
346	J9	VDD	P	Core power
347	L10	VDD	P	Core power
348	L11	VDD	P	Core power
349	L12	VDD	P	Core power
350	L13	VDD	P	Core power
351	L14	VDD	P	Core power
352	L15	VDD	P	Core power
353	L16	VDD	P	Core power
354	L8	VDD	P	Core power
355	L9	VDD	P	Core power
356	M1	VDD	P	Core power
357	N10	VDD	P	Core power
358	N11	VDD	P	Core power
359	N12	VDD	P	Core power

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
360	N13	VDD	P	Core power
361	N14	VDD	P	Core power
362	N15	VDD	P	Core power
363	N16	VDD	P	Core power
364	N8	VDD	P	Core power
365	N9	VDD	P	Core power
366	R10	VDD	P	Core power
367	R11	VDD	P	Core power
368	R12	VDD	P	Core power
369	R13	VDD	P	Core power
370	R14	VDD	P	Core power
371	R15	VDD	P	Core power
372	R16	VDD	P	Core power
373	R22	VDD	P	Core power
374	R8	VDD	P	Core power
375	R9	VDD	P	Core power
376	U10	VDD	P	Core power
377	U11	VDD	P	Core power
378	U12	VDD	P	Core power
379	U13	VDD	P	Core power
380	U14	VDD	P	Core power
381	U15	VDD	P	Core power
382	U16	VDD	P	Core power
383	U8	VDD	P	Core power
384	U9	VDD	P	Core power
385	V3	VDD	P	Core power
386	W22	VDD	P	Core power
387	AB3	VDDIO_18	P	IO power
388	C10	VDDIO_18	P	IO power
389	C12	VDDIO_18	P	IO power
390	C4	VDDIO_18	P	IO power
391	C6	VDDIO_18	P	IO power
392	C7	VDDIO_18	P	IO power
393	F3	VDDIO_18	P	IO power
394	H3	VDDIO_18	P	IO power
395	L3	VDDIO_18	P	IO power
396	P3	VDDIO_18	P	IO power
397	T3	VDDIO_18	P	IO power
398	W3	VDDIO_18	P	IO power
399	Y17	VDDIO_18	P	IO power
400	AB22	VDDR_15	P	VDDQ voltage supply
401	C22	VDDR_15	P	VDDQ voltage supply
402	D20	VDDR_15	P	VDDQ voltage supply
403	F19	VDDR_15	P	VDDQ voltage supply
404	H19	VDDR_15	P	VDDQ voltage supply
405	J24	VDDR_15	P	VDDQ voltage supply
406	K21	VDDR_15	P	VDDQ voltage supply

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
407	L19	VDDR_15	P	VDDQ voltage supply
408	L24	VDDR_15	P	VDDQ voltage supply
409	N18	VDDR_15	P	VDDQ voltage supply
410	N21	VDDR_15	P	VDDQ voltage supply
411	N24	VDDR_15	P	VDDQ voltage supply
412	R20	VDDR_15	P	VDDQ voltage supply
413	U20	VDDR_15	P	VDDQ voltage supply
414	U23	VDDR_15	P	VDDQ voltage supply
415	Y20	VDDR_15	P	VDDQ voltage supply
416	A24	VDDR_18	P	PLL power supply
417	AD24	VDDR_18	P	PLL power supply
418	G24	VDDR_18	P	PLL power supply
419	R24	VDDR_18	P	PLL power supply
420	W24	VDDR_18	P	PLL power supply
421	AA14	VPCI_09	P	PCIe PHY analog 0.95V
422	AB13	VPCI_09	P	PCIe PHY analog 0.95V
423	AB16	VPCI_09	P	PCIe PHY analog 0.95V
424	Y14	VPCI_15	P	PCIe PHY IO 1.5V
425	U1	VPLLCORE_09	P	PLL power
426	AD18	VPLLDDR_09	P	PLL power
427	AD3	VPLLETH_09	P	PLL power
428	AD17	VPLLPCIE_09	P	PLL power
429	D17	VPLLSATA_09	P	PLL power
430	F17	VPVT_18	P	Analog power for PVT sensor (1.8V)
431	V7	VQPS	P	0V or floating or 1.8V +/- 10%
432	C20	VSATA_18	P	SATA PHY High-voltage power supply
433	C17	VSATAP_09	P	SATA PHY analog and digital supply
434	C18	VSATATX_09	P	SATA PHY transmit supply
435	A23	VSS	G	VSSQ ground
436	AA3	VSS	G	Core ground
437	AB12	VSS	G	Core ground
438	AB14	VSS	G	Core ground
439	AB15	VSS	G	Core ground
440	AB17	VSS	G	Core ground
441	AB19	VSS	G	VSSQ ground
442	AB20	VSS	G	VSSQ ground
443	AB21	VSS	G	VSSQ ground
444	AB5	VSS	G	XGbE ground
445	AB7	VSS	G	XGbE ground
446	AB9	VSS	G	XGbE ground
447	AD2	VSS	G	Core ground
448	AD23	VSS	G	VSSQ ground
449	B1	VSS	G	Core ground
450	B15	VSS	G	Core ground
451	B8	VSS	G	Core ground
452	C16	VSS	G	SATA GD (PHY ground)
453	C21	VSS	G	VSSQ ground

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
454	E17	VSS	G	PCIe ground
455	E19	VSS	G	Core ground
456	E2	VSS	G	Core ground
457	F18	VSS	G	VSSQ ground
458	G23	VSS	G	VSSQ ground
459	H10	VSS	G	Core ground
460	H11	VSS	G	Core ground
461	H12	VSS	G	PCIe ground
462	H13	VSS	G	Core ground
463	H14	VSS	G	PCIe ground
464	H15	VSS	G	PCIe ground
465	H16	VSS	G	Core ground
466	H18	VSS	G	VSSQ ground
467	H8	VSS	G	Core ground
468	H9	VSS	G	Core ground
469	J23	VSS	G	VSSQ ground
470	K10	VSS	G	Core ground
471	K11	VSS	G	Core ground
472	K12	VSS	G	Core ground
473	K13	VSS	G	Core ground
474	K14	VSS	G	PCIe ground
475	K15	VSS	G	Core ground
476	K16	VSS	G	Core ground
477	K20	VSS	G	VSSQ ground
478	K8	VSS	G	Core ground
479	K9	VSS	G	Core ground
480	L18	VSS	G	VSSQ ground
481	L23	VSS	G	VSSQ ground
482	M10	VSS	G	Core ground
483	M11	VSS	G	Core ground
484	M12	VSS	G	Core ground
485	M13	VSS	G	Core ground
486	M14	VSS	G	Core ground
487	M15	VSS	G	Core ground
488	M16	VSS	G	Core ground
489	M2	VSS	G	Core ground
490	M8	VSS	G	Core ground
491	M9	VSS	G	Core ground
492	N17	VSS	G	VSSQ ground
493	N20	VSS	G	VSSQ ground
494	N23	VSS	G	VSSQ ground
495	P10	VSS	G	Core ground
496	P11	VSS	G	Core ground
497	P12	VSS	G	Core ground
498	P13	VSS	G	Core ground
499	P14	VSS	G	Core ground
500	P15	VSS	G	Core ground

Таблица 5-1 Список выводов (продолжение)

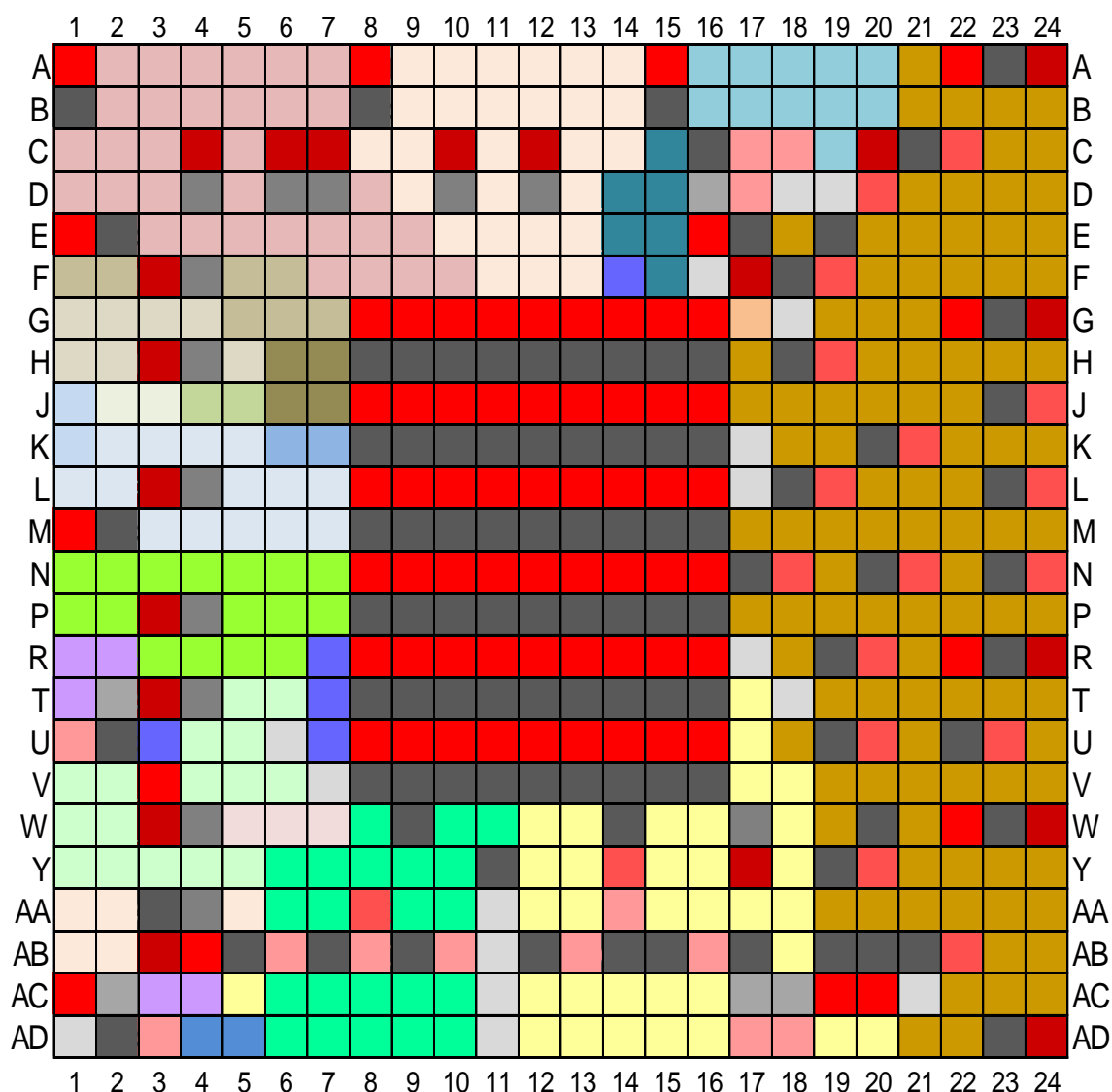
№	Позиция	Название вывода	Тип	Описание
501	P16	VSS	G	Core ground
502	P8	VSS	G	Core ground
503	P9	VSS	G	Core ground
504	R19	VSS	G	VSSQ ground
505	R23	VSS	G	VSSQ ground
506	T10	VSS	G	Core ground
507	T11	VSS	G	Core ground
508	T12	VSS	G	Core ground
509	T13	VSS	G	Core ground
510	T14	VSS	G	Core ground
511	T15	VSS	G	Core ground
512	T16	VSS	G	Core ground
513	T8	VSS	G	Core ground
514	T9	VSS	G	Core ground
515	U19	VSS	G	VSSQ ground
516	U2	VSS	G	Core ground
517	U22	VSS	G	VSSQ ground
518	V10	VSS	G	Core ground
519	V11	VSS	G	Core ground
520	V12	VSS	G	Core ground
521	V13	VSS	G	Core ground
522	V14	VSS	G	Core ground
523	V15	VSS	G	Core ground
524	V16	VSS	G	Core ground
525	V8	VSS	G	Core ground
526	V9	VSS	G	Core ground
527	W14	VSS	G	Core ground
528	W20	VSS	G	VSSQ ground
529	W23	VSS	G	VSSQ ground
530	W9	VSS	G	XGbE ground
531	Y11	VSS	G	XGbE ground
532	Y19	VSS	G	VSSQ ground
533	T2	VSSCORE_PLL	G	PLL groung
534	AC18	VSSDDR_PLL	G	PLL groung
535	AC2	VSSETH_PLL	G	PLL groung
536	AA4	VSSIO	G	IO ground
537	D10	VSSIO	G	IO ground
538	D12	VSSIO	G	IO ground
539	D4	VSSIO	G	IO ground
540	D6	VSSIO	G	IO ground
541	D7	VSSIO	G	IO ground
542	F4	VSSIO	G	IO ground
543	H4	VSSIO	G	IO ground
544	L4	VSSIO	G	IO ground
545	P4	VSSIO	G	IO ground
546	T4	VSSIO	G	IO ground
547	W17	VSSIO	G	IO ground

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
548	W4	VSSIO	G	IO ground
549	AC17	VSSPCIE_PLL	G	PLL groung
550	D16	VSSSATA_PLL	G	PLL groung
551	AB10	VXGB_09	P	XGbE PHY analog 0.95V
552	AB6	VXGB_09	P	XGbE PHY analog 0.95V
553	AB8	VXGB_09	P	XGbE PHY analog 0.95V
554	AA8	VXGB_15	P	XGbE PHY IO 1.5V
555	Y8	XG_AMON	O	Analog monitor bump
556	W10	XG_DMON	O	Differential digital monitor bump
557	W11	XG_DMONB	O	Differential digital monitor bump
558	W8	XG_RBIAS	IO	Bias resistor bump
559	AD8	XG_REF_CLKN	I	Differential reference clocks from pads (unused)
560	AC8	XG_REF_CLKP	I	Differential reference clocks from pads (unused)
561	AD6	XG_RXM[0]	I	Receive data diff pair
562	AD7	XG_RXM[1]	I	Receive data diff pair
563	AD10	XG_RXM[2]	I	Receive data diff pair
564	AD9	XG_RXM[3]	I	Receive data diff pair
565	AC6	XG_RXP[0]	I	Receive data diff pair
566	AC7	XG_RXP[1]	I	Receive data diff pair
567	AC10	XG_RXP[2]	I	Receive data diff pair
568	AC9	XG_RXP[3]	I	Receive data diff pair
569	AA6	XG_TXM[0]	O	Transmit data diff pair
570	AA7	XG_TXM[1]	O	Transmit data diff pair
571	AA10	XG_TXM[2]	O	Transmit data diff pair
572	AA9	XG_TXM[3]	O	Transmit data diff pair
573	Y6	XG_TXP[0]	O	Transmit data diff pair
574	Y7	XG_TXP[1]	O	Transmit data diff pair
575	Y10	XG_TXP[2]	O	Transmit data diff pair
576	Y9	XG_TXP[3]	O	Transmit data diff pair

5.2 Карта контактов корпуса

На рисунках, приведённых в данном разделе, расположение контактов соответствует виду со стороны верхней части корпуса.


































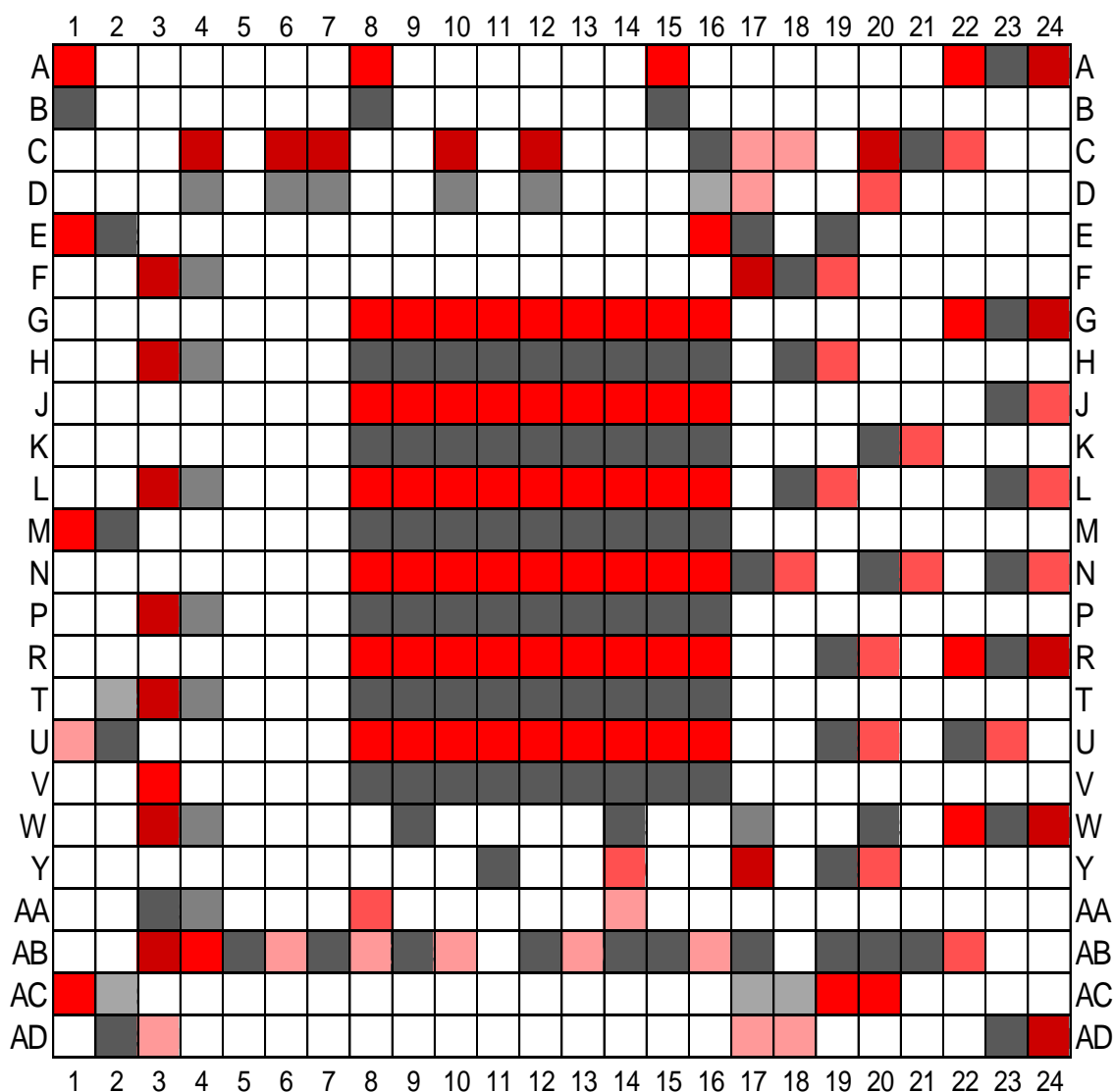
Питание и земля		Управление системой и средства отладки		Низкоскоростные интерфейсы	
	VDD		TEST		GPIO*32
	VPLL		System Control		GPIO3
	VDD 0.9, 0.95 V		Not Connected / Reserved		I2C0
	VDD 1.5 V		PVT Sensors		I2C1
	VDD 1.8 V		Debug JTAG/EJTAG		I2C2
	VSS	Высокоскоростные			SPI0
	VSSIO		PCIe		SPI1
	VSS PLL		USB2		SPI2
Память			SATA_P		UART0
	DDR		SATA		UART1
			G0		
			G1		
			XG		

Рис. 5-1 Карта контактов

5.2.1 Питание и земля



	VDD
	VPLL
	VDD 0.9, 0.95 V
	VDD 1.5 V
	VDD 1.8 V
	VSS
	VSSIO
	VSS PLL

Рис. 5-2 Размещение контактов питания и земли

5.2.2 Высокоскоростные интерфейсы

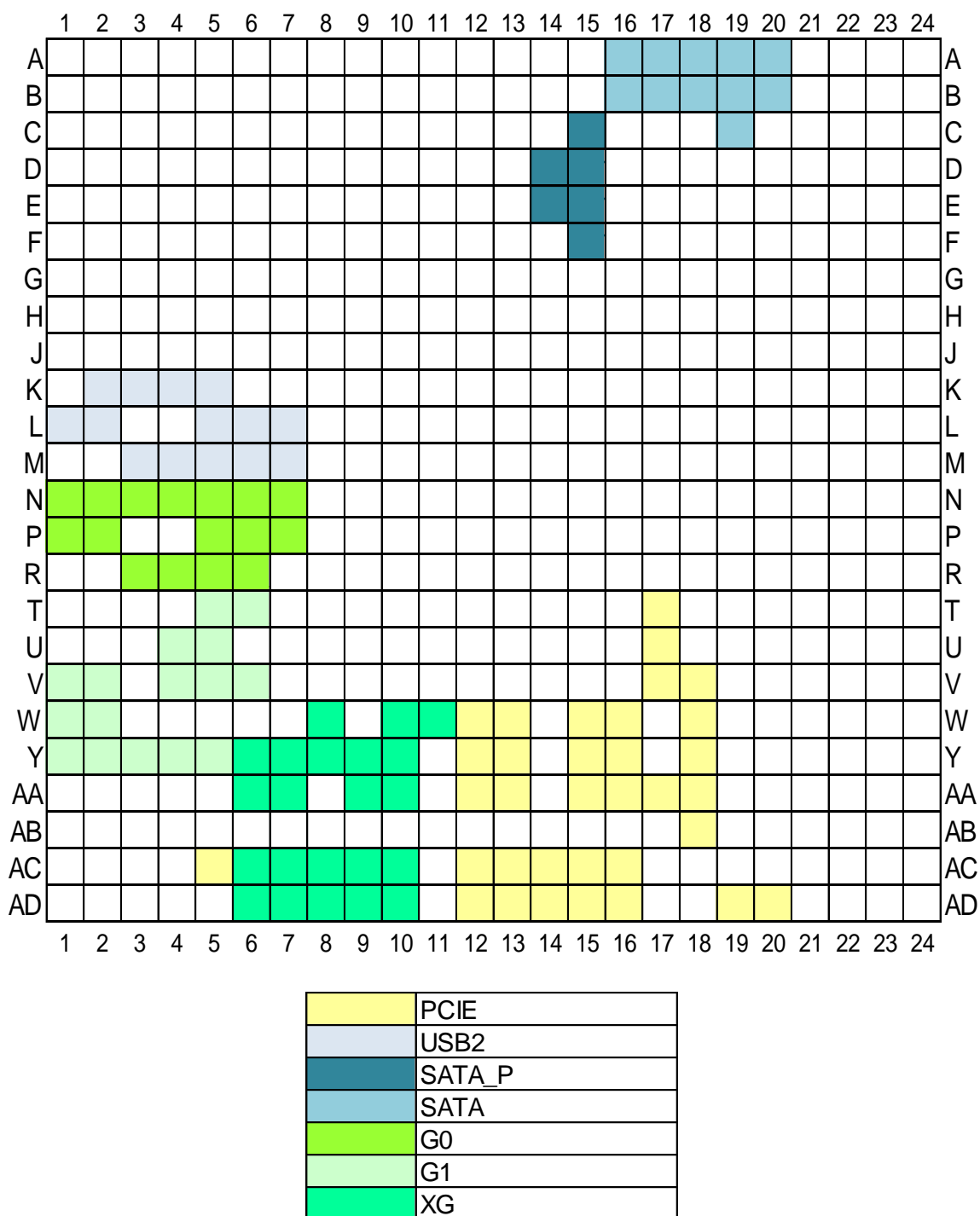
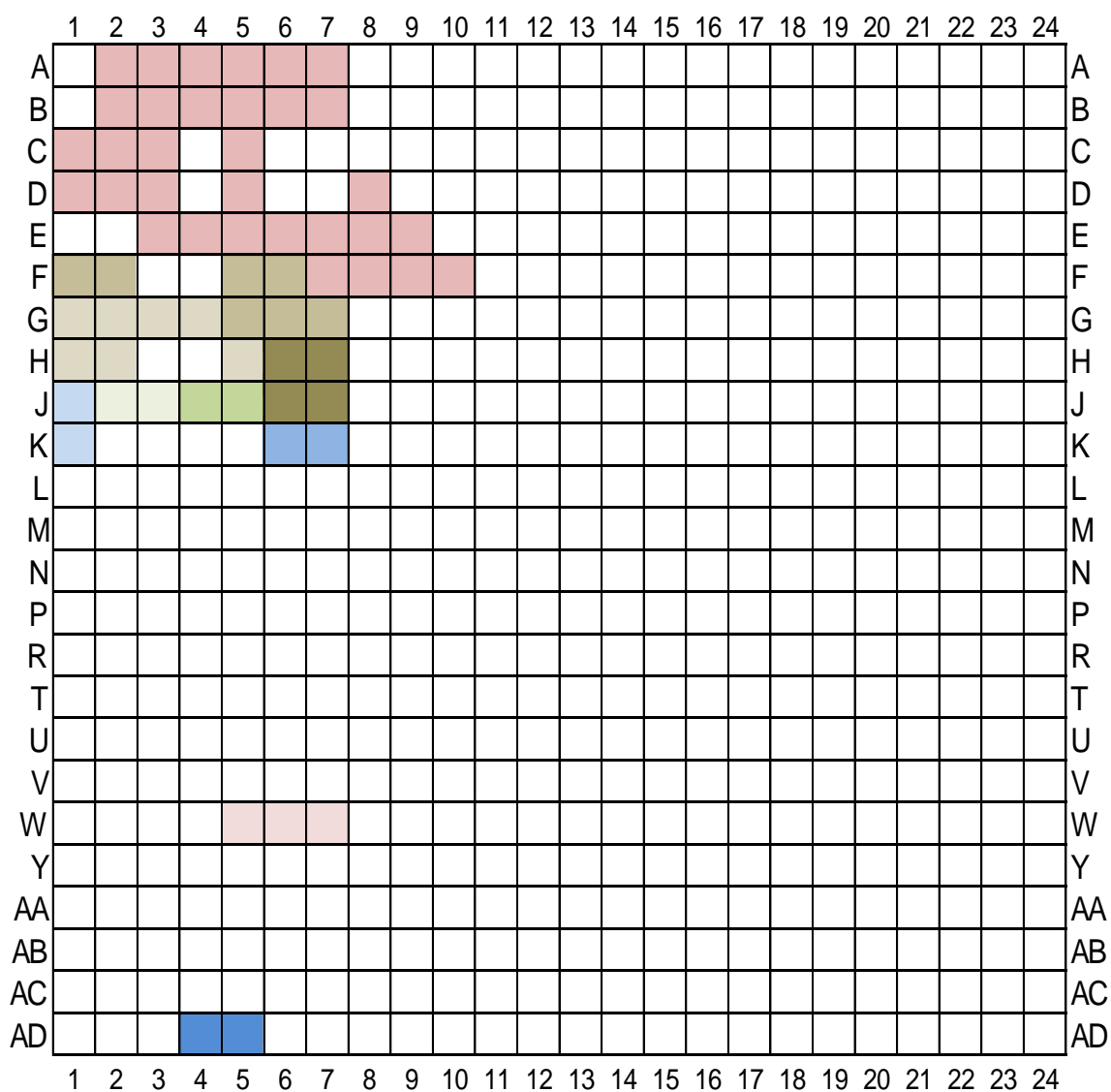


Рис. 5-3 Размещение контактов высокоскоростных каналов

5.2.3 Низкоскоростные интерфейсы



	GPIO*32
	GPIO3
	I2C0
	I2C1
	I2C2
	SPI0
	SPI1
	SPI2
	UART0
	UART1

Рис. 5-4 Размещение контактов низкоскоростных интерфейсов

5.2.4 Выводы памяти

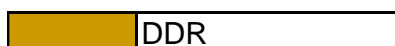
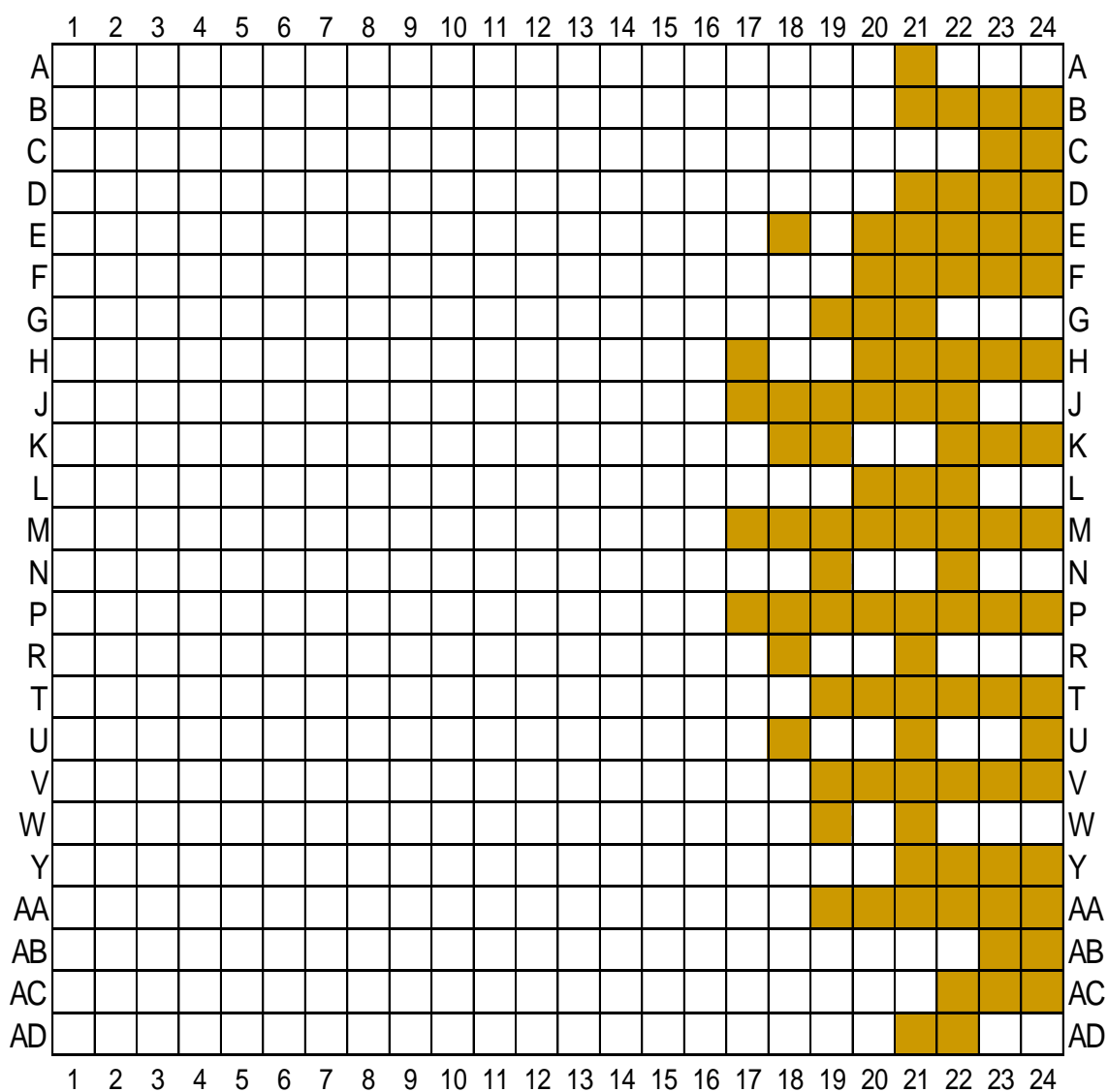


Рис. 5-5 Размещение контактов памяти

5.2.5 Управление системой и средства отладки

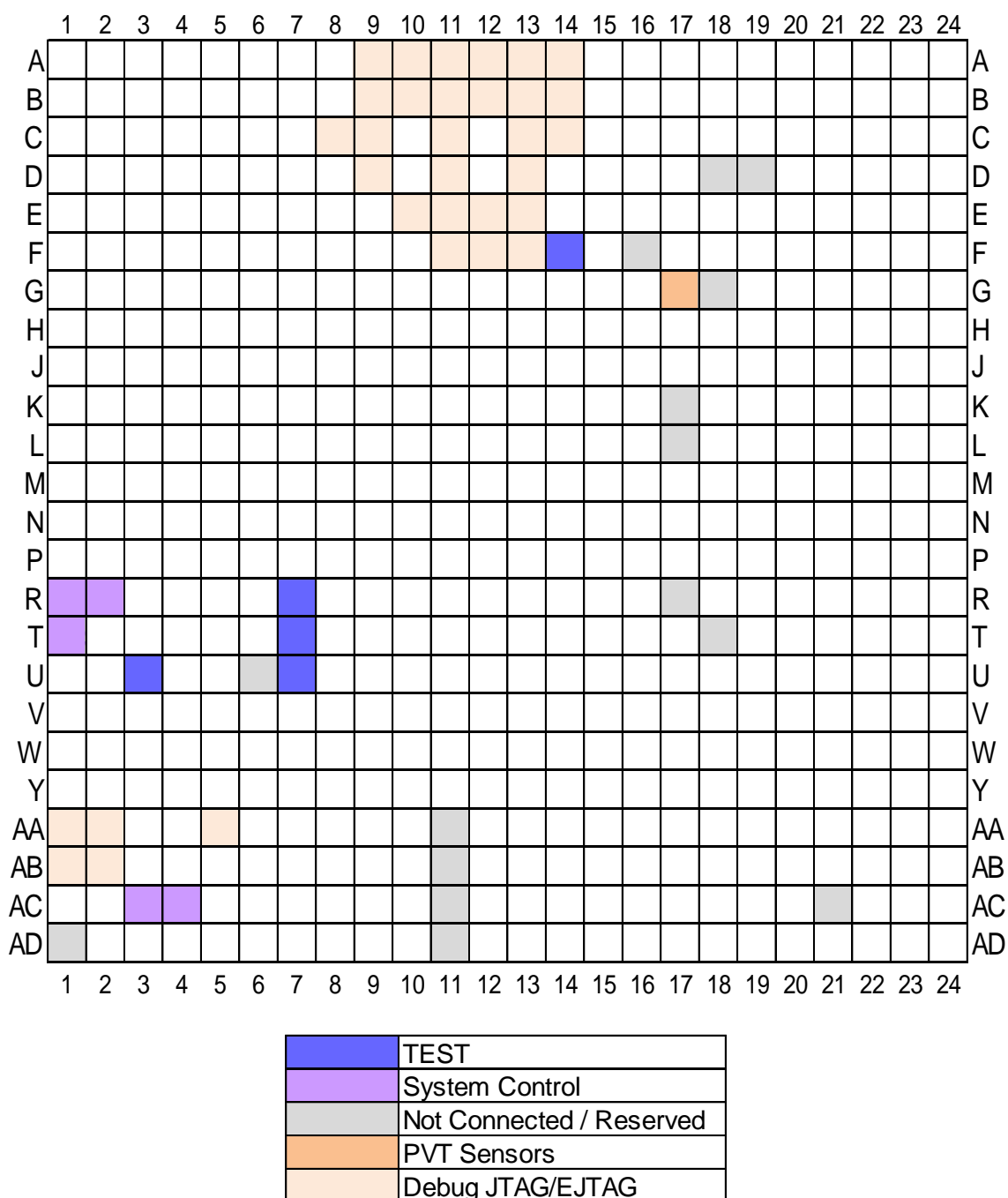


Рис. 5-6 Размещение контактов управления системой и средств отладки

6 Корпус

6.1 Информация о корпусе микросхемы

Основные параметры корпуса приведены в таблице.

Таблица 6-1 Основные параметры корпуса процессора BE-T1000

Параметр	Значение
Размер корпуса	25 × 25 мм
Количество контактов	576
Шаг между контактами	1 мм
Диаметр контакта	0,6 ± 0,1 мм
Толщина (минимальная/номинальная/максимальная)	2,80 / 3,05 / 3,30 мм



WW.YYYY – дата сборки: номер недели, год

T1 K1925BM018 – типонаминал:

- до 2019 г. применялся типонаминал T1 K1925BM018;
- с 2019 г. применяется типонаминал BE-T1000, в соответствии с [7 Информация для заказа](#)

Рис. 6-1 Маркировка корпуса микросхемы

Схематический чертёж корпуса (без строгого соблюдения масштаба) приведён на рисунке

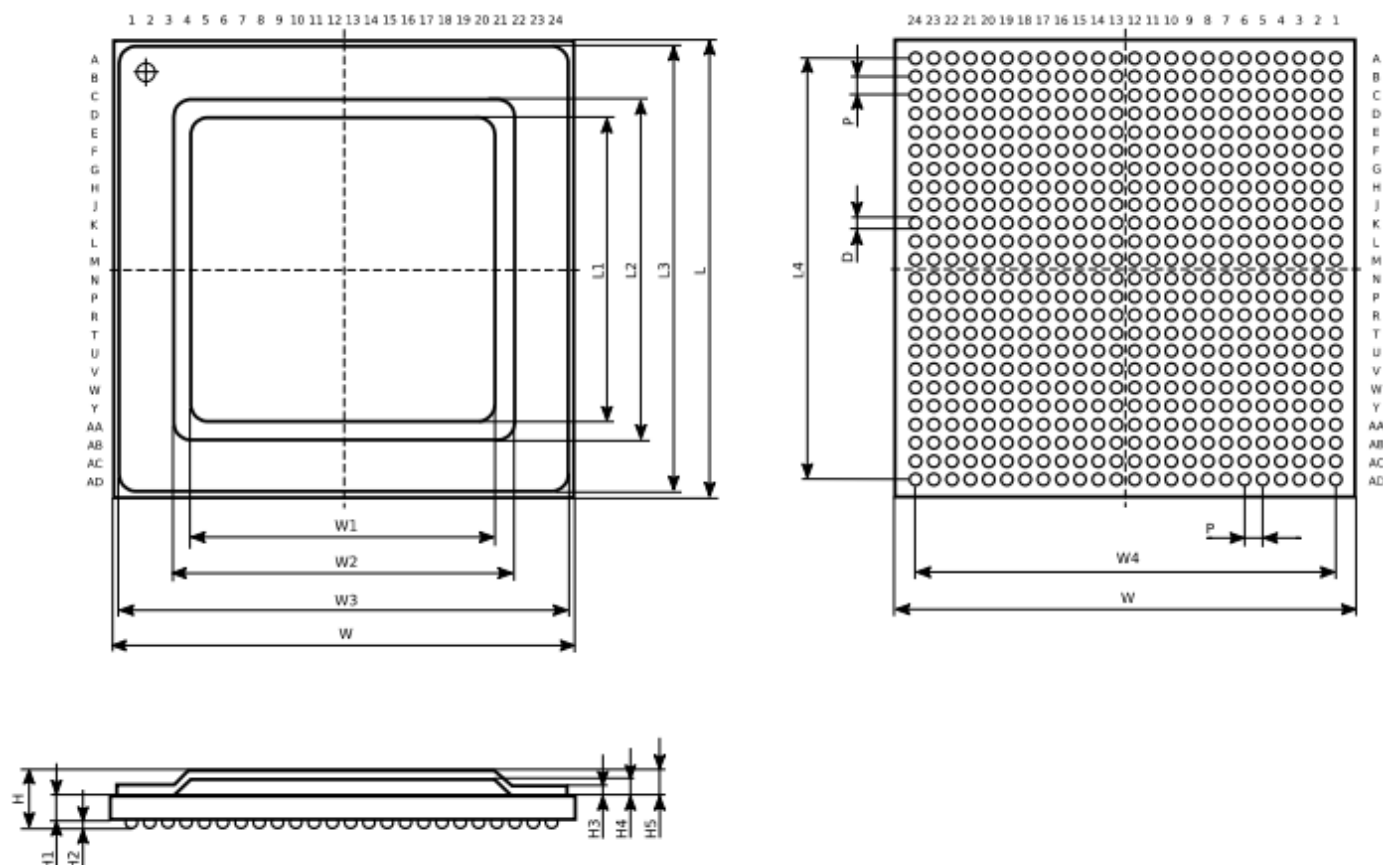


Рис. 6-2 Размеры корпуса микросхемы

Размеры, указанные на чертеже буквами, приведены в таблице.

Таблица 6-2 Размеры корпуса микросхемы

Обозн.	Размер (мм)	Примечание
L	25.0	Длина корпуса
L1	16.60±0.05	
L2	18.60	
L3	24.60±0.15	
L4	23.0	Расстояние между крайними контактами от центра до центра
W	25.0	Ширина корпуса
W1	16.60±0.05	
W2	18.60	
W3	24.60±0.15	
W4	23.0	
H	2.8-3.3	Толщина корпуса, включая контакты. Медианное значение – 3,05 мм
H1	1.15±0.15	Толщина подложки
H2	0.4–0.6	Высота контактов
H3	0.50±0.05	Толщина теплоотводящей крышки
H4	0.80±0.05	
H5	1.30±0.05	
D	0.6±0.1	Диаметр контактов
P	1.0	Шаг между контактами

6.2 Упаковка

Процессоры поставляются в поддоне (англ. *tray*, палете) в количестве 44 штук.

Схематический чертёж поддона приведён на рисунке

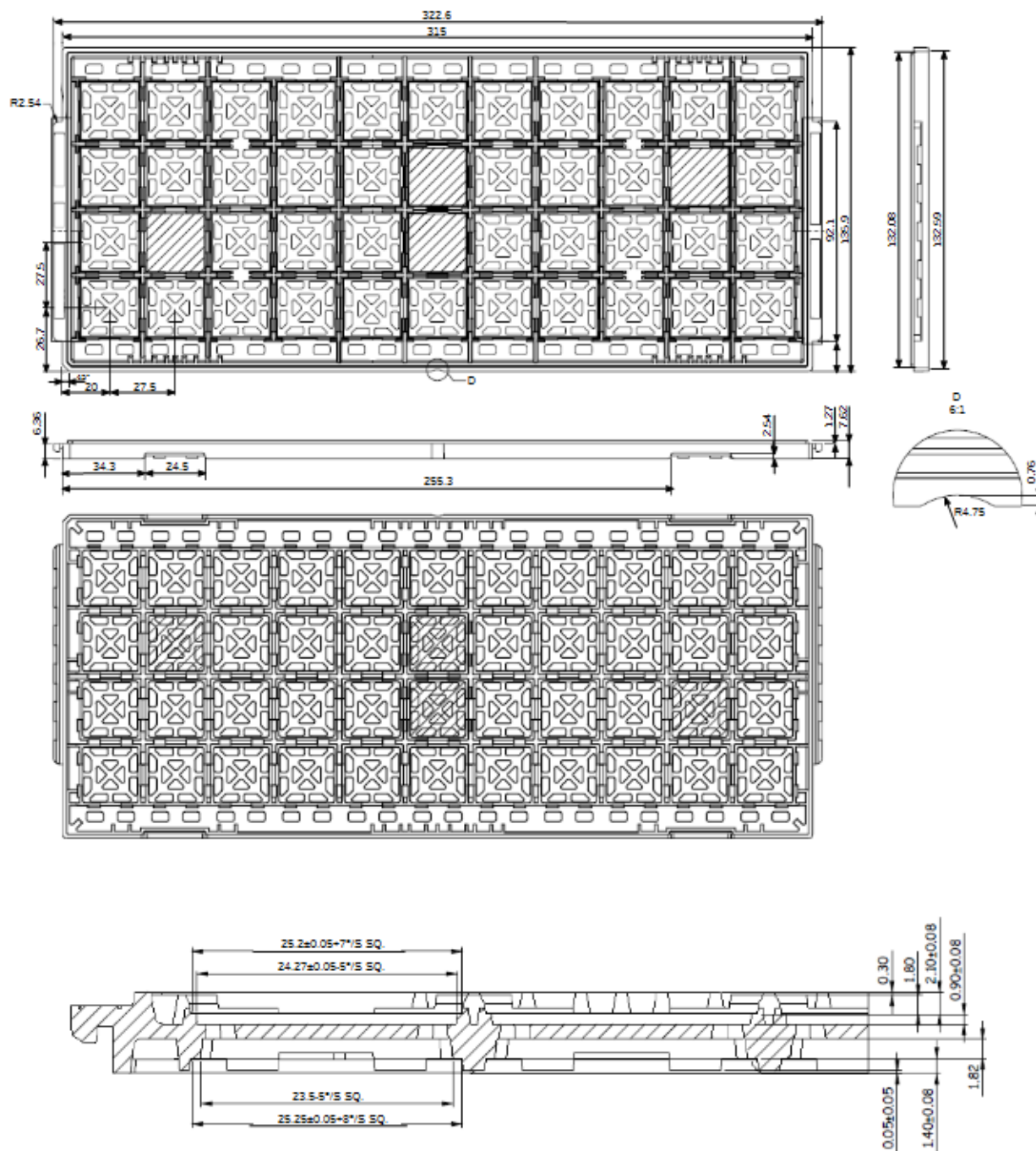


Рисунок 6-3 Схематический чертёж поддона для упаковки микросхемы

6.3 Профиль пайки

Рекомендованный температурный профиль для пайки микросхемы BE-T1000 приведён в таблице 6. Соответствующий график представлен на рисунке 10.

Таблица 6-3 Рекомендованный профиль пайки для микросхемы BE-T1000

Температура	Время
От комнатной температуры до 140°C	60–90 с
От 140°C до 180°C	60–120 с
При температуре выше 183°C	60–150 с
Пиковая температура	220°C ± 5°C
Время в пределах 5°C от пиковой температуры	10–20 с
Скорость охлаждения	Не быстрее 6°C/с

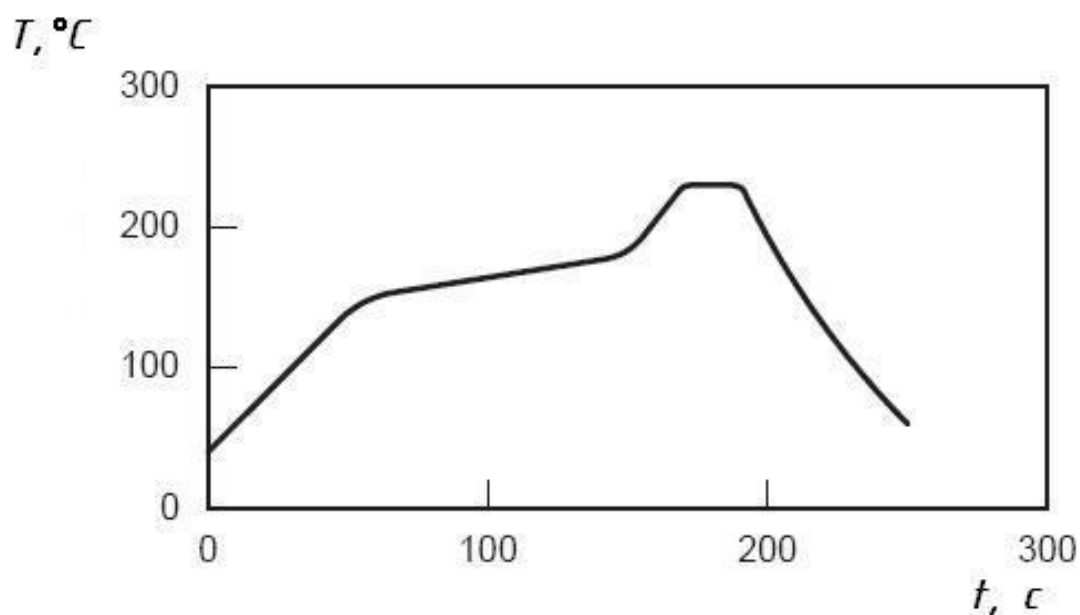


Рисунок 6-4 Профиль пайки

7 Информация для заказа

Для заказа BE-T1000 следует указать типономинал микросхемы. В таблице показаны назначения полей типономинала

Таблица 7-1 Структура полей типономинала микросхемы

BE	-	T	1	0	0	0
Baikal Electronics	Разделитель полей	Продуктовая линейка	Поколение	Модификация	Резервное поле	Тип корпуса

BE-T1000 – первый продукт в линейке BE-T.

Для заказа BE-T1000 обращайтесь в компанию Baikal Electronics. Контактная информация указана на следующей странице.

Контактная информация

Байкал Электроникс: <https://www.baikalelectronics.com/>

Офис: <https://www.baikalelectronics.com/contacts/>

Эл. почта: info@baikalelectronics.ru

Тел.: [+7 495 221-39-47](tel:+74952213947)

История изменений

Версия	Дата	Описание
1.0	04.07.19	Идентична публичному релизу версии 1.0 от 10.12.2015 на английском языке.
2.0	17.08.16	Обновлены домены питания и описание выводов, габаритный чертёж корпуса. Добавлена последовательность запуска и сброса процессора.
2.1	16.09.16	Добавлены разделы 6.3 Упаковка и 6.4 Профиль пайки в соответствии с релизом 2.0 от 12.09.2016 на английском языке
2.2	07.02.17	Обновлены рабочая частота и напряжения доменов питания
2.3	11.10.18	Обновлен раздел 6.2 — добавлен чертеж крышки корпуса
2.5	12.04.2019	Скорректировано: <ul style="list-style-type: none">- наименование микропроцессора и документа,- блок-схема,- элементы оформления,- удалены сведения о тестовом проекте ТС1- добавлена информация для заказа
2.60	05.06.2019	Обновлена глава 5 “Выводы процессора”
3.03	02.07.2019	Корректировка терминологии и форматирования