



Краткое описание процессора Байкал-Т1

Редактор: Михаил Бессонов

Доступ: Публичный

История изменений

Версия	Дата	Автор	Описание
1.0	03.02.16	М. Бессонов	Идентична публичному релизу версии 1.0 от 10.12.2015 на английском языке.
2.0	17.08.16	М. Бессонов	Обновлены домены питания и описание выводов, габаритный чертёж корпуса. Добавлена последовательность запуска и сброса процессора.
2.1	16.09.16	Р. Сергеев	Добавлены разделы 6.3 Упаковка и 6.4 Профиль пайки в соответствии с релизом 2.0 от 12.09.2016 на английском языке
2.2	07.02.17	М. Бессонов	Обновлены рабочая частота и напряжения доменов питания для серийного изделия.
2.3	11.10.18	Ю. Антропов	Обновлен раздел 6.2 — добавлен чертеж крышки корпуса

Содержание

1 Введение.....	5
1.1 Основные характеристики.....	5
1.2 Структурная схема процессора Байкал-Т1.....	7
2 Логические блоки процессора Байкал-Т1.....	8
2.1 Двухъядерный микропроцессорный кластер.....	8
2.2 Подсистема памяти DDR3.....	9
2.3 Высокоскоростные интерфейсы ввода-вывода.....	10
2.3.1 Подсистема 10Gb Ethernet (XGbE).....	10
2.3.2 Подсистема Gb Ethernet (GMAC).....	10
2.3.3 Подсистема PCI Express.....	11
2.3.4 Подсистема SATA.....	11
2.3.5 Подсистема USB.....	12
2.4 Низкоскоростные интерфейсы для подключения периферийных устройств.....	12
2.4.1 Контроллер 32-bit GPIO.....	12
2.4.2 Контроллер 3-bit GPIO.....	13
2.4.3 Контроллер UART.....	13
2.4.4 Контроллер SPI0 (Boot SPI).....	13
2.4.5 Контроллеры SPI 1, 2.....	13
2.4.6 Контроллер I ² C0.....	14
2.4.7 Контроллеры I ² C 1, 2.....	14
2.4.8 Программируемый сторожевой таймер (WDT).....	14
2.4.9 Таймеры.....	15
2.4.10 Генератор тактовых импульсов.....	15
2.4.11 Контроллер загрузки.....	15
2.5 Средства отладки.....	15
3 Электрические характеристики.....	17
3.1 Параметры электропитания.....	17
3.2 Входные тактовые сигналы.....	20



4	Процедуры запуска и сброса процессора.....	21
4.1	Процедура запуска процессора.....	21
4.2	Процедура сброса процессора.....	21
4.3	Выбор режима загрузки.....	24
5	Назначение выводов.....	25
5.1	Перечень выводов.....	25
6	Упаковка.....	47
6.1	Информация о корпусе микросхемы.....	47
6.2	Механические размеры.....	48
6.3	Упаковка.....	49
6.4	Профиль пайки.....	51
7	Поставляемое программное обеспечение.....	52
7.1	Минимальные системные требования.....	52
7.2	Содержимое комплекта BSP.....	52
8	О компании «Байкал Электроникс».....	54

Перечень таблиц

Таблица 1:	Домены питания процессора Байкал-Т1.....	17
Таблица 2:	Характеристики опорных тактовых сигналов процессора Байкал-Т1.....	20
Таблица 3:	Перечень выводов процессора Байкал-Т1.....	26
Таблица 4:	Основные параметры корпуса процессора Байкал-Т1.....	47
Таблица 5:	Размеры корпуса микросхемы Байкал-Т1.....	48
Таблица 6:	Рекомендованный профиль пайки для микросхемы Байкал-Т1.....	51

Перечень рисунков

Рисунок 1 -	Структурная схема процессора Байкал-Т1.....	7
Рисунок 2 -	Подключение доменов питания 0,95/1,5/1,8 В.....	18



Рисунок 3 - Подключение доменов питания 0,90 В.....	19
Рисунок 4 - Подключение контактов VPVT и GPVT.....	19
Рисунок 5 - Последовательность запуска и сброса серийного процессора Байкал-Т1.....	22
Рисунок 6 - Последовательность запуска и сброса тестовых образцов процессора Байкал-Т1	23
Рисунок 7 - Схематический чертёж корпуса микросхемы Байкал-Т1.....	48
Рисунок 8 - Схематический чертёж поддона для упаковки микросхемы Байкал-Т1.....	50
Рисунок 9 - Профиль пайки для микросхемы Байкал-Т1.....	51

1 Введение

Микросхема интегральная процессора Байкал-Т1 (далее Байкал-Т1) – это первый процессор в линейке многоядерных систем на кристалле от компании «Байкал Электроникс». Он оптимизирован для применения в коммуникационном и сетевом оборудовании, а также встроенных системах различного назначения и сочетает высокую производительность с низким энергопотреблением.

В состав Байкал-Т1 входит многопроцессорная двухъядерная система семейства MIPS32® P5600, а также набор высокоскоростных интерфейсов для обмена данными и низкоскоростных для управления периферийными устройствами.

Микросхема Байкал-Т1 производится с использованием 28-нанометрового технологического процесса. Её энергопотребление не превышает 5 Вт.

1.1 Основные характеристики

Основные характеристики процессора Байкал-Т1:

- Многопроцессорная система на основе двух ядер серии P5600 с архитектурой MIPS32®;
 - Рабочая частота для серийных изделий (Т1) – до 1,2 ГГц¹;
 - Кэш данных и кэш инструкций Уровня L1 размером 64 Кб;
 - Встроенный контроллер восьмиканального ассоциативного кэша L2 размером 1Мб (Coherence Manager Controller);
- Глобальный контроллер прерываний (Global Interrupt Controller, GIC), обеспечивающий одновременную поддержку до 128 обработчиков прерываний;
- Интерфейсы памяти:
 - 32-битный интерфейс модуля памяти DDR3-1600 с 8-битным кодом исправления ошибок;
 - Поддержка модулей памяти SDRAM размером до 8 Гб;
- Шина PCI Express третьего поколения:
 - 4 тракта с пропускной способностью 8 Гбит/с каждый;

1 Для закорпусированных кристаллов тестового микропроцессора версии «Байкал-Т» (с маркировкой «ТС-1» на корпусе) – до 1 ГГц.

- Контроллер 10Gb Ethernet:
 - Интерфейс 10G BASE KR/KX4;
- 2 контроллера 1Gb Ethernet (RGMII);
- Двухпортовый контроллер SATA поколения 3.1;
- Контроллер USB 2.0 (ULPI);
- Набор низкоскоростных интерфейсов:
 - 32-битный интерфейс GPIO;
 - 2 интерфейса UART;
 - 2 интерфейса SPI;
 - 2 интерфейса I²C;
 - 3 таймера на 50 МГц;
 - программируемый сторожевой таймер (WDT);
- Контроллер начальной загрузки:
 - Два режима начальной загрузки: со встроенного ПЗУ и из внешней флэш-памяти;
- Возможность отладки через:
 - интерфейс JTAG при помощи контроллера тест-порта TAP;
 - выделенный интерфейс EJTAG;
 - встроенный трассировщик PDTrace;
- Диапазон рабочих температур [0:+70°C]²;
- Размеры корпуса: 25x25 мм (576 выводов).

2 На основании расчётных данных КД предполагается работоспособность в расширенном диапазоне температур [-45:+70°C], но испытания проводились только в диапазоне [0:+70°C].

1.2 Структурная схема процессора Байкал-Т1

Структурная схема процессора Байкал-Т1 представлена на рисунке 1.

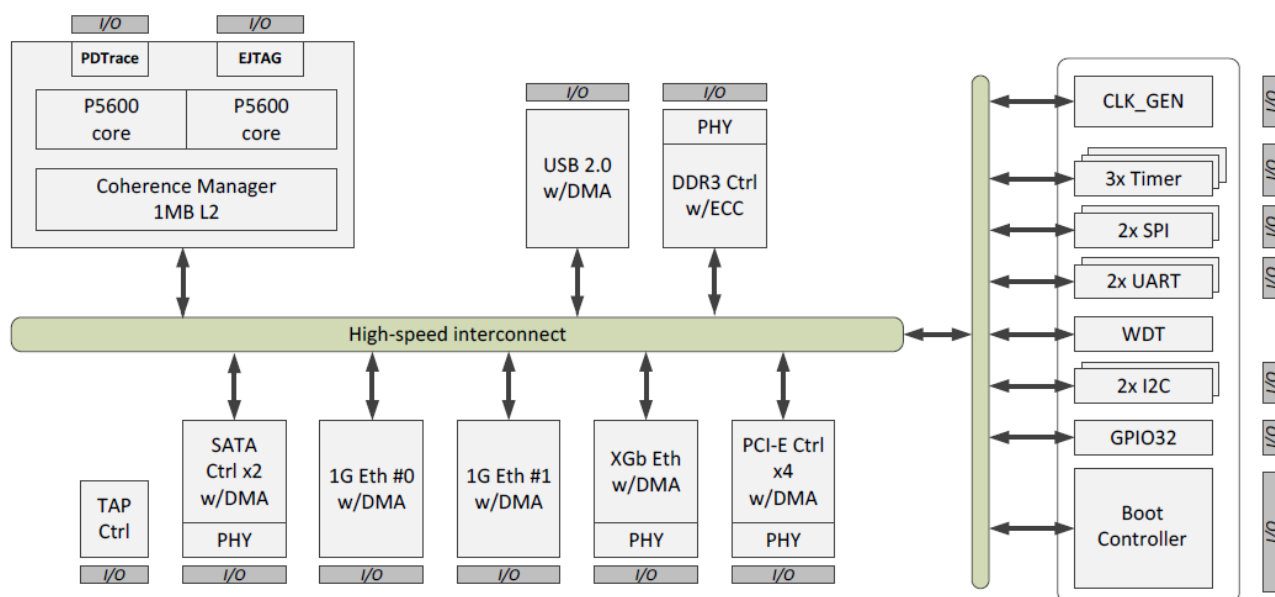


Рисунок 1 - Структурная схема процессора Байкал-Т1

2 Логические блоки процессора Байкал-Т1

Структурная схема процессора Байкал-Т1 представлена на рисунке 1. Процессор включает в себя следующие логические блоки:

- Двухъядерный микропроцессорный кластер;
- Контроллер памяти;
- Высокоскоростные интерфейсы ввода-вывода;
- Низкоскоростные интерфейсы для подключения периферийных устройств;
- Подсистема отладки;
- Высокоскоростная внутрипроцессорная шина.

Логические блоки системы на кристалле взаимодействуют между собой с помощью высокоскоростной внутрипроцессорной шины. Она организована по принципу матричного переключателя и обеспечивает соединение входов с выходами по схеме «многие ко многим». В глобальном адресном пространстве процессора Байкал-Т1 логические блоки идентифицируются своими адресами.

2.1 Двухъядерный микропроцессорный кластер

Байкал-Т1 базируется на многопроцессорной системе MIPS32[®] P5600 Series Multiprocessing System (MPS). Особенности процессора Байкал-Т1 являются:

- Два когерентных микропроцессорных ядра серии P5600 с архитектурой MIPS32[®];
- Рабочая частота ядра серийных изделий – до 1,2 ГГц³;
- Кэш данных и кэш инструкций Уровня L1 размером 64 Кб;
- Контроллер управления когерентностью со встроенным восьмиканальным ассоциативным кэшем L2 размером 1 Мб;
- Встроенная память 32 Кб для сбора данных от трассировщика PDTrace;
- Выделенный порт JTAG, поддерживающий отладку кода, исполняющегося на нескольких процессорах.

3 Для закорпусированных кристаллов тестового микропроцессора версии «Байкал-Т» (с маркировкой «ТС-1» на корпусе) – до 1 ГГц.

2.2 Подсистема памяти DDR3

Универсальный контроллер памяти DDR3 SDRAM с адаптером физического интерфейса PHY объединены в единую подсистему памяти. Она обладает следующими характеристиками:

- Контроллер памяти соответствует спецификации *JEDEC DDR3 SDRAM Specifications JESD79-3E*. Другие типы памяти, такие как DDR1 SDRAM, DDR2 SDRAM, SDR SDRAM, SBSRAM и асинхронная память, не поддерживаются.
- DDR3-1600, рабочая частота памяти составляет 800 МГц, соответственно, полоса пропускания 51,2 ГБ/с.
- 33-битные физические адреса расширяют адресное пространство до 8 ГБ.
- Поддерживаются два ранга памяти.
- Поддерживает модули памяти DDR3 с 1, 2, 4 и 8 банками.
- Поддерживает чипы SDRAM с шириной шины данных 8 или 16 бит (т. е., чипы с организацией $\times 8$ и $\times 16$).
- Поддерживает задержки CAS 5, 6, 7, 8, 9, 10, и 11 циклов.
- Поддерживает 8-битную контрольную сумму (ECC) на каждые 64 бита записываемых и считываемых данных без дополнительной задержки.
- Могут быть также использованы модели памяти, которые не поддерживают исправление ошибок.
- Зеркальное отображение адресов UDIMM **не** поддерживается.
- Характеристики, увеличивающие производительность системы:
 - динамическая диспетчеризация для оптимизации ширины полосы пропускания и времени ожидания;
 - буфера на чтение и запись в блоках ассоциативной памяти (32 на чтение и 32 на запись);
 - отложенная запись на шине SDRAM;
 - для максимальной эффективности работы SDRAM команды выполняются с изменением последовательности (не по порядку).

2.3 Высокоскоростные интерфейсы ввода-вывода

Система на кристалле Байкал-Т1 включает в себя контроллеры следующих высокоскоростных интерфейсов: 10Gb Ethernet (XGbE), два 1Gb Ethernet (GMAC), PCI Express, SATA и USB. Их функционал описан в данном разделе.

2.3.1 Подсистема 10Gb Ethernet (XGbE)

Встроенный интерфейс XGbE соответствует стандарту IEEE 802.3-2008. Основные возможности подсистемы XGbE процессора Байкал-Т1 следующие:

- Полнодуплексный режим работы на скорости 10 Гбит/с;
- Встроенный контроллер прямого доступа к памяти (DMA);
- Программируемая длина кадра Ethernet: поддержка как стандартных кадров, так и кадров «jumbo» большого размера (расширяемых до 16 КБ);
- Поддержка управления потоком согласно стандарту IEEE 802.3 и приоритизация трафика;
- Вычисление контрольной суммы заголовка IPv4 на передаче и приёме;
- Вычисление контрольных сумм пакетов протоколов TCP, UDP и ICMP на передаче и приёме;
- Поддержка кадров с метками виртуальных сетей VLAN, обрабатываемых в соответствии со стандартом IEEE 802.1Q;
- Проверка 32-битным циклическим избыточным кодом (CRC) принимаемых и получаемых кадров;
- Поддержка стандарта энергосберегающего Ethernet (EEE).

2.3.2 Подсистема Gb Ethernet (GMAC)

В процессор Байкал-Т1 встроены два идентичных контроллера 1Gb Ethernet, полностью отвечающие требованиям стандарта IEEE 802.3-2008. Их основными характеристиками являются:

- Интерфейс RGMII к адаптеру физического уровня PHY, поддерживающий скорости передачи данных 10/100/1000Мбит/с;
- Встроенный контроллер прямого доступа к памяти (DMA);

- Поддержка стандарта энергосберегающего Ethernet (EEE).

2.3.3 Подсистема PCI Express

В процессор Байкал-Т1 встроен головной коммутатор (Root Complex) шины PCI Express, поддерживающий соединение PCI шириной до четырёх трактов. Он отвечает требованиям спецификации *PCIe base 3.0, revision 1.0*. Интерфейс между ядром PCIe и адаптером физического уровня PHY соответствует спецификации *PIPE Specification for PCIe bus version 4.0*.

Контроллер PCIe поддерживает 3 протокольных уровня PCIe: уровень транзакций, канальный уровень и подуровень управления доступом к среде (MAC) физического уровня. Он также обеспечивает независимую от приложения функциональность уровня транзакций PCIe, расположенного между логикой приложения и протокольными уровнями PCIe.

Основные характеристики:

- До 4-х трактов (Gen1 2,5 Гбит/с, Gen2 5,0 Гбит/с, Gen3 8,0 Гбит/с);
- 32 стоящих в очереди запроса;
- До 256 байт полезных данных;
- Максимальная длина запроса на чтение – 256 байт;
- Автоматическое переключение трактов и автоматическое переключение полярности;
- Один виртуальный канал (VC);
- Различные классы трафика (TCs);
- Режим очереди с промежуточным хранением и пересылкой принимаемых пакетов уровня транзакций;
- Встроенный контроллер прямого доступа к памяти (DMA).

2.3.4 Подсистема SATA

Подсистема Baikal-T Serial ATA (SATA) представляет собой блок с двумя хост-портами, соответствующими спецификациям *SATA revision 3.1* и *AHCI 1.3*.

Главные особенности:

- Выполнение операций на скоростях 1,5, 3, или 6 Гбит/с;
- Соответствие спецификации ATA/ATAPI-7;
- Поддержка управления питанием;

- Встроенный контроллер прямого доступа к памяти (DMA).

2.3.5 Подсистема USB

Процессор Байкал-Т1 обеспечивает функционал USB 2.0. Основные параметры:

- Порт USB 2.0 с 8-битным интерфейсом ULPI PHY на 60 МГц;
- Хост USB с поддержкой трёх режимов работы:
 - *low-speed* (1,5 Мбит/с);
 - *full-speed* (12 Мбит/с);
 - *high-speed* (480 Мбит/с).

2.4 Низкоскоростные интерфейсы для подключения периферийных устройств

Подсистема низкоскоростных интерфейсов процессора Байкал-Т1 включает в себя следующие логические блоки:

- 32-битный контроллер GPIO32;
- 3-битный контроллер GPIO3;
- 2 контроллера UART;
- 2 контроллера SPI;
- 2 контроллера I²C;
- 3 таймера;
- Программируемый сторожевой таймер (WDT);
- Генератор тактовой частоты;
- Контроллер начальной загрузки.

2.4.1 Контроллер 32-bit GPIO

Подсистема для подключения низкоскоростных периферийных устройств включает в себя один 32-битный контроллер GPIO. Основные параметры:

- 32 независимо управляемых сигнала;
- 2 независимых регистра (регистр данных и регистр направления) для каждого сигнала;
- Независимый конфигурируемый режим прерывания для каждого сигнала;

- Обобщенный статус всех прерываний, сообщаемый контроллеру прерываний.

2.4.2 Контроллер 3-bit GPIO

Процессор содержит ещё один контроллер ввода-вывода GPIO, аналогичный описанному выше, но только на три контакта.

В последующих процессорах линейки Байкал-Т предполагается иное использование данных контактов, поэтому при разработке систем предпочтительно использовать контроллер GPIO32.

2.4.3 Контроллер UART

Система располагает двумя идентичными контроллерами UART. Каждый из них обеспечивает следующую функциональность:

- Передача и приём пакетов в порядке очереди (FIFO) с размером буфера 16 байт;
- Наличие интерфейса для подключения канала прямого доступа к памяти (DMA) к контроллеру последовательного порта;
- Скорость передачи данных – до 460,8 Кбит/с;
- Соответствие промышленному стандарту 16550.

2.4.4 Контроллер SPI0 (Boot SPI)

Контроллер SPI0 предназначен для загрузки исполняемого кода из флеш-памяти с интерфейсом SPI после сброса процессора.

Не рекомендуется подключение к данному контроллеру никаких других устройств, так как это может вызвать проблемы с загрузкой.

2.4.5 Контроллеры SPI 1, 2

Система располагает двумя идентичными контроллерами SPI. Каждый из них выполняет следующие функции:

- Обеспечивает интерфейс Motorola Serial Peripheral Interface (SPI);
- Выполняет роль ведущего устройства;
- Программируемые скорость передачи данных и разрядность слова данных на 25 МГц;
- Передача и приём пакетов в порядке очереди (FIFO) с размером буфера на 64 слова;
- Управление четырьмя сигналами slave select для выбора подчинённых устройств;

- Обобщенный статус всех прерываний, сообщаемый контроллеру прерываний;
- Наличие интерфейса для подключения канала прямого доступа к памяти (DMA) к контроллеру последовательного порта.

2.4.6 Контроллер I²C0

Данный контроллер обладает ограниченной функциональностью, в частности, не поддерживает прямой доступ к памяти (DMA). При разработке систем рекомендуется использовать контроллеры I²C 1 и 2, описанные в следующем разделе.

2.4.7 Контроллеры I²C 1, 2

Система располагает двумя идентичными контроллерами I²C. Каждый из них обеспечивает следующую функциональность:

- Скорость передачи данных от 0 до 100 Кбит/с в стандартном режиме работы;
- Работа в режиме ведущего и подчинённого устройств;
- Программируемая 7- или 10-битная адресация;
- Передача и приём пакетов в порядке очереди (FIFO) с размером буфера 8 байт;
- Работа по прерыванию или по опросу;
- Наличие интерфейса для подключения канала прямого доступа к памяти (DMA) к контроллеру последовательного порта.

2.4.8 Программируемый сторожевой таймер (WDT)

Программируемый сторожевой таймер (WDT) обеспечивает обнаружение и реакцию микросхемы на зависания, вызванные программными ошибками или аппаратными сбоями.

Программно можно конфигурировать следующие аспекты работы таймера WDT:

- интервал срабатывания, по истечении которого будет происходить одно из перечисленных ниже действий:
 - производится сброс системы;
 - сначала генерируется прерывание, и если программа-обработчик не очистила это прерывание за второй такой же интервал времени, то производится сброс системы;
- период времени после срабатывания таймера, в течение которого сигнал сброса удерживается поднятым.

2.4.9 Таймеры

Три независимых таймера объединены в единый контроллер. Его функциональными особенностями являются:

- Программируемые тактовые частоты;
- Разрядность – 32 бита;
- Независимые сигналы о статусе прерывания к системному контроллеру прерываний.

2.4.10 Генератор тактовых импульсов

Генератор тактовых импульсов (CLK_GEN) отвечает за генерацию допустимых тактовых сигналов для всех внутренних логических блоков микросхемы и за отключение логических блоков в целях энергосбережения.

2.4.11 Контроллер загрузки

Контроллер загрузки (BC) отвечает за начальную загрузку системы. Возможны два режима загрузки:

- Режим ROM mode – из встроенного ПЗУ загружается технологическое программное обеспечение Baikal ROM Monitor для диагностики процессора.
- Режим FLASH mode – код начального загрузчика операционной системы загружается из внешней флэш-памяти через интерфейс SPI0.

2.5 Средства отладки

В процессоре поддерживаются средства отладки и профилирования программного обеспечения (ПО):

- JTAG согласно стандарту IEEE-1149.1–2001, предназначен для контроля периферийных устройств;
- EJTAG – соответствует *MIPS EJTAG Specification, MIPS Technologies document MD00047*. Интерфейс предназначен для интерактивной отладки и управлением исполнения кода, поддерживает работу одновременно с обоими ядрами процессора;
- PDtrace – соответствует *PDtrace™ Interface Specification, MIPS Technologies document MD00136*. Интерфейс позволяет снимать трассу исполнения программы в реальном времени и записывать её в память для последующего анализа. Возможна как запись



трассы в специализированную область памяти в составе микросхемы Байкал-Т1 с последующим её вычитыванием через интерфейс EJTAG, так и запись её во внешнюю память адаптера PDTrace. В трассу записываются содержимое счётчика команд, адреса, значения и количество использованных циклов для команд загрузки и сохранения, информация об успешных и неуспешных обращениях к кэш-памяти и т.д.

3 Электрические характеристики

В данном разделе приведены электрические характеристики процессора Байкал-Т1.

Примечание: электрические характеристики и условия эксплуатации являются предварительными и могут впоследствии изменяться и уточняться без уведомления.

3.1 Параметры электропитания

Схема питания процессора Байкал-Т1 должна включать четыре изолированных источника напряжения и единую общую землю, как приведено в таблице 1.

Таблица 1: Домены питания процессора Байкал-Т1

Обозначение	Подаваемое напряжение, В	Ожидаемый максимальный ток, А	Примечания
VDD	0,95 (+/- 5%)	2,9	
VPCI_09	0,95 (+/- 5%)	0,4	1
VXGB_09	0,95(+/- 5%)	0,6	1
VSATA_09	0,95 (+/- 5%)	0,08	1
VSATATX_09	0,95 (+/- 5%)	0,05	1
VDDR_15	1,5 (+/- 5%)	0,4	
VPCI_15	1,5 (+/- 5%)	0,1	2
VXGB_15	1,5 (+/- 5%)	0,2	2
VDDIO_18	1,8 (+ 10%, - 7%)	0,1	
VSATA_18	1,8 (+ 10%, - 7%)	0,04	3
VDDR_18	1,8 (+ 10%, - 7%)	0,12	3
VPLLCORE_09	0,95 (+/- 5%)	0,01	4, 6
VPLLDDR_09	0,95 (+/- 5%)	0,01	4, 6
VPLLETH_09	0,95 (+/- 5%)	0,01	4, 6
VPLLPCIE_09	0,95 (+/- 5%)	0,01	4, 6
VPLLSATA_09	0,95 (+/- 5%)	0,01	4, 6
VPVT	1,8 (+10%, -7%)		5
GPVT			5
VSS	Земля		
VSSIO	VSS		
VSSCORE_PLL	VSS		4
VSSDDR_PLL	VSS		4
VSSETH_PLL	VSS		4
VSSPCIE_PLL	VSS		4
VSSSATA_PLL	VSS		4

Примечания:

- 1) Может соединяться на плате с другими доменами питания с напряжением 0,95 В (например, VDD) с помощью банка конденсаторов (0,01 мкФ, 0,1 мкФ, 4,7 мкФ, 10 мкФ) и ферритового фильтра (MPZ1608S101ATAN0 или подобного), см. рисунок 2.
- 2) Может соединяться на плате с другими доменами питания с напряжением 1,5 В с помощью банка конденсаторов (0,01 мкФ, 0,1 мкФ, 4,7 мкФ, 10 мкФ) и ферритового фильтра (MPZ1608S101ATAN0 или подобного), см. рисунок 2.
- 3) Может соединяться на плате с другими доменами питания с напряжением 1,8 В с помощью ферритового фильтра (MPZ1608S101ATAN0 или подобного) и банка конденсаторов (0,01 мкФ, 0,1 мкФ, 4,7 мкФ, 10 мкФ) для VSATA_18 или банка конденсаторов (0,1 мкФ, 0,1 мкФ, 0,1 мкФ, 1,0 мкФ, 10 мкФ) для VDDR_18, см. рисунок 2.

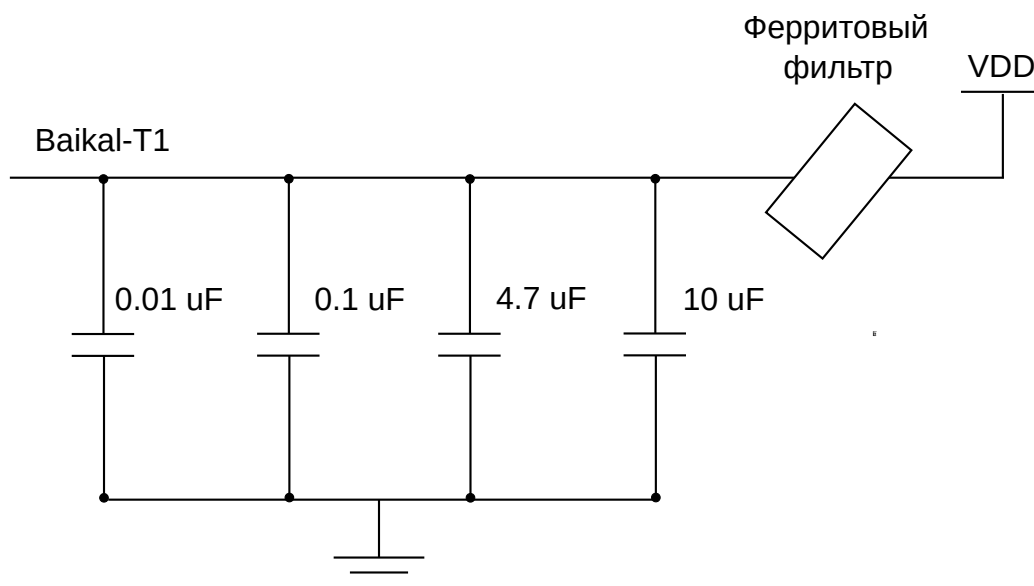


Рисунок 2 - Подключение доменов питания 0,95/1,5/1,8 В

- 4) Может соединяться на плате с другими доменами питания PLL (и только PLL) с помощью двух ферритового фильтров (BLM15AX601SN1D или подобным) и двух шунтирующих конденсаторов ёмкостью 0,1 мкФ и 0,01 мкФ, см. рисунок 3.
Конденсаторы должны размещаться как можно ближе к контактам микропроцессора Байкал-Т1.

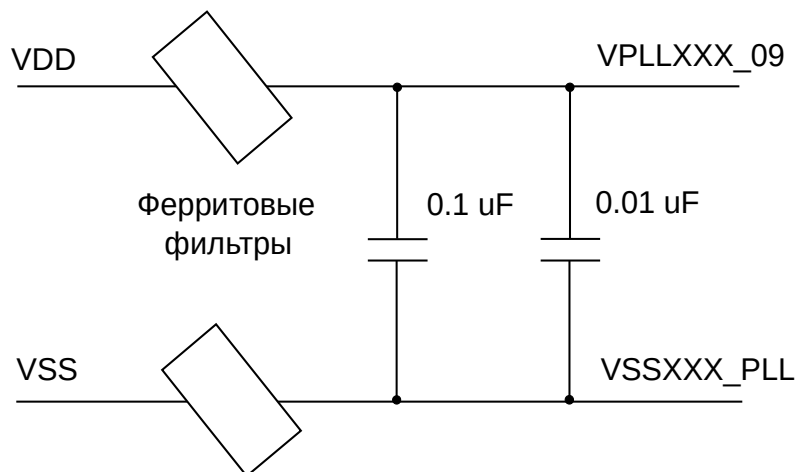


Рисунок 3 - Подключение доменов питания 0,95 В

- 5) VPVT может соединяться с источником питания платы напряжением 1,8 В с помощью банка конденсаторов (22 мкФ, 0,1 мкФ) и ферритового фильтра (BLM15AX601SN1D или подобного). Контакт GPVT не должен соединяться с питанием платы напрямую, см. рисунок 4.

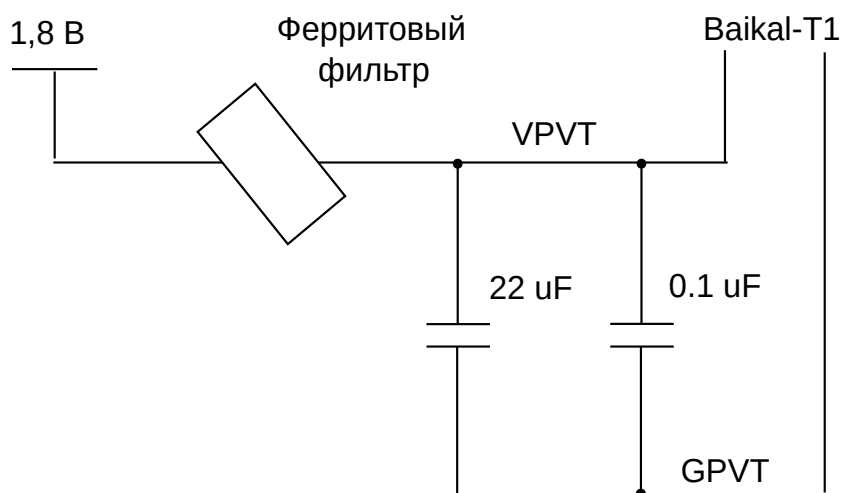


Рисунок 4 - Подключение контактов VPVT и GPVT

- 6) Для закорпусированных кристаллов тестового микропроцессора версии «Байкал-Т» (с маркировкой «ТС-1» на корпусе, далее по тексту «тестовые образцы») подаваемое

напряжение на указанных выводах VPLLCORE_09, VPLLDDR_09, VPLLETH_09, VPLLPCIE_09, VPLLSATA_09 равно 0,9 В, в отличие от 0,95 В для серийных изделий («Байкал-Т1», с маркировкой «Т1» на корпусе).

3.2 Входные тактовые сигналы

Характеристики опорных тактовых сигналов приведены в таблице 2.

Таблица 2: Характеристики опорных тактовых сигналов процессора Байкал-Т1

Параметр	Обозначение	Значение	Ед.изм.	Примечание
Частота опорного тактового сигнала	FREF	25	МГц	-
Частота опорного тактового сигнала XGbE PHY	XG_REF_CLKN, XG_REF_CLKP	156,25	МГц	Дифференциальная пара
Частота опорного тактового сигнала PCIE PHY	PCIE_REF_CLKN, PCIE_REF_CLKP	100	МГц	Дифференциальная пара
Частота опорного тактового сигнала SATA PHY	SATA_REFCLKP, SATA_REFCLKM	100	МГц	Дифференциальная пара

4 Процедуры запуска и сброса процессора

4.1 Процедура запуска процессора

Для запуска процессора должны быть выполнены следующие шаги.

1. Подача напряжения на домены питания VDD, VPLLCORE_09, VPLLDDR_09, VPLLETH_09, VPL LPCIE_09, VPLLSATA_09, VPCI_09, VSATA_09, VSATATX_09, VXGB_09 (0,9 В и 0,95 В соответственно, см. таблицу 1).
2. **Пауза не менее 20 мс.**
3. Подача напряжения на домены питания VDDR_15, VPCI_15, VXGB_15 (домены питания 1,5 В).
4. Подача напряжения домены питания VDDIO_18, VDDR_18, VSATA_18 (домены питания 1,8 В).
5. **Пауза не менее 100 мс.**
6. К этому моменту тактовая частота, подаваемая на вход CLK25M_IN, должна стабилизироваться на 25 МГц.

После выполнения описанной выше процедуры старта необходимо произвести сброс процессора, как описано в следующем разделе.

4.2 Процедура сброса процессора

Необходимым условием сброса процессора является наличие стабильной тактовой частоты 25 МГц, подаваемой на контакт CLK25M_IN.

Процедура сброса отличается для серийного изделия (с маркировкой «Т1» на корпусе) и для закорпусированных кристаллов тестового микропроцессора версии «Байкал-Т» (с маркировкой «ТС-1» на корпусе, далее по тексту «тестовые образцы»).

Для сброса (ресета, рестарта) *серийного* процессора должны быть одновременно выполнены следующие действия над входами RESET, EJ_TRST_N и TRSTN (см. рисунок 5):

- Держать сигнал RESET на высоком уровне не менее **1 с**, затем опустить его до низкого уровня.
- Держать сигнал EJ_TRST_N на низком уровне не менее **1 с**, затем поднять его до

высокого уровня.

- Держать сигнал TRSTN на низком уровне не менее **1 с**, затем поднять его до высокого уровня.

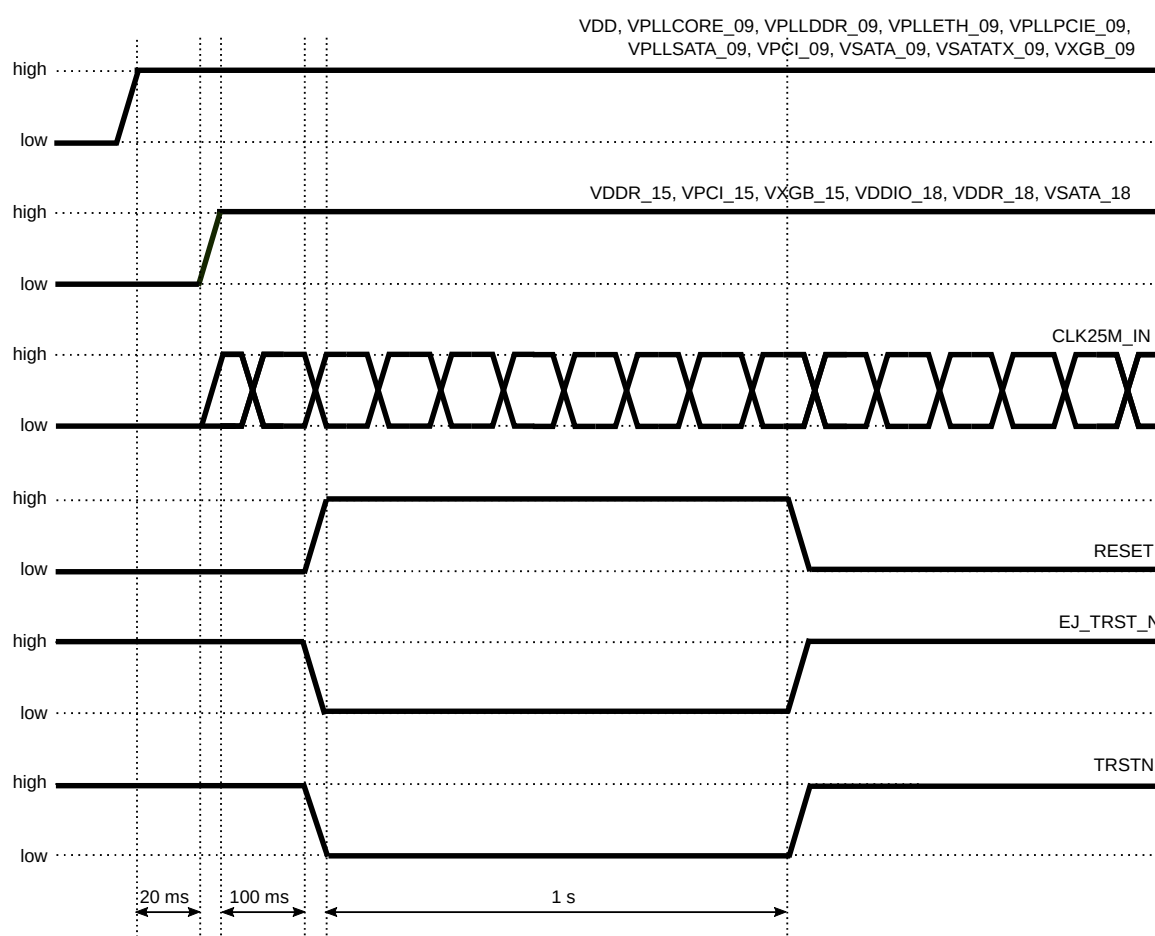


Рисунок 5 - Последовательность запуска и сброса серийного процессора Байкал-Т1

Для сброса *тестовых образцов* процессора требуется дополнительно опустить и поднять сигнал RESET. Соответственно, для этих микросхем требуется одновременно выполнить следующие действия над входами RESET, EJ_TRST_N и TRSTN (см. рисунок 6):

- Для сигнала RESET:
 1. держать на высоком уровне не менее **1 с**;

2. опустить до низкого уровня и держать не менее **300 мс**;
 3. поднять до высокого уровня и держать не менее **300 мс**;
 4. опустить до низкого уровня.
- Держать сигнал EJ_TRST_N на низком уровне не менее **1 с**, затем поднять его до высокого уровня;
 - Держать сигнал TRSTN на низком уровне не менее **1 с**, затем поднять его до высокого уровня.

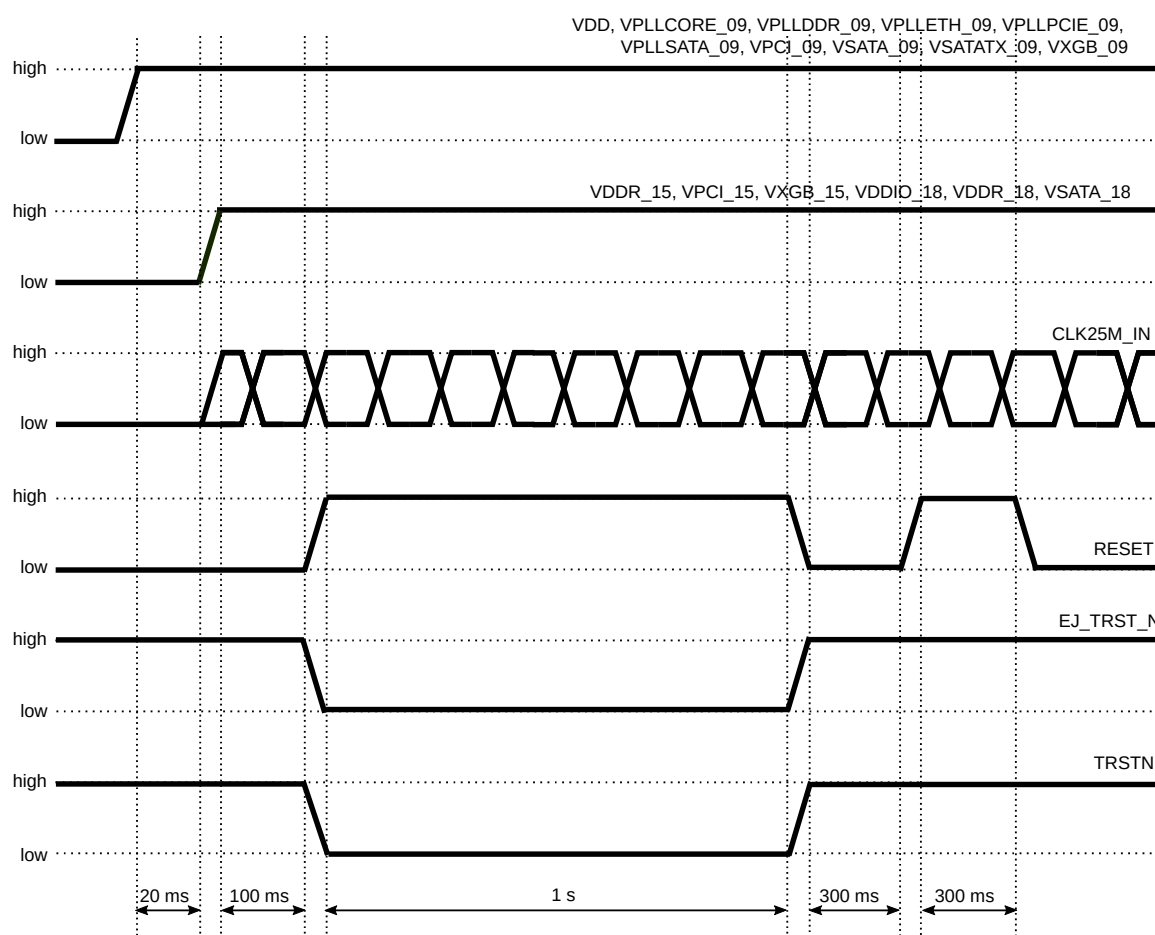


Рисунок 6 - Последовательность запуска и сброса тестовых образцов процессора Байкал-Т1

4.3 Выбор режима загрузки

Режим загрузки выбирается с помощью подачи соответствующих напряжений на контакты BOOTCFG_0 и BOOTCFG_1 процессора на время всей процедуры сброса.

Текущая версия процессора поддерживает два режима загрузки:

1. основной, он же Flash Mode (программное обеспечение загружается из flash памяти через интерфейс SPI0);
2. отладочный, он же ROM Mode (из встроенного ПЗУ загружается технологическое программное обеспечение Baikal ROM Monitor для диагностики процессора).

В обоих случаях на контакте BOOTCFG_0 должно быть низкое напряжение (земля).

Низкое напряжение (земля) на контакте BOOTCFG_1 выбирает отладочный режим (загрузка монитора из ПЗУ), а высокое (VDD) – основной (загрузка рабочего ПО из внешней flash-памяти).

5 Назначение выводов

Данная глава содержит назначение выводов микросхемы Байкал-Т1.

5.1 Перечень выводов

Таблица 3 содержит перечень выводов процессора Байкал-Т1, включая источники питания и земли.

В таблице используются следующие сокращения:

- I: вход;
- O: выход;
- IO: вход/выход;
- P: питание;
- G: земля;
- NC: не подсоединён.

Таблица 3: Перечень выводов процессора Байкал-Т1

Название вывода	Позиция	Тип	Описание
GMAC 1			
G0_CLK_RX_I	P7	I	Тактовый сигнал приёмника RGMII
G0_CLK_TX_I	P6	O	Тактовый сигнал передатчика RGMII
G0_GP_IN	N6	I	Вход общего назначения
G0_GP_OUT	N7	O	Выход общего назначения
G0_MDC	R5	O	Тактовый сигнал SMA
G0_MDIO	R6	IO	Данные SMA
G0_RCTL_I	R4	I	Управление приёмом RGMII
G0_RXD_I[0]	P2	I	Принимаемые данные RGMII
G0_RXD_I[1]	P5	I	Принимаемые данные RGMII
G0_RXD_I[2]	P1	I	Принимаемые данные RGMII
G0_RXD_I[3]	R3	I	Принимаемые данные RGMII
G0_TCTL_O	N1	O	Управление передачей RGMII
G0_TXD_O[0]	N2	O	Передаваемые данные RGMII
G0_TXD_O[1]	N3	O	Передаваемые данные RGMII
G0_TXD_O[2]	N4	O	Передаваемые данные RGMII
G0_TXD_O[3]	N5	O	Передаваемые данные RGMII
GMAC 2			
G1_CLK_RX_I	W1	I	Тактовый сигнал приёмника RGMII
G1_CLK_TX_I	W2	O	Тактовый сигнал передатчика RGMII
G1_GP_IN	Y1	I	Вход общего назначения
G1_GP_OUT	Y2	O	Выход GP
G1_MDC	Y4	O	Тактовый сигнал SMA
G1_MDIO	Y3	IO	Данные SMA
G1_RCTL_I	Y5	I	Управление приёмом RGMII
G1_RXD_I[0]	U4	I	Принимаемые данные RGMII
G1_RXD_I[1]	V6	I	Принимаемые данные RGMII
G1_RXD_I[2]	V4	I	Принимаемые данные RGMII
G1_RXD_I[3]	V5	I	Принимаемые данные RGMII

Название вывода	Позиция	Тип	Описание
G1_TCTL_O	V2	O	Управление передачей RGMII
G1_TXD_O[0]	T5	O	Передаваемые данные RGMII
G1_TXD_O[1]	T6	O	Передаваемые данные RGMII
G1_TXD_O[2]	U5	O	Передаваемые данные RGMII
G1_TXD_O[3]	V1	O	Передаваемые данные RGMII
USB 2.0			
ULPI_CLK	K2	I	Тактовая частота ULPI
ULPI_DATA[0]	L1	IO	Данные ULPI
ULPI_DATA[1]	L2	IO	Данные ULPI
ULPI_DATA[2]	L5	IO	Данные ULPI
ULPI_DATA[3]	M5	IO	Данные ULPI
ULPI_DATA[4]	M6	IO	Данные ULPI
ULPI_DATA[5]	M7	IO	Данные ULPI
ULPI_DATA[6]	M3	IO	Данные ULPI
ULPI_DATA[7]	M4	IO	Данные ULPI
ULPI_DIR	K3	I	ULPI Data Bus Control
ULPI_NXT	K4	I	ULPI Next Data Control
ULPI_STP	L6	O	ULPI Stop Output Control
USB2_OVER	K5	I	Индикация перегрузки корневого порта
USB2_VBUS	L7	O	Управление питанием подключённого («downstream») порта
JTAG			
TDI	AB2	I	Test data in
TDO	AB1	O	Test data out
TRSTN	AA5	I	Test reset
TMS	AA2	I	Test mode select
TCK	AA1	I	Test clock
EJTAG			
EJ_DINT_IN	A14	I	DINT input

Название вывода	Позиция	Тип	Описание
EJ_TDI	C14	I	TDI/TDO daisy-chain
EJ_TMS	B14	I	Test mode select (TMS)
EJ_TRST_N	B13	I	Active-low test reset (TRST)
EJ_TCK	A13	I	Test clock input (TCK)
EJ_TDO	C13	O	TDO
<i>PD Trace</i>			
TR_CLK	F13	O	Trace clock output to probe
TR_DATA[0]	A9	O	Данные трассировки для внешнего отладчика
TR_DATA[1]	B9	O	Данные трассировки для внешнего отладчика
TR_DATA[10]	C9	O	Данные трассировки для внешнего отладчика
TR_DATA[11]	A10	O	Данные трассировки для внешнего отладчика
TR_DATA[12]	C11	O	Данные трассировки для внешнего отладчика
TR_DATA[13]	B12	O	Данные трассировки для внешнего отладчика
TR_DATA[14]	E12	O	Данные трассировки для внешнего отладчика
TR_DATA[15]	A12	O	Данные трассировки для внешнего отладчика
TR_DATA[2]	C8	O	Данные трассировки для внешнего отладчика
TR_DATA[3]	E10	O	Данные трассировки для внешнего отладчика
TR_DATA[4]	E11	O	Данные трассировки для внешнего отладчика
TR_DATA[5]	D9	O	Данные трассировки для внешнего отладчика
TR_DATA[6]	B10	O	Данные трассировки для внешнего отладчика
TR_DATA[7]	F11	O	Данные трассировки для внешнего отладчика

Название вывода	Позиция	Тип	Описание
TR_DATA[8]	F12	O	Данные трассировки для внешнего отладчика
TR_DATA[9]	D11	O	Данные трассировки для внешнего отладчика
TR_DM	B11	O	Индикатор режима отладки для внешнего отладчика
TR_PROBE_N	E13	I	PIB (clock/data) enable signal from probe
TR_TRIGIN	D13	I	Trigger input coming from probe
TR_TRIGOUT	A11	O	Trigger output going to probe
SPI 0			
SPI0_SS_N	H7	O	Выбор подчинённого устройства
SPI0_SCLK_OUT	H6	O	Тактовый сигнал
SPI0_RXD	J7	I	Принимаемые данные
SPI0_TXD	J6	O	Передаваемые данные
SPI 1			
SPI1_RXD	F6	I	Принимаемые данные
SPI1_SCLK_OUT	F2	O	Тактовая частота
SPI1_SS_N[0]	F1	O	Выбор подчинённого устройства
SPI1_SS_N[1]	G5	O	Выбор подчинённого устройства
SPI1_SS_N[2]	G6	O	Выбор подчинённого устройства
SPI1_SS_N[3]	G7	O	Выбор подчинённого устройства
SPI1_TXD	F5	O	Передаваемые данные
SPI 2			
SPI2_RXD	H5	I	Принимаемые данные
SPI2_SCLK_OUT	H1	O	Тактовая частота
SPI2_SS_N[0]	G4	O	Выбор подчинённого устройства
SPI2_SS_N[1]	G1	O	Выбор подчинённого устройства
SPI2_SS_N[2]	G2	O	Выбор подчинённого устройства
SPI2_SS_N[3]	G3	O	Выбор подчинённого устройства
SPI2_TXD	H2	O	Передаваемые данные
UART 0			

Название вывода	Позиция	Тип	Описание
UART0_RXD	J4	I	Принимаемые данные
UART0_TXD	J5	O	Передаваемые данные
UART 1			
UART1_TXD	J3	O	Передаваемые данные
UART1_RXD	J2	I	Принимаемые данные
PC 0			
I2C0_SDA	AD4	IO	Данные
I2C0_SCL	AD5	IO	Тактовая частота
PC 1			
I2C1_SDA	K6	IO	Данные
I2C1_SCL	K7	IO	Тактовая частота
PC 2			
I2C2_SDA	K1	IO	Данные
I2C2_SCL	J1	IO	Тактовая частота
GPIO 32			
GPIO[0]	F9	IO	Данные
GPIO[1]	F8	IO	Данные
GPIO[10]	D1	IO	Данные
GPIO[11]	C5	IO	Данные
GPIO[12]	C3	IO	Данные
GPIO[13]	C2	IO	Данные
GPIO[14]	B5	IO	Данные
GPIO[15]	B3	IO	Данные
GPIO[16]	E3	IO	Данные
GPIO[17]	B2	IO	Данные
GPIO[18]	C1	IO	Данные
GPIO[19]	A2	IO	Данные
GPIO[2]	F7	IO	Данные
GPIO[20]	A4	IO	Данные
GPIO[21]	B4	IO	Данные
GPIO[22]	A3	IO	Данные

Название вывода	Позиция	Тип	Описание
GPIO[23]	B6	IO	Данные
GPIO[24]	A6	IO	Данные
GPIO[25]	F10	IO	Данные
GPIO[26]	E8	IO	Данные
GPIO[27]	E7	IO	Данные
GPIO[28]	B7	IO	Данные
GPIO[29]	A7	IO	Данные
GPIO[3]	E6	IO	Данные
GPIO[30]	E9	IO	Данные
GPIO[31]	D8	IO	Данные
GPIO[4]	E5	IO	Данные
GPIO[5]	E4	IO	Данные
GPIO[6]	D5	IO	Данные
GPIO[7]	D3	IO	Данные
GPIO[8]	A5	IO	Данные
GPIO[9]	D2	IO	Данные
GPIO3			
GPIO3[0]	W7	IO	Данные
GPIO3[1]	W6	IO	Данные
GPIO3[2]	W5	IO	Данные
BOOT CFG			
BOOTCFG_1	AC4	I	Вход для выбора режима загрузки, подсоединять к VDD для загрузки из SPI flash
BOOTCFG_0	AC3	I	Вход для выбора режима загрузки, подсоединять к земле
SYSTEM			
CLK25M_IN	R2	I	PLL Reference Clock 25MHz IN
CLK25M_OUT	R1	O	PLL Reference Clock 25MHz OUT
RESET	T1	I	Перезагрузка системы
GPVT*	G17	Analog	Filter connection pin. Прямое подсоединение к источнику

Название вывода	Позиция	Тип	Описание
			питания платы недопустимо!
<i>XGbE</i>			
XG_AMON	Y8	O	Диагностический вывод PNY
XG_DMON	W10	O	Диагностический вывод PNY
XG_DMONB	W11	O	Диагностический вывод PNY
XG_RBIAS	W8	IO	Подключение опорного резистора
XG_REF_CLKN	AD8	I	Опорные тактовые импульсы (дифференциальная пара)
XG_REF_CLKP	AC8	I	Опорные тактовые импульсы (дифференциальная пара)
XG_RXM[0]	AD6	I	Данные, принимаемые по дифференциальной паре 0
XG_RXM[1]	AD7	I	Данные, принимаемые по дифференциальной паре 1
XG_RXM[2]	AD10	I	Данные, принимаемые по дифференциальной паре 2
XG_RXM[3]	AD9	I	Данные, принимаемые по дифференциальной паре 3
XG_RXP[0]	AC6	I	Данные, принимаемые по дифференциальной паре 0
XG_RXP[1]	AC7	I	Данные, принимаемые по дифференциальной паре 1
XG_RXP[2]	AC10	I	Данные, принимаемые по дифференциальной паре 2
XG_RXP[3]	AC9	I	Данные, принимаемые по дифференциальной паре 3
XG_TXM[0]	AA6	O	Данные, передаваемые по дифференциальной паре 0
XG_TXM[1]	AA7	O	Данные, передаваемые по дифференциальной паре 1
XG_TXM[2]	AA10	O	Данные, передаваемые по дифференциальной паре 2
XG_TXM[3]	AA9	O	Данные, передаваемые по дифференциальной паре 3
XG_TXP[0]	Y6	O	Данные, передаваемые по

Название вывода	Позиция	Тип	Описание
			дифференциальной паре 0
XG_TXP[1]	Y7	O	Данные, передаваемые по дифференциальной паре 1
XG_TXP[2]	Y10	O	Данные, передаваемые по дифференциальной паре 2
XG_TXP[3]	Y9	O	Данные, передаваемые по дифференциальной паре 3
PCIe			
PCIE_AMON	AC5	O	Диагностический вывод PHY
PCIE_ATT_BUT	AD20	I	Кнопка Attention нажата
PCIE_ATT_IND[0]	V17	O	Управление индикатором Attention
PCIE_ATT_IND[1]	T17	O	Управление индикатором Attention
PCIE_CMD_INT	AA18	I	Hot-plug controller command completed interrupt
PCIE_DMON	W13	O	Диагностический вывод PHY
PCIE_DMONB	W15	O	Диагностический вывод PHY
PCIE_INTRL_CTRL	V18	O	Electromechanical Interlock Control
PCIE_INTRL_ENG	W18	I	System Electromechanical Interlock Engaged
PCIE_MRL_SENS	W16	I	Состояние датчика MRL
PCIE_PRES_ST	AD19	I	Состояние детектора присутствия
PCIE_PWR_CTRL	AA17	O	Управление контроллером питания
PCIE_PWR_FAULT	AB18	I	Детектор сбоя питания
PCIE_PWR_IND[0]	Y18	O	Управление индикатором питания
PCIE_PWR_IND[1]	U17	O	Управление индикатором питания
PCIE_RBIAS	W12	IO	Подключение опорного резистора
PCIE_REF_CLKN	AD14	I	Опорные тактовые импульсы (дифференциальная пара)
PCIE_REF_CLKP	AC14	I	Опорные тактовые импульсы (дифференциальная пара)
PCIE_RXM[0]	AD12	I	Данные, принимаемые по дифференциальной паре 0
PCIE_RXM[1]	AD13	I	Данные, принимаемые по

Название вывода	Позиция	Тип	Описание
			дифференциальной паре 1
PCIE_RXM[2]	AD15	I	Данные, принимаемые по дифференциальной паре 2
PCIE_RXM[3]	AD16	I	Данные, принимаемые по дифференциальной паре 3
PCIE_RXP[0]	AC12	I	Данные, принимаемые по дифференциальной паре 0
PCIE_RXP[1]	AC13	I	Данные, принимаемые по дифференциальной паре 1
PCIE_RXP[2]	AC15	I	Данные, принимаемые по дифференциальной паре 2
PCIE_RXP[3]	AC16	I	Данные, принимаемые по дифференциальной паре 3
PCIE_TXM[0]	AA12	O	Данные, передаваемые по дифференциальной паре 0
PCIE_TXM[1]	AA13	O	Данные, передаваемые по дифференциальной паре 1
PCIE_TXM[2]	AA15	O	Данные, передаваемые по дифференциальной паре 2
PCIE_TXM[3]	AA16	O	Данные, передаваемые по дифференциальной паре 3
PCIE_TXP[0]	Y12	O	Данные, передаваемые по дифференциальной паре 0
PCIE_TXP[1]	Y13	O	Данные, передаваемые по дифференциальной паре 1
PCIE_TXP[2]	Y15	O	Данные, передаваемые по дифференциальной паре 2
PCIE_TXP[3]	Y16	O	Данные, передаваемые по дифференциальной паре 3
SATA			
SATA_REFCLKP	B20	I	Опорные тактовые импульсы (дифференциальная пара)
SATA_REFCLKM	A20	I	Опорные тактовые импульсы (дифференциальная пара)
SATA_RESREF	C19	IO	Reference Resistor

Название вывода	Позиция	Тип	Описание
SATA_TXM[0]	B18	O	Данные, передаваемые по дифференциальной паре 0
SATA_TXP[0]	A18	O	Данные, передаваемые по дифференциальной паре 0
SATA_RXM[0]	B19	I	Данные, принимаемые по дифференциальной паре 0
SATA_RXP[0]	A19	I	Данные, принимаемые по дифференциальной паре 0
SATA_RXM[1]	B17	I	Данные, принимаемые по дифференциальной паре 1
SATA_RXP[1]	A17	I	Данные, принимаемые по дифференциальной паре 1
SATA_TXM[1]	B16	O	Данные, передаваемые по дифференциальной паре 1
SATA_TXP[1]	A16	O	Данные, передаваемые по дифференциальной паре 1
SATA_P0MPSWITCH	F15	I	Mechanical Presence Switch P0
SATA_P0CPPOD	E15	O	Cold Presence Power-On Device P0
SATA_P1CPPOD	D15	O	Cold Presence Power-On Device P1
SATA_P0CPDET	C15	I	Cold Presence Detect P0
SATA_P1CPDET	E14	I	Cold Presence Detect P1
SATA_P1MPSWITCH	D14	I	Mechanical Presence Switch P1
TEST			
TEST	F14	I	Подсоединять к земле
TSTSEL_1*	U7	I	Подсоединять к VSS
TSTSEL_2*	T7	I	Подсоединять к VSS
TSTSEL_3*	U3	I	Подсоединять к VSS
MBIST_CLK*	R7	I	Подсоединять к VSS
DDR			
DDR_A[0]	K19	O	Адрес SDRAM
DDR_A[1]	K24	O	Адрес SDRAM
DDR_A[10]	H22	O	Адрес SDRAM
DDR_A[11]	M20	O	Адрес SDRAM

Название вывода	Позиция	Тип	Описание
DDR_A[12]	K18	O	Адрес SDRAM
DDR_A[13]	M19	O	Адрес SDRAM
DDR_A[14]	L20	O	Адрес SDRAM
DDR_A[15]	J21	O	Адрес SDRAM
DDR_A[2]	K22	O	Адрес SDRAM
DDR_A[3]	M22	O	Адрес SDRAM
DDR_A[4]	M18	O	Адрес SDRAM
DDR_A[5]	P21	O	Адрес SDRAM
DDR_A[6]	N19	O	Адрес SDRAM
DDR_A[7]	P19	O	Адрес SDRAM
DDR_A[8]	P20	O	Адрес SDRAM
DDR_A[9]	M21	O	Адрес SDRAM
DDR_ATO	V19	IO	Analog Test Output (test Pad)
DDR_BA[0]	N22	O	Адрес банка SDRAM
DDR_BA[1]	J19	O	Адрес банка SDRAM
DDR_BA[2]	G20	O	SDRAM Bank Group
DDR_CAS#	J22	O	SDRAM CAS#
DDR_CK_N[0]	M24	O	Тактовая частота SDRAM#
DDR_CK_N[1]	L22	O	Тактовая частота SDRAM#
DDR_CK[0]	M23	O	Тактовая частота SDRAM
DDR_CK[1]	L21	O	Тактовая частота SDRAM
DDR_CKE[0]	K23	O	SDRAM clock enable
DDR_CKE[1]	H20	O	SDRAM clock enable
DDR_CS_N[0]	H23	O	Выбор микросхемы SDRAM
DDR_CS_N[1]	J20	O	Выбор микросхемы SDRAM
DDR_DM[0]	AC22	IO	Маска данных SDRAM
DDR_DM[1]	W21	IO	Маска данных SDRAM
DDR_DM[2]	T22	IO	Маска данных SDRAM
DDR_DM[3]	F22	IO	Маска данных SDRAM
DDR_DM[4]	B22	IO	Маска данных SDRAM
DDR_DQ[0]	AA19	IO	Данные SDRAM

Название вывода	Позиция	Тип	Описание
DDR_DQ[1]	AA22	IO	Данные SDRAM
DDR_DQ[10]	V24	IO	Данные SDRAM
DDR_DQ[11]	Y22	IO	Данные SDRAM
DDR_DQ[12]	Y21	IO	Данные SDRAM
DDR_DQ[13]	AA24	IO	Данные SDRAM
DDR_DQ[14]	AA23	IO	Данные SDRAM
DDR_DQ[15]	V21	IO	Данные SDRAM
DDR_DQ[16]	V20	IO	Данные SDRAM
DDR_DQ[17]	P23	IO	Данные SDRAM
DDR_DQ[18]	P24	IO	Данные SDRAM
DDR_DQ[19]	R21	IO	Данные SDRAM
DDR_DQ[2]	AB23	IO	Данные SDRAM
DDR_DQ[20]	T21	IO	Данные SDRAM
DDR_DQ[21]	U24	IO	Данные SDRAM
DDR_DQ[22]	U21	IO	Данные SDRAM
DDR_DQ[23]	T20	IO	Данные SDRAM
DDR_DQ[24]	G21	IO	Данные SDRAM
DDR_DQ[25]	E21	IO	Данные SDRAM
DDR_DQ[26]	E22	IO	Данные SDRAM
DDR_DQ[27]	E20	IO	Данные SDRAM
DDR_DQ[28]	F21	IO	Данные SDRAM
DDR_DQ[29]	E24	IO	Данные SDRAM
DDR_DQ[3]	AB24	IO	Данные SDRAM
DDR_DQ[30]	E23	IO	Данные SDRAM
DDR_DQ[31]	F20	IO	Данные SDRAM
DDR_DQ[32]	A21	IO	Данные SDRAM
DDR_DQ[33]	B24	IO	Данные SDRAM
DDR_DQ[34]	B21	IO	Данные SDRAM
DDR_DQ[35]	B23	IO	Данные SDRAM
DDR_DQ[36]	D21	IO	Данные SDRAM
DDR_DQ[37]	D24	IO	Данные SDRAM

Название вывода	Позиция	Тип	Описание
DDR_DQ[38]	D23	IO	Данные SDRAM
DDR_DQ[39]	D22	IO	Данные SDRAM
DDR_DQ[4]	AD22	IO	Данные SDRAM
DDR_DQ[5]	AA20	IO	Данные SDRAM
DDR_DQ[6]	AD21	IO	Данные SDRAM
DDR_DQ[7]	AA21	IO	Данные SDRAM
DDR_DQ[8]	V22	IO	Данные SDRAM
DDR_DQ[9]	V23	IO	Данные SDRAM
DDR_DQS_N[0]	AC24	IO	Стробирующий импульс SDRAM#
DDR_DQS_N[1]	Y24	IO	Стробирующий импульс SDRAM#
DDR_DQS_N[2]	T24	IO	Стробирующий импульс SDRAM #
DDR_DQS_N[3]	F24	IO	Стробирующий импульс SDRAM#
DDR_DQS_N[4]	C24	IO	Стробирующий импульс SDRAM#
DDR_DQS[0]	AC23	IO	Стробирующий импульс SDRAM
DDR_DQS[1]	Y23	IO	Стробирующий импульс SDRAM
DDR_DQS[2]	T23	IO	Стробирующий импульс SDRAM
DDR_DQS[3]	F23	IO	Стробирующий импульс SDRAM
DDR_DQS[4]	C23	IO	Стробирующий импульс SDRAM
DDR_DTO[0]	P18	O	Digital Test Output (test Pad)
DDR_DTO[1]	P17	O	Digital Test Output (test Pad)
DDR_ODT[0]	H24	O	SDRAM On-Die termination
DDR_ODT[1]	P22	O	SDRAM On-Die termination
DDR_RAM_RST_N	T19	O	Перезагрузка SDRAM
DDR_RAS#	H21	O	SDRAM RAS#
DDR_VREF[0]	H17	IO	IO ring VREFI net
DDR_VREF[1]	M17	IO	IO ring VREFI net
DDR_VREF[2]	E18	IO	IO ring VREFI net
DDR_VREF[3]	R18	IO	IO ring VREFI net
DDR_VREF[4]	U18	IO	IO ring VREFI net
DDR_VREF[5]	W19	IO	IO ring VREFI net
DDR_VREFI_ZQ	J18	IO	IO ring VREFI ZQ net

Название вывода	Позиция	Тип	Описание
DDR_WE#	G19	O	SDRAM WE#
DDR_ZQ	J17	IO	ZQ Resistor (to external calibration resistor)
Питание			
VDD	A1	P	Питание ядра
VDD	A15	P	Питание ядра
VDD	A22	P	Питание ядра
VDD	A8	P	Питание ядра
VDD	AB4	P	Питание ядра
VDD	AC1	P	Питание ядра
VDD	AC19	P	Питание ядра
VDD	AC20	P	Питание ядра
VDD	E1	P	Питание ядра
VDD	E16	P	Питание ядра
VDD	G10	P	Питание ядра
VDD	G11	P	Питание ядра
VDD	G12	P	Питание ядра
VDD	G13	P	Питание ядра
VDD	G14	P	Питание ядра
VDD	G15	P	Питание ядра
VDD	G16	P	Питание ядра
VDD	G22	P	Питание ядра
VDD	G8	P	Питание ядра
VDD	G9	P	Питание ядра
VDD	J10	P	Питание ядра
VDD	J11	P	Питание ядра
VDD	J12	P	Питание ядра
VDD	J13	P	Питание ядра
VDD	J14	P	Питание ядра
VDD	J15	P	Питание ядра
VDD	J16	P	Питание ядра

Название вывода	Позиция	Тип	Описание
VDD	J8	P	Питание ядра
VDD	J9	P	Питание ядра
VDD	L10	P	Питание ядра
VDD	L11	P	Питание ядра
VDD	L12	P	Питание ядра
VDD	L13	P	Питание ядра
VDD	L14	P	Питание ядра
VDD	L15	P	Питание ядра
VDD	L16	P	Питание ядра
VDD	L8	P	Питание ядра
VDD	L9	P	Питание ядра
VDD	M1	P	Питание ядра
VDD	N10	P	Питание ядра
VDD	N11	P	Питание ядра
VDD	N12	P	Питание ядра
VDD	N13	P	Питание ядра
VDD	N14	P	Питание ядра
VDD	N15	P	Питание ядра
VDD	N16	P	Питание ядра
VDD	N8	P	Питание ядра
VDD	N9	P	Питание ядра
VDD	R10	P	Питание ядра
VDD	R11	P	Питание ядра
VDD	R12	P	Питание ядра
VDD	R13	P	Питание ядра
VDD	R14	P	Питание ядра
VDD	R15	P	Питание ядра
VDD	R16	P	Питание ядра
VDD	R22	P	Питание ядра
VDD	R8	P	Питание ядра
VDD	R9	P	Питание ядра

Название вывода	Позиция	Тип	Описание
VDD	U10	P	Питание ядра
VDD	U11	P	Питание ядра
VDD	U12	P	Питание ядра
VDD	U13	P	Питание ядра
VDD	U14	P	Питание ядра
VDD	U15	P	Питание ядра
VDD	U16	P	Питание ядра
VDD	U8	P	Питание ядра
VDD	U9	P	Питание ядра
VDD	V3	P	Питание ядра
VDD	W22	P	Питание ядра
VDDIO_18	AB3	P	Питание ввода-вывода
VDDIO_18	C10	P	Питание ввода-вывода
VDDIO_18	C12	P	Питание ввода-вывода
VDDIO_18	C4	P	Питание ввода-вывода
VDDIO_18	C6	P	Питание ввода-вывода
VDDIO_18	C7	P	Питание ввода-вывода
VDDIO_18	F3	P	Питание ввода-вывода
VDDIO_18	H3	P	Питание ввода-вывода
VDDIO_18	L3	P	Питание ввода-вывода
VDDIO_18	P3	P	Питание ввода-вывода
VDDIO_18	T3	P	Питание ввода-вывода
VDDIO_18	W3	P	Питание ввода-вывода
VDDIO_18	Y17	P	Питание ввода-вывода
VDDR_15	AB22	P	Питание DDR
VDDR_15	C22	P	Питание DDR
VDDR_15	D20	P	Питание DDR
VDDR_15	F19	P	Питание DDR
VDDR_15	H19	P	Питание DDR
VDDR_15	J24	P	Питание DDR
VDDR_15	K21	P	Питание DDR

Название вывода	Позиция	Тип	Описание
VDDR_15	L19	P	Питание DDR
VDDR_15	L24	P	Питание DDR
VDDR_15	N18	P	Питание DDR
VDDR_15	N21	P	Питание DDR
VDDR_15	N24	P	Питание DDR
VDDR_15	R20	P	Питание DDR
VDDR_15	U20	P	Питание DDR
VDDR_15	U23	P	Питание DDR
VDDR_15	Y20	P	Питание DDR
VDDR_18	A24	P	Питание DDR
VDDR_18	AD24	P	Питание DDR
VDDR_18	G24	P	Питание DDR
VDDR_18	R24	P	Питание DDR
VDDR_18	W24	P	Питание DDR
VPCI_09	AB13	P	Питание PCIe PHY
VPCI_09	AB16	P	Питание PCIe PHY
VPCI_09	AA14	P	Питание PCIe PHY
VPCI_15	Y14	P	Питание PCIe PHY IO
VPLLCORE_09	U1	P	Питание PLL ядра
VPLLDDR_09	AD18	P	Питание PLL DDR
VPLLETH_09	AD3	P	Питание PLL ETH
VPLLPCIE_09	AD17	P	Питание PLL PCIe
VPLLSATA_09	D17	P	Питание PLL SATA
VPVT*	F17	P	Analog power for PVT sensor (1.8V)
VSATA_18	C20	P	Питание SATA PHY
VSATAP_09	C17	P	Питание SATA PHY
VSATATX_09	C18	P	Питание SATA PHY
VXGB_09	AB6	P	Питание XGbE PHY
VXGB_09	AB10	P	Питание XGbE PHY
VXGB_09	AB8	P	Питание XGbE PHY
VXGB_15	AA8	P	Питание XGbE PHY IO

Название вывода	Позиция	Тип	Описание
<i>Земля</i>			
VSS	A23	G	
VSS	AA3	G	
VSS	AB12	G	
VSS	AB14	G	
VSS	AB15	G	
VSS	AB17	G	
VSS	AB19	G	
VSS	AB20	G	
VSS	AB21	G	
VSS	AB5	G	
VSS	AB7	G	
VSS	AB9	G	
VSS	AD2	G	
VSS	AD23	G	
VSS	B1	G	
VSS	B15	G	
VSS	B8	G	
VSS	C16	G	
VSS	C21	G	
VSS	E17	G	
VSS	E19	G	
VSS	E2	G	
VSS	F18	G	
VSS	G23	G	
VSS	H10	G	
VSS	H11	G	
VSS	H12	G	
VSS	H13	G	
VSS	H14	G	
VSS	H15	G	

Название вывода	Позиция	Тип	Описание
VSS	H16	G	
VSS	H18	G	
VSS	H8	G	
VSS	H9	G	
VSS	J23	G	
VSS	K10	G	
VSS	K11	G	
VSS	K12	G	
VSS	K13	G	
VSS	K14	G	
VSS	K15	G	
VSS	K16	G	
VSS	K20	G	
VSS	K8	G	
VSS	K9	G	
VSS	L18	G	
VSS	L23	G	
VSS	M10	G	
VSS	M11	G	
VSS	M12	G	
VSS	M13	G	
VSS	M14	G	
VSS	M15	G	
VSS	M16	G	
VSS	M2	G	
VSS	M8	G	
VSS	M9	G	
VSS	N17	G	
VSS	N20	G	
VSS	N23	G	
VSS	P10	G	

Название вывода	Позиция	Тип	Описание
VSS	P11	G	
VSS	P12	G	
VSS	P13	G	
VSS	P14	G	
VSS	P15	G	
VSS	P16	G	
VSS	P8	G	
VSS	P9	G	
VSS	R19	G	
VSS	R23	G	
VSS	T10	G	
VSS	T11	G	
VSS	T12	G	
VSS	T13	G	
VSS	T14	G	
VSS	T15	G	
VSS	T16	G	
VSS	T8	G	
VSS	T9	G	
VSS	U19	G	
VSS	U2	G	
VSS	U22	G	
VSS	V10	G	
VSS	V11	G	
VSS	V12	G	
VSS	V13	G	
VSS	V14	G	
VSS	V15	G	
VSS	V16	G	
VSS	V8	G	
VSS	V9	G	

Название вывода	Позиция	Тип	Описание
VSS	W14	G	
VSS	W20	G	
VSS	W23	G	
VSS	W9	G	
VSS	Y11	G	
VSS	Y19	G	
VSSDDR_PLL	AC18	G	
VSSETH_PLL	AC2	G	
VSSCORE_PLL	T2	G	
VSSIO	AA4	G	
VSSIO	D10	G	
VSSIO	D12	G	
VSSIO	D4	G	
VSSIO	D6	G	
VSSIO	D7	G	
VSSIO	F4	G	
VSSIO	H4	G	
VSSIO	L4	G	
VSSIO	P4	G	
VSSIO	T4	G	
VSSIO	W17	G	
VSSIO	W4	G	
VSSPCIE_PLL	AC17	G	
VSSSATA_PLL	D16	G	
Зарезервирован			
NC	U6	NC	
NC	AA11	NC	
NC	AB11	NC	
NC	AC11	NC	
NC	AC21	NC	
NC	AD1	NC	

Название вывода	Позиция	Тип	Описание
NC	AD11	NC	
NC	D18	NC	
NC	D19	NC	
NC	F16	NC	
NC	G18	NC	
NC	K17	NC	
NC	L17	NC	
NC	R17	NC	
NC	T18	NC	
VQPS	V7	NC	

* : не поддерживается в тестовых образцах Байкал-Т1, оставлять неподсоединённым.

6 Упаковка

6.1 Информация о корпусе микросхемы

Основные параметры корпуса приведены в таблице 4.

Таблица 4: Основные параметры корпуса процессора Байкал-Т1

Параметр	Значение
Размер корпуса	25 × 25 мм
Количество контактов	576
Шаг между контактами	1 мм
Диаметр контакта	0,6 ± 0,1 мм
Толщина (минимальная/номинальная/максимальная)	2,80 / 3,05 / 3,30 мм

6.2 Механические размеры

Схематический чертёж корпуса (без строгого соблюдения масштаба) приведён на рисунке 7.

Размеры, указанные на чертеже буквами, приведены в таблице 5.

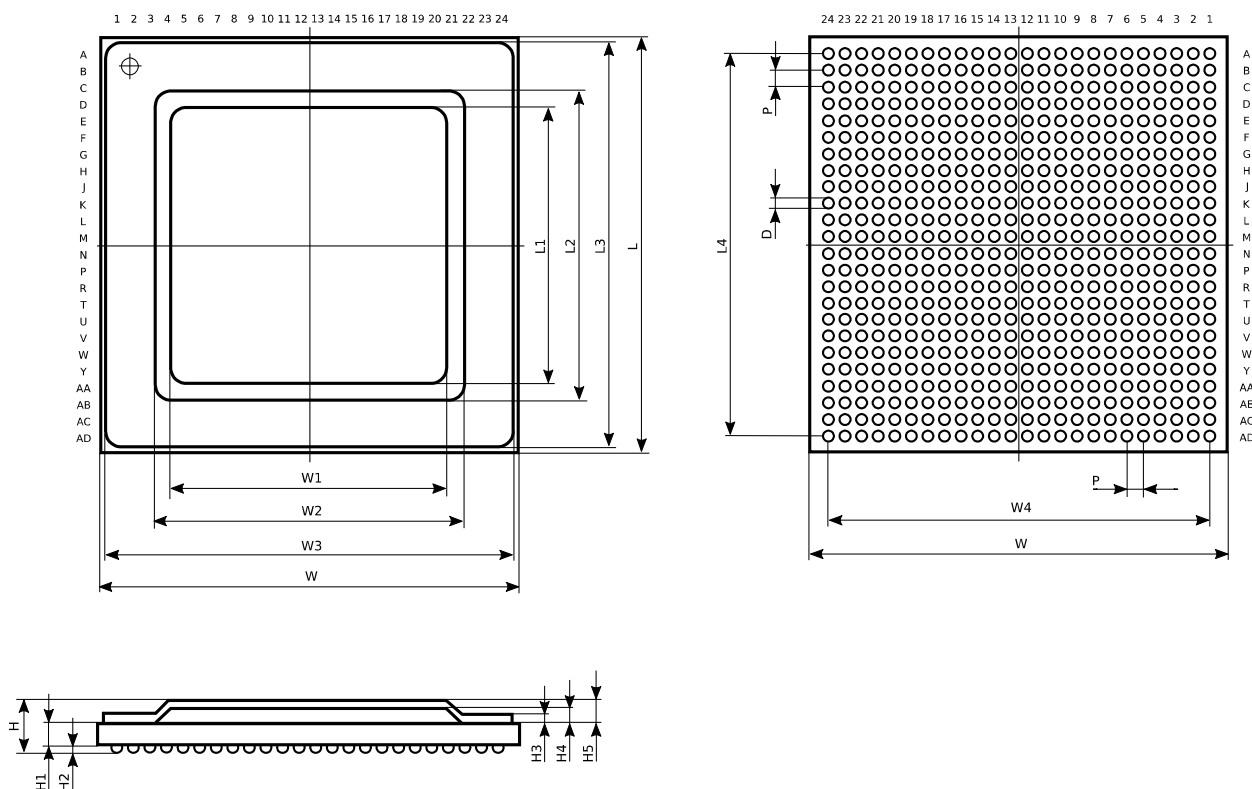


Рисунок 7 - Схематический чертёж корпуса микросхемы Байкал-Т1

Таблица 5: Размеры корпуса микросхемы Байкал-Т1

Обозначение	Размер (мм)	Примечание
L	25,0	Длина корпуса
L1	16,60±0,05	
L2	18,60	
L3	24,60±0,15	
L4	23,0	Расстояние между крайними контактами от центра до центра
W	25,0	Ширина корпуса

Обозначение	Размер (мм)	Примечание
W1	16,60±0,05	
W2	18,60	
W3	24,60±0,15	
W4	23,0	
H	2,8–3,3	Толщина корпуса, включая контакты. Медианное значение – 3,05 мм
H1	1,15±0,15	Толщина подложки
H2	0,4–0,6	Высота контактов
H3	0,50±0,05	Толщина теплоотводящей крышки
H4	0,80±0,05	
H5	1,30±0,05	
D	0,6±0,1	Диаметр контактов
P	1,0	Шаг между контактами

Чертёж крышки корпуса (без строгого соблюдения масштаба) приведён на рисунке 8



Рисунок 8 - Чертеж крышки корпуса микросхемы Байкал-Т1



6.3 Упаковка

Процессоры поставляются в поддоне (англ. *tray*, палете) в количестве 44 штук.

Схематический чертёж поддона приведён на рисунке 9.

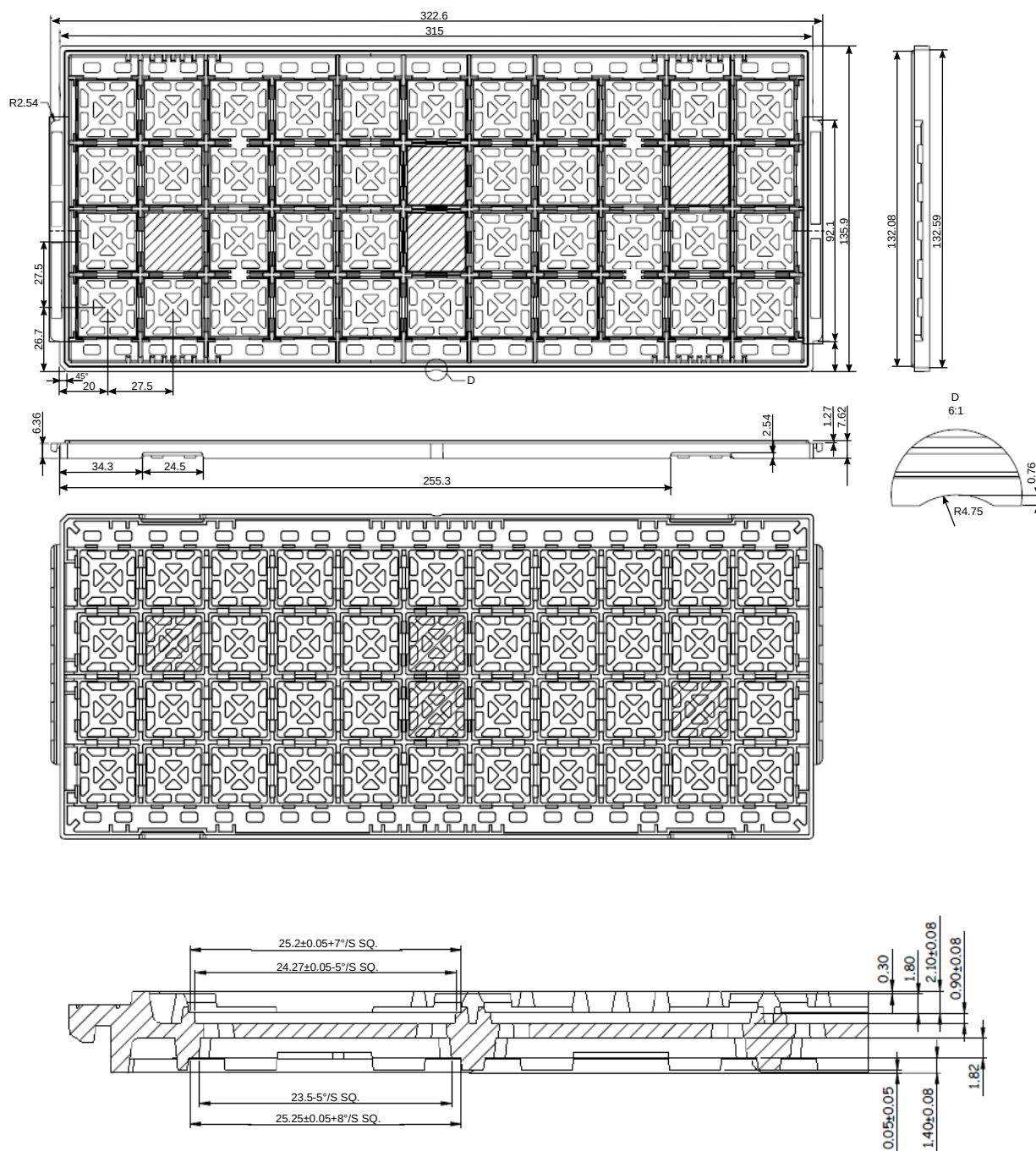


Рисунок 9 - Схематический чертёж поддона для упаковки микросхемы Байкал-Т1

6.4 Профиль пайки

Рекомендованный температурный профиль для пайки микросхемы Байкал-Т1 приведён в таблице 6. Соответствующий график представлен на рисунке 10.

Таблица 6: Рекомендованный профиль пайки для микросхемы Байкал-Т1

Температура	Время
От комнатной температуры до 140°C	60–90 с
От 140°C до 180°C	60–120 с
При температуре выше 183°C	60–150 с
Пиковая температура	220°C ± 5°C
Время в пределах 5°C от пиковой температуры	10–20 с
Скорость охлаждения	Не быстрее 6°C/с

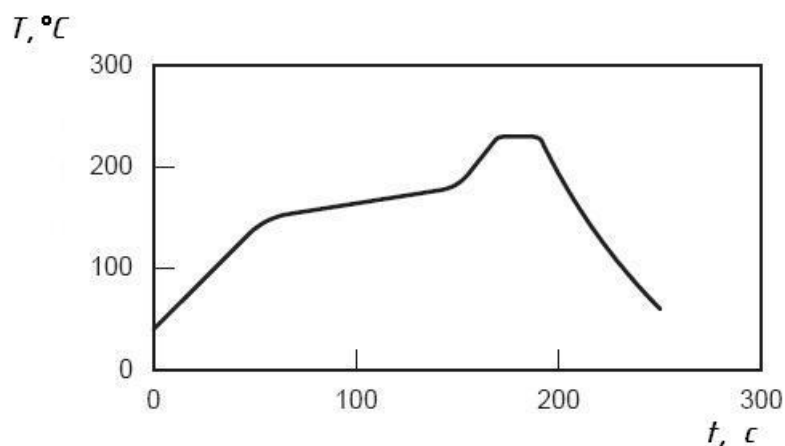


Рисунок 10 - Профиль пайки для микросхемы Байкал-Т1

7 Поставляемое программное обеспечение

Этот раздел описывает содержимое доступного системным программистам Комплекта средств разработки программного обеспечения для микропроцессора Байкал-Т1 (Байкал-Т1 BSP).

7.1 Минимальные системные требования

Для успешной установки и работы комплекта Байкал-Т1 BSP необходим ПК с архитектурой x86 разрядностью 64 бит, отвечающий следующим системным требованиям:

- ОС Linux x86_64;
- 2 Гб свободного дискового пространства;
- Должны быть установлены пакеты системных программ coreutils, parted, kpartx;
- Необходимы полномочия администратора (root), если требуется изменение образов файловой системы или настройка маршрутизации сетевых пакетов.

7.2 Содержимое комплекта BSP

Комплект BSP содержит кросс-компилятор, редактор связей, отладчик, утилиты и системные библиотеки, достаточные для разработки системного и прикладного ПО, исполняемого процессором Байкал-Т1.

В составе пакета BSP поставляются средства для компиляции, сборки и отладки программных продуктов для платформы Байкал-Т1:

- Ядро ОС Linux: Linux-3.19.0 или новее, включающее изменения («заплатки») для платформы Байкал-Т1;
- Набор драйверов для периферийных устройств, контроллеры которых входят в состав микросхемы Байкал-Т1, в исходных кодах и в скомпилированном виде;
- Средства для кросс-компиляции на основе комплекса программ gcc из-под x86 для целевой архитектуры MIPS32®, в том числе отладчик gdb;
- Функциональный эмулятор процессора Байкал-Т1 на основе ПО с открытым кодом QEMU.

Скомпилированное ПО может исполняться как под эмулятором на платформе разработчика,



Краткое описание
процессора Байкал-Т1
11.10.2018

Статус: Релиз

так и на физической плате с процессором Байкал-Т1.

Комплект поставки может включать более новые версии программ и библиотек.



8 О компании «Байкал Электроникс»

Компания «Байкал Электроникс» разрабатывает интегральные микросхемы, в первую очередь системы на кристалле, с использованием передовых технологий проектирования, компьютерного моделирования и верификации. Целевыми применениями наших продуктов являются энергоэффективные компьютерные системы и системы промышленной автоматизации с различными уровнями производительности и функциональностью. Обширный опыт компании «Байкал Электроникс» в области микросхем помогает пользователям её продукции сфокусировать усилия на разработке более высокоуровневых продуктов и систем. Мы стараемся помогать нашим клиентам в проектировании их изделий уровня печатной платы и сокращать их затраты времени и усилий на разработку в условиях жёсткой рыночной конкуренции.

Контакты:

143421, Московская область, Красногорский район, 26 км автодороги «Балтия», [бизнес-центр RigaLand](#), блок Б, 2-й этаж
телефон: (495) 221-39-47
<http://www.baikalelectronics.ru>