

复杂印制电路板设计

**实验指导书**



2022-11-1

哈尔滨工业大学（深圳）

作者：高菲

目录

[复杂印制电路板设计实验指导书 2](#_Toc90046495)

[一、 课程目的 2](#_Toc90046496)

[二、 制作不规则焊盘及封装实验 2](#_Toc90046497)

[2.1 实验原理 2](#_Toc90046498)

[2.1.1 印制电路板设计流程 2](#_Toc90046499)

[2.1.2 封装的要素及设计依据 3](#_Toc90046500)

[2.1.3 焊盘的结构及设计依据 4](#_Toc90046501)

[2.2 实验目的 5](#_Toc90046502)

[2.3 实验内容 5](#_Toc90046503)

[2.4 实验注意事项 6](#_Toc90046504)

[2.5 制作不规则焊盘及封装实验软件操作方法指导 6](#_Toc90046505)

[2.5.1 制作不规则焊盘 6](#_Toc90046506)

[2.5.2 手动制作SOP8表贴封装 12](#_Toc90046507)

[2.5.3 制作不规则封装 21](#_Toc90046508)

[三、6层核心板设计优化实验 23](#_Toc90046509)

[3.1 实验原理 23](#_Toc90046510)

[3.1.1 叠层设计的原理及技术 23](#_Toc90046511)

[3.1.2 设置光绘文件的意义 24](#_Toc90046512)

[3.1.3 PCB的设计规则 24](#_Toc90046513)

[3.1.4 差分对规则设置的原理及技术 25](#_Toc90046514)

[3.1.5 等长规则的设置原理及技术 25](#_Toc90046515)

[3.1.6 布局规则 25](#_Toc90046516)

[3.1.7 整板扇出 25](#_Toc90046517)

[3.1.8 PCB布线的一般原则 26](#_Toc90046518)

[3.1.9 接地技术 29](#_Toc90046519)

[3.2 实验目的 29](#_Toc90046520)

[3.3 实验内容 29](#_Toc90046521)

[3.4 6层核心板设计优化实验软件操作方法指导 31](#_Toc90046522)

[3.4.1 添加和删除PCB叠层 31](#_Toc90046523)

[3.4.2设置PCB Gerber（即设置光绘文件） 32](#_Toc90046524)

[3.4.3 差分信号处理（DRAM\_SDQS1\_N 和DRAM\_SDQS1\_P） 50](#_Toc90046525)

[创建差分对物理规则 50](#_Toc90046526)

[创建DDR差分对 50](#_Toc90046527)

[3.4.4 等长信号处理（创建DDR等长组） 52](#_Toc90046528)

复杂印制电路板设计实验指导书

本指导书给出了复杂印制电路板设计实验课各实验项目的指导。

# 课程目的

1、掌握复杂印制电路板设计原理、流程及Allegro软件的使

用方法；

2、提高复杂印制电路板设计的实践能力；

3、启发创新思维，为科研、竞赛及创新项目打下良好基础；

4、培养PCB设计时该有的专业精神和职业素养。

# 制作不规则焊盘及封装实验

## 实验原理

### 印制电路板设计流程

建封装库→导入网表、结构要素图及元器件→基本参数设置→设置叠层和光绘文件→设置规则→布局→整板扇出→布线→处理差分等长→铺铜→检查→编辑丝印→更改铜皮属性→导出文件。

### 封装的要素及设计依据

图 1 封装的要素及设计依据

### 焊盘的结构及设计依据

图 2 焊盘的分类

图 3 焊盘的主要尺寸

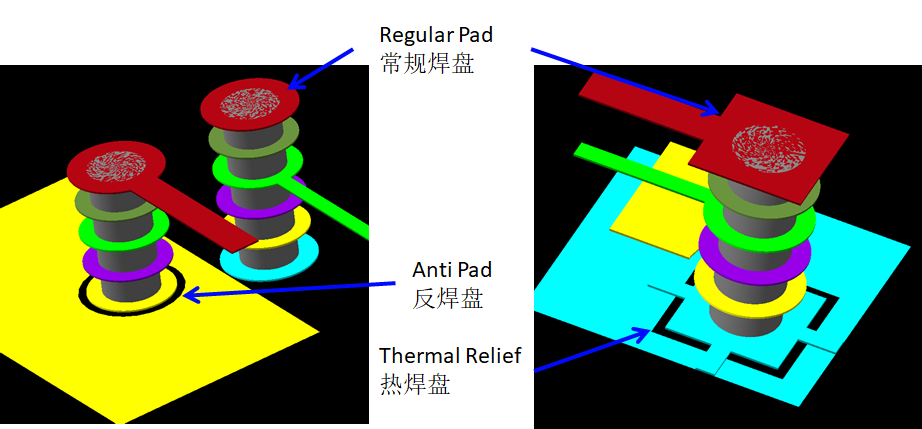


图 4 各类焊盘示意图

图 5 焊盘尺寸设计方法

## 实验目的

1. 学会不规则焊盘及封装的制作方法。

2. 熟悉封装及焊盘的结构。

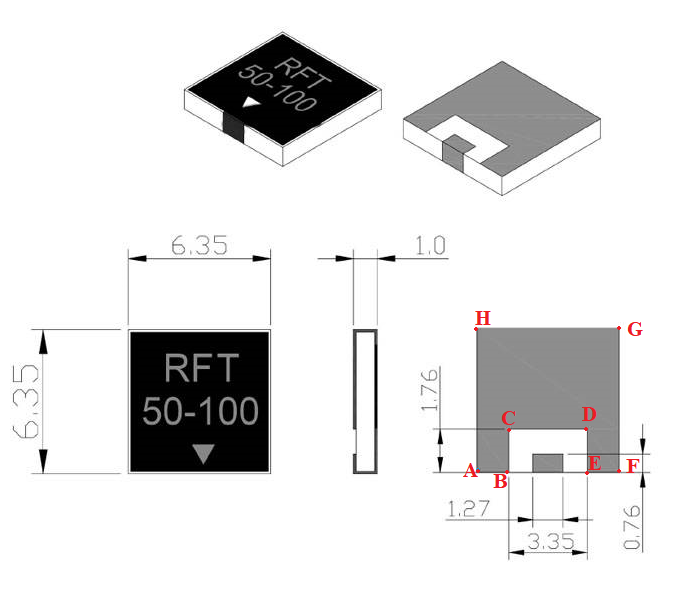
3. 通过实验，练习软件的操作方法。

## 实验内容

参照实验指导书中的2.5节，设计RFT50-100射频电阻的封装（灰色是管脚）。

单位：mm；

尺寸公差：±5%。



1号脚

2号脚

1脚标识

图 6  RFT50-100射频电阻器件尺寸

## 实验注意事项

1、画封装时使用mil作为坐标单位（1mm=39.37mil）；

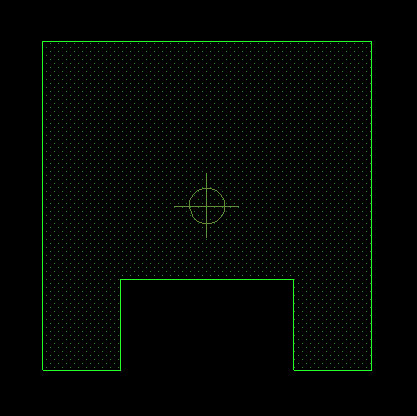
2、制作不规则焊盘时，以本体中心为原点计算各点坐标；

3、阻焊开窗单边5mil；

4、需要画1脚标识。

## 制作焊盘及封装实验软件操作方法指导

### 制作不规则焊盘及规则焊盘

1. **Step1：使用PCB Editor软件画一个形状及尺寸与2号脚相同的shape文件，作为2号脚的焊盘shape文件，文件名命名为RTF2shape（要存放在个性化库路径下）。**

下文以创建shape\_dqz为例说明操作方法。

1）打开PCB Editor,选择菜单File—New—Drawing,在“Drawing Type”中选择“Shape symbol”，并设置好路径和名称，如图7所示。

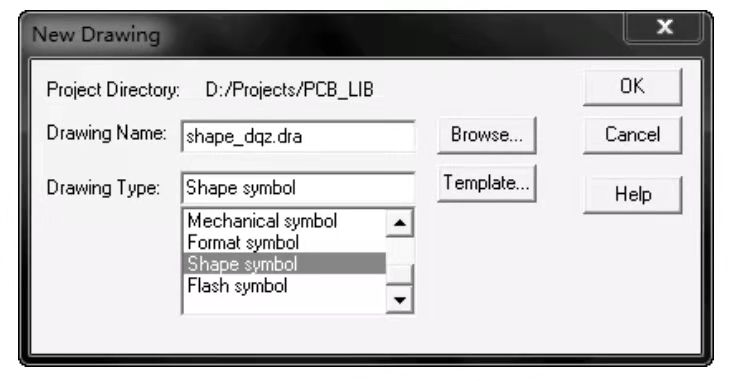


图 7 设置绘制类型、路径和名称

2）选择菜单Shape→Polygon后，在命令窗口依次输入正确的坐标（注意，此处仅给出示例图形的坐标，具体坐标要根据实验内容指定的元器件自行计算），如图8所示。

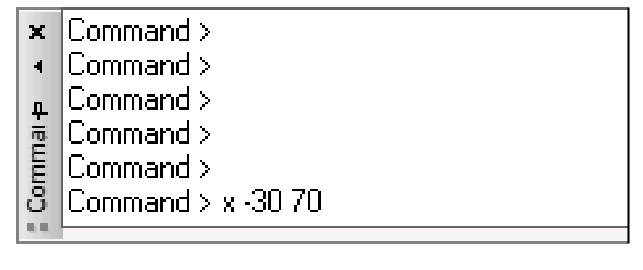


图 8 输入坐标

注意：x-30 70字符之间有空格。 依次输入如下坐标并按回车键：

* x-30 70;
* ix 15;
* iy -15；
* ix 30；
* iy 15；
* ix 5;
* iy 15。
* ……

用鼠标右键单击“Done”按钮，完成绘制，如图9所示。

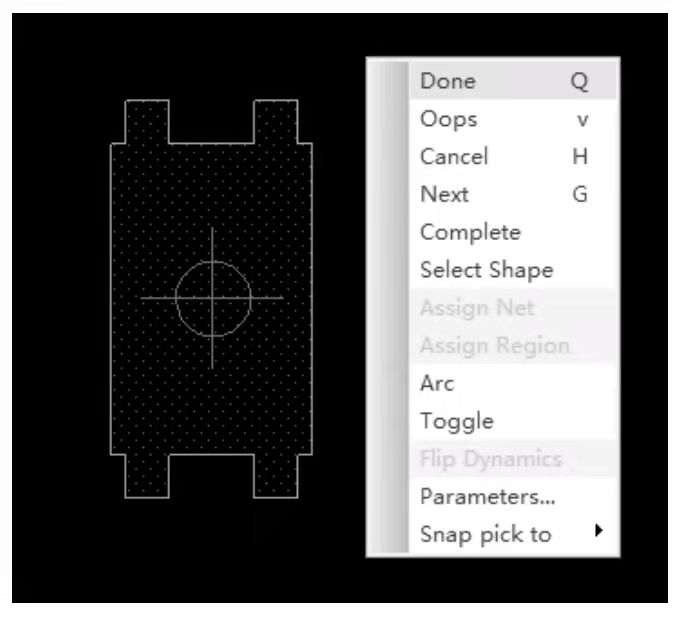


图 9 绘制完成

3）选择菜单File—Save,命令窗口信息如图10所示。



图 10 命令窗口信息

1. **Step2：参照step1使用PCB Editor软件画一个RTF2shape\_1，尺寸相对RTF2shape外扩5mil，用于后面设置Soldermask阻焊层。**

4） 参照1)~3)步骤，制作**RTF2shape\_1**。

1. **Step3：创建RTF2PAD文件，下文仍以示例的形式给出操作说明。**

5） 在PCB Editor软件中设置好个性化库路径后，在开始菜单中找到Cadence→Pad\_Designer并打开,选择菜单File-New,新建焊盘并输入 文件名称，如图11所示。

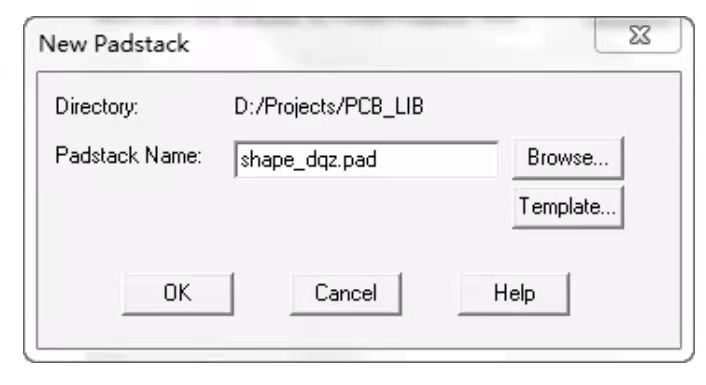


图 11 新建焊盘

如图12所示设置BEGIN LAYER层参数。

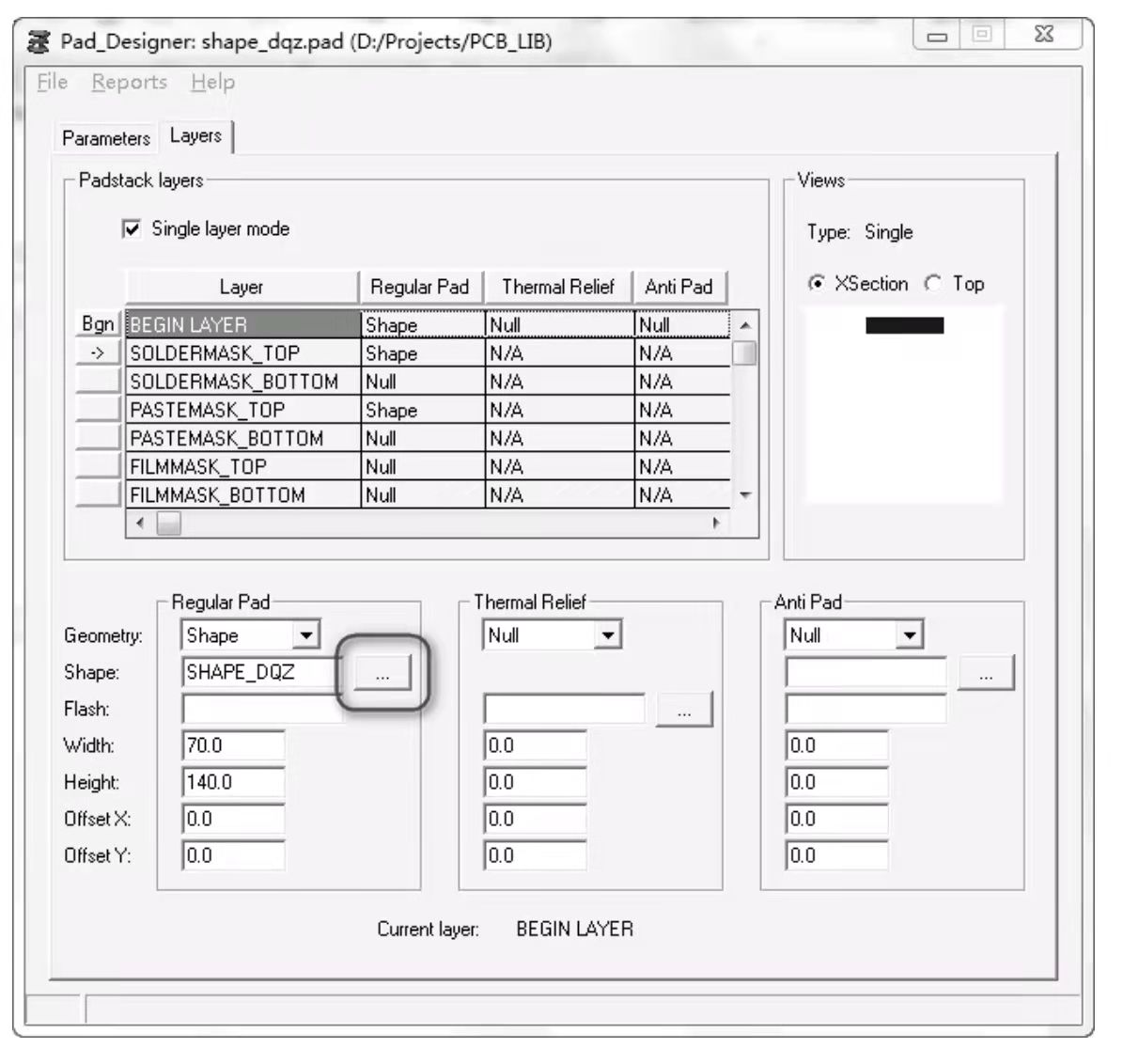


图 12 设置BEGIN LAYER层参数

在aGeometry”中选择“Shape”。在“Shape”中，单击图12中标记处，选择“SHAPE\_ DQZ”，则下方的“Width”和“Height”会自动更新。

同理，SOLDERMASK TOP层的参数设置如图13所示。

PASTEMASK\_TOP层的参数设置如图14所示。

6）其他参数保持默认设置即可，选择保存，此不规则焊盘制作完成，如图15 所示。

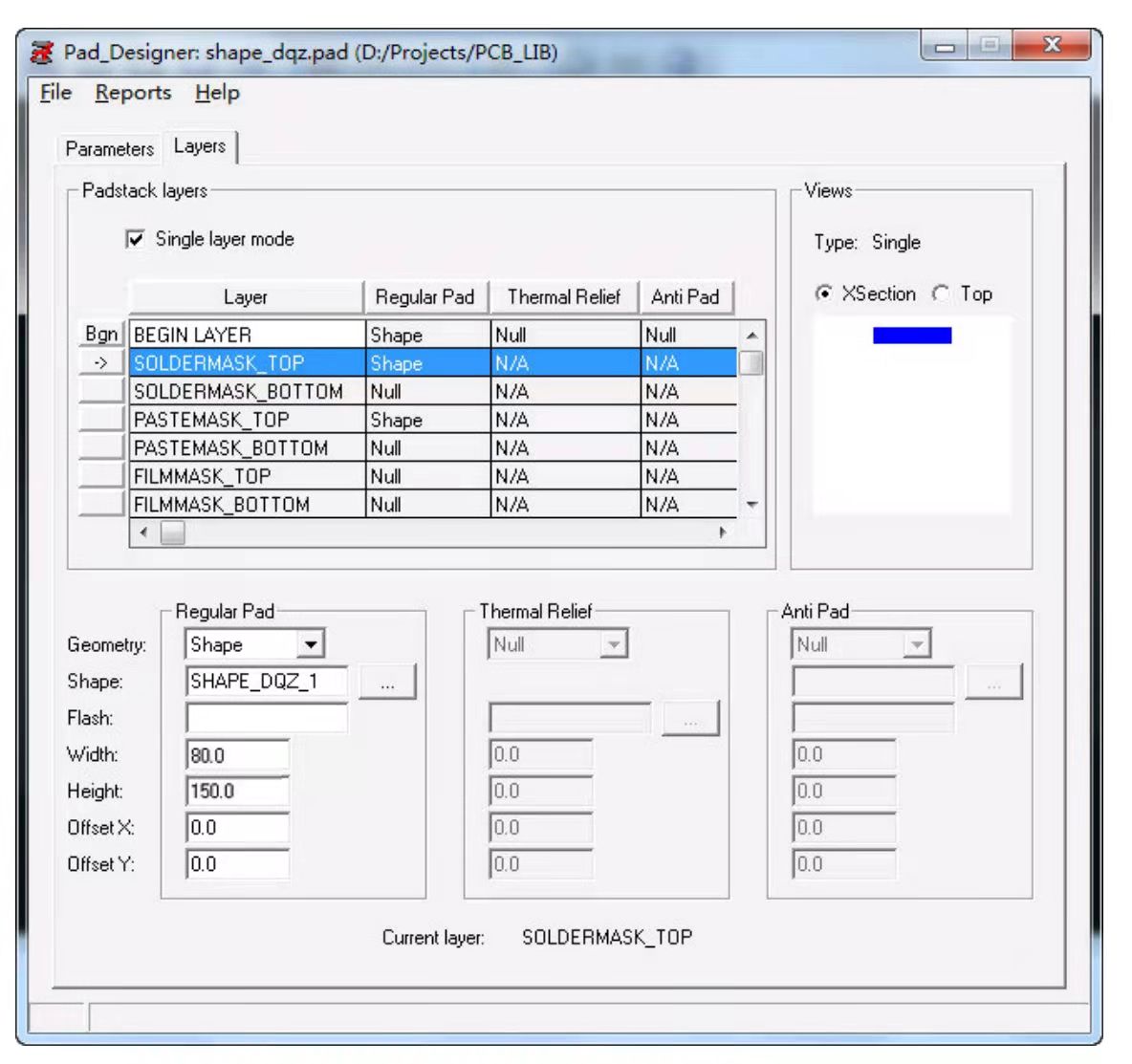


图 13 设置SOLDERMASK\_TOP层参数

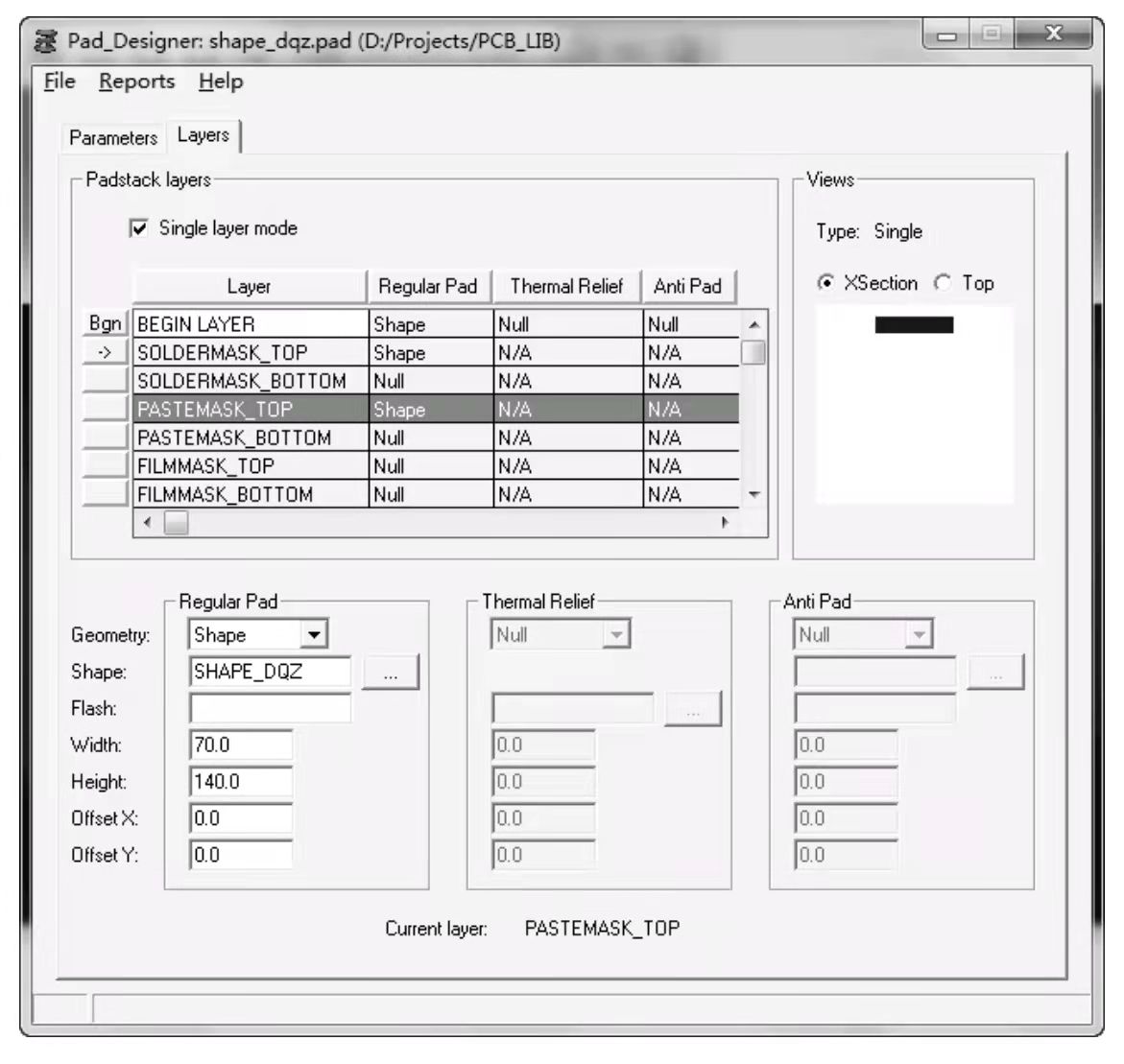


图 14 设置PASTEMASK\_TOP层参数

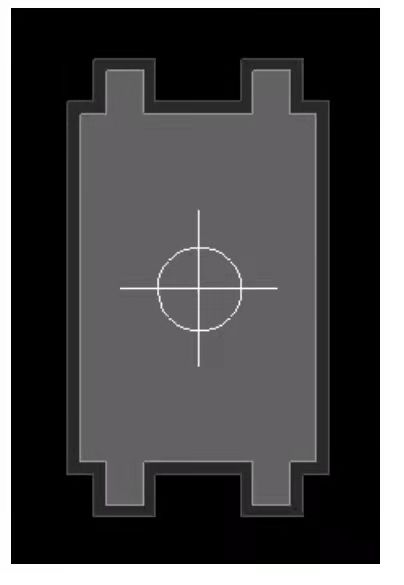
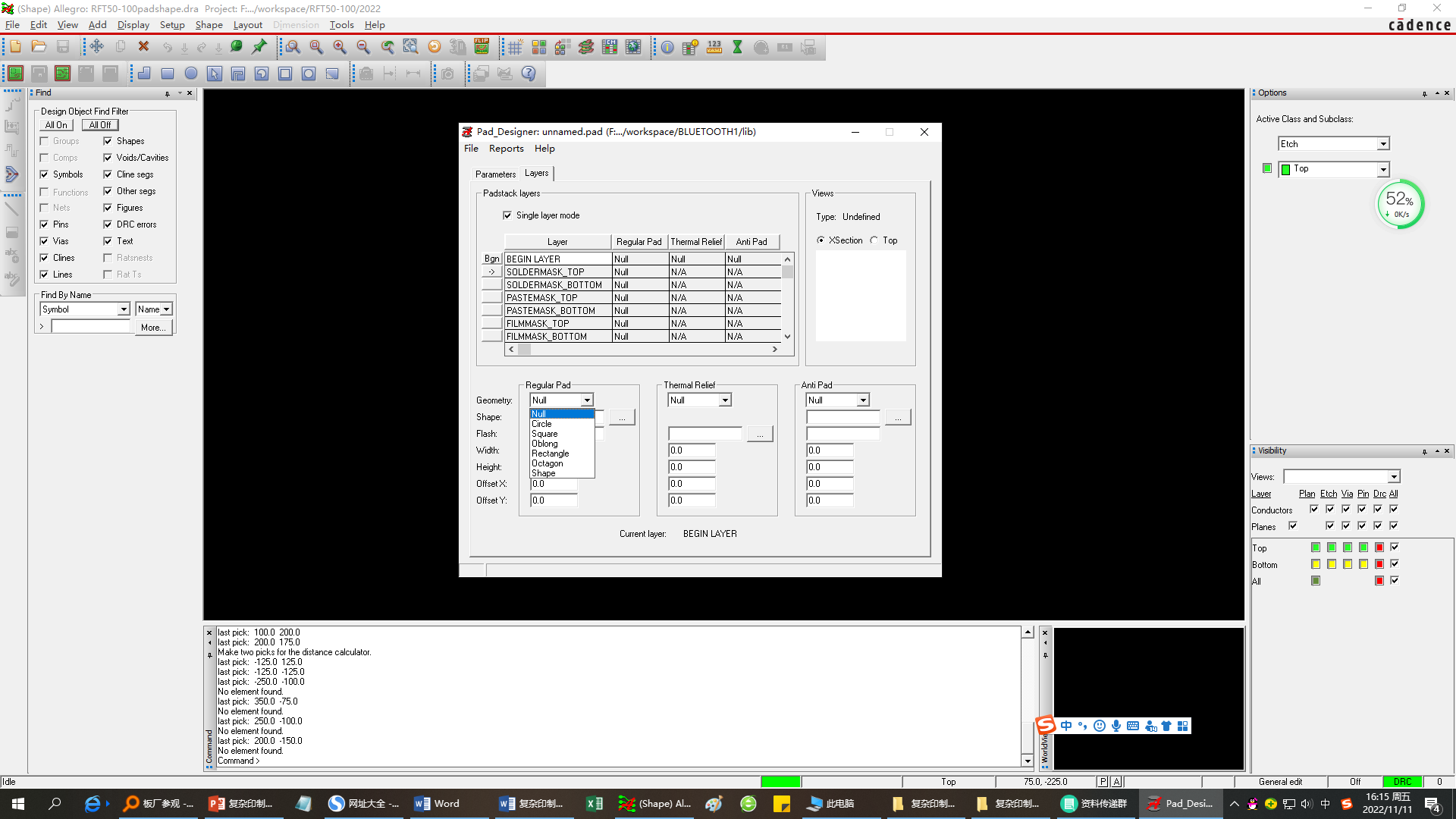


图 15 不规则焊盘制作完成

1. **Step4：创建RTF1PAD文件。**

**7）打开Pad\_Designer,选择菜单File-New,设置如下图的BEGIN LAYER层及SOLDERMASK\_TOP为合适尺寸的矩形；新建焊盘RTF1PAD。**



1. **Step5：参照2.5.2节和2.5.3节所述内容创建RTF50-100封装。**

### 手动制作SOP8表贴封装

1） 设置好封装库路径，同时制作好封装需要的焊盘。

2） 打开PCB Editor,选择菜单File-New,新建封装文件，设置好文件路径及文件类型（这里是手动制作，所以选择“Package symbol” ）,单击“OK”按钮，如图16 所示。

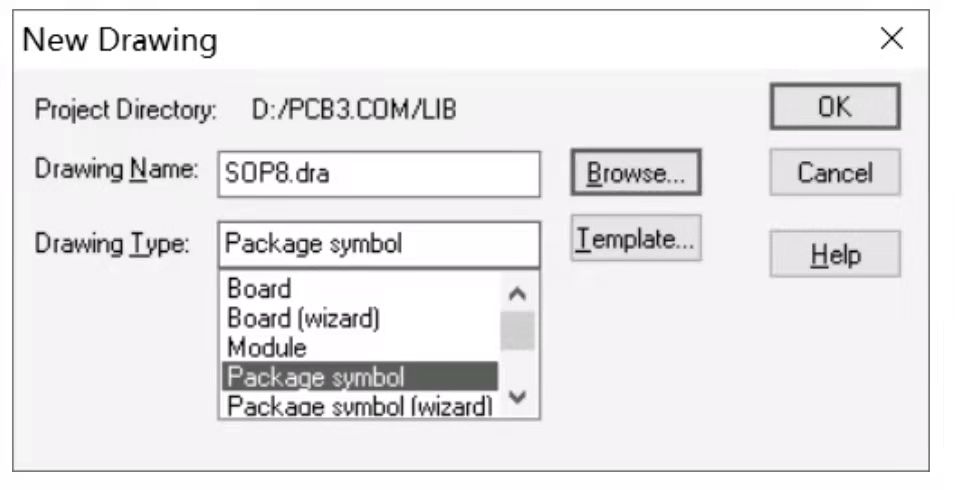


图 16 新建封装文件

3）选择菜单 SetupDesign Parameter Editor,设置选项卡"Display” 中的参数, 如图17所示。

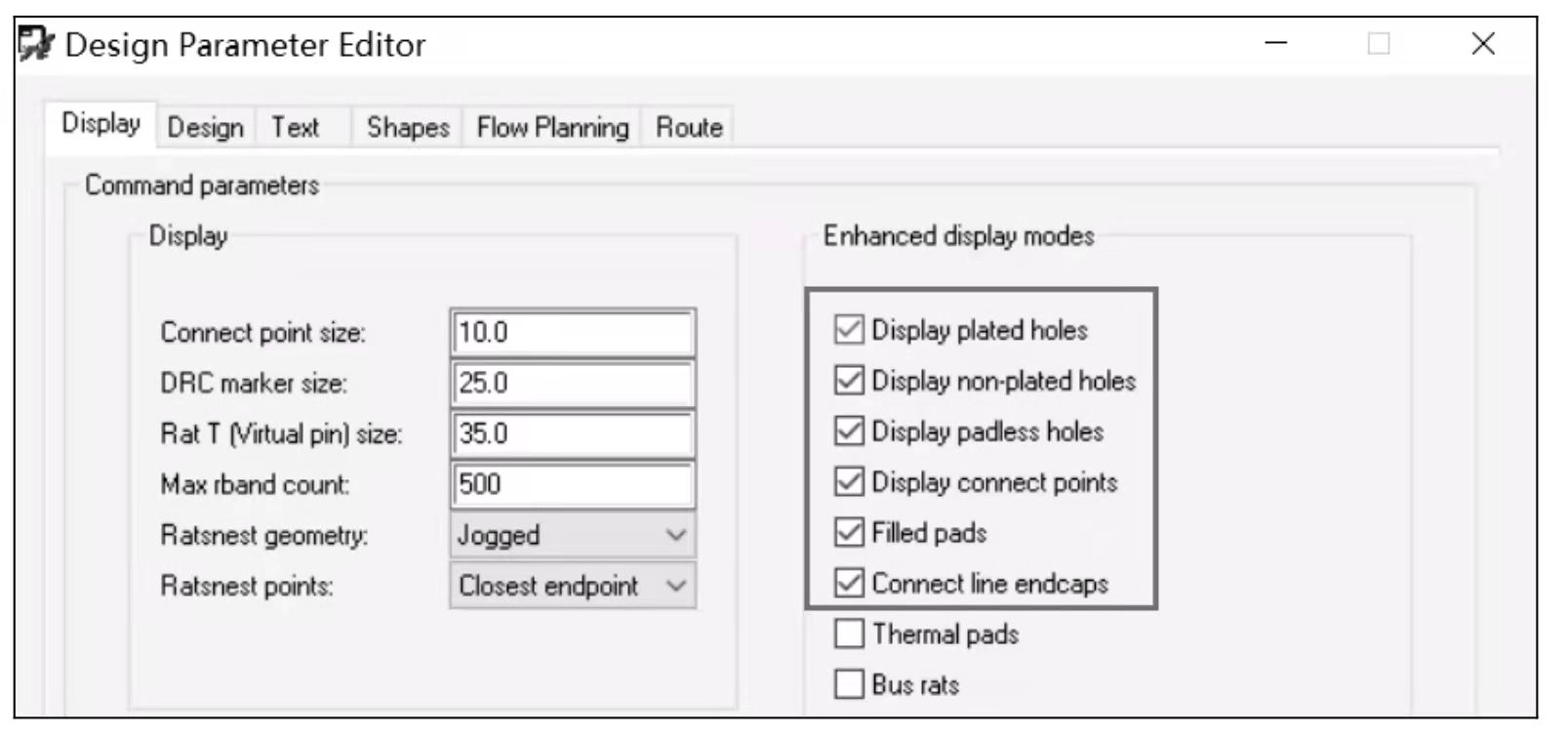


图 17 设置选项卡“Display”中的参数

设置选项卡“Design”中的参数，如图18所示，设置单位和PCB界面可操作的区域大小。

4）选择菜单Layout—Pins, "Options”侧边栏界面如图19所示。

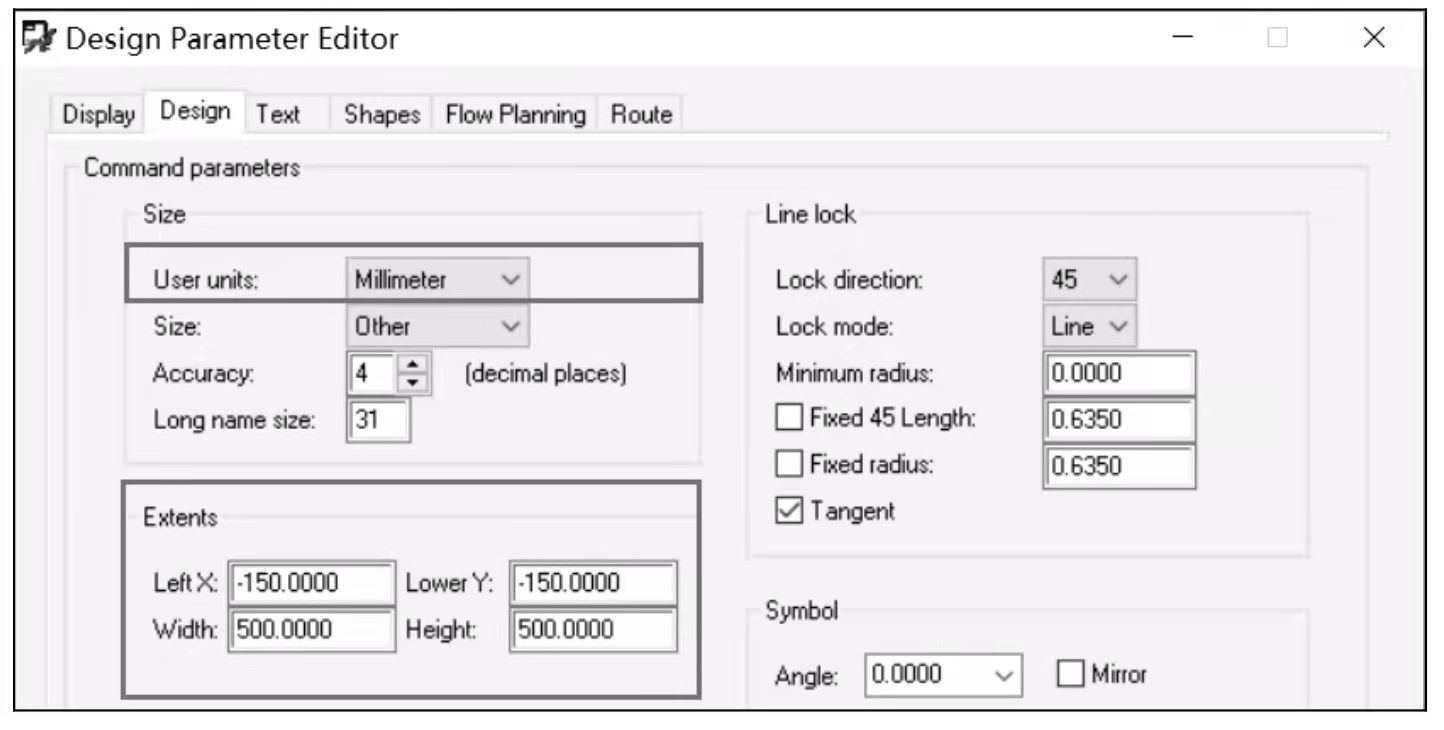


图 18 设置选项卡“Design”中的参数

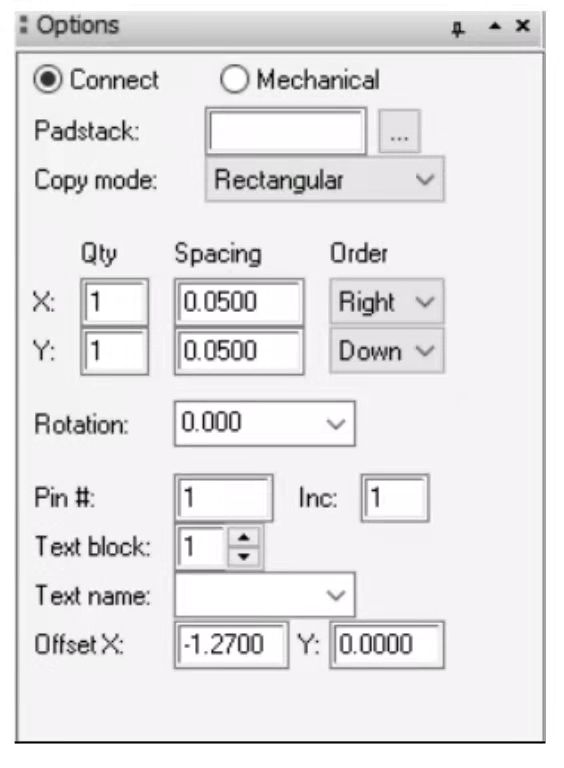


图 19 "Options”侧边栏界面

"Options ”侧边栏界面中的参数含义如下。

* Connect：焊盘有编号。
* Mechanical:焊盘没有编号。
* Padstack：选择需要放置的焊盘（注意：要提前选择好正确的库路径）。
* Copy mode:复制模式，一般选择"Rectangular"。
* Qty： X、Y轴方向上的焊盘数目。
* Spacing：对应的焊盘间距。
* Order：焊盘放置的递增方向，一般保持默认设置即可。
* Rotation:是否旋转焊盘。
* Pin#：焊盘放置的起始编号。
* Inc：焊盘编号的递增值（假设“Pin#”处为1, “Inc”处为2,则焊盘编号按照1, 3, 5, 7…的形式递增）。
* Text block:焊盘编号的字体。
* Text name:焊盘名称，可以不用设置°
* OffsetX：焊盘编号相对焊盘中心的偏移位置（假如这里都设置为0,则焊盘编号 会在焊盘的中心位置）

5）设置“Options”侧边栏，如图20所示。

设置完成后，鼠标上会悬挂着8个焊盘，在命令窗口输入“x.3 1.905”后，按下回 车键，如图21所示。

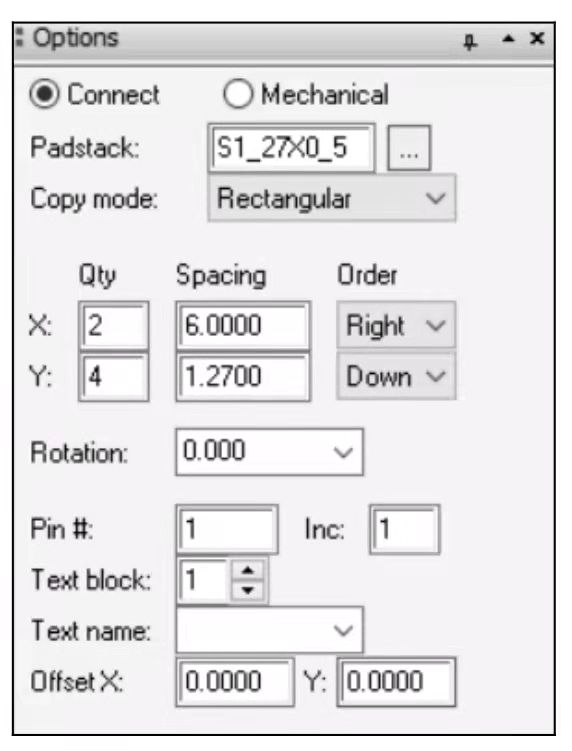


图 20 设置“Options"侧边栏

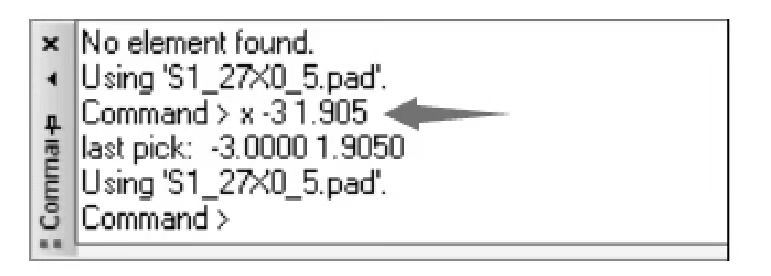


图 21 输入坐标

注意：在“x-3 1.905”中，字符之间均有空格。

放置好的焊盘如图22所示。

6）更改管脚号。选择菜单Edit—Text,单击管脚号后，在命令窗口输入正确的管脚 号，即可更改，更改管脚号后的焊盘如图23所示。

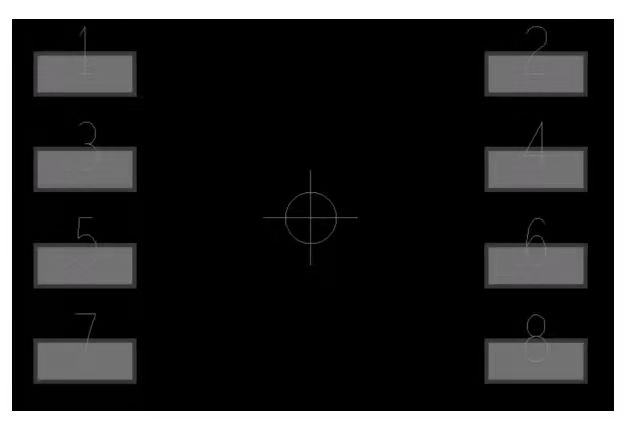


图 22 焊盘设置完成

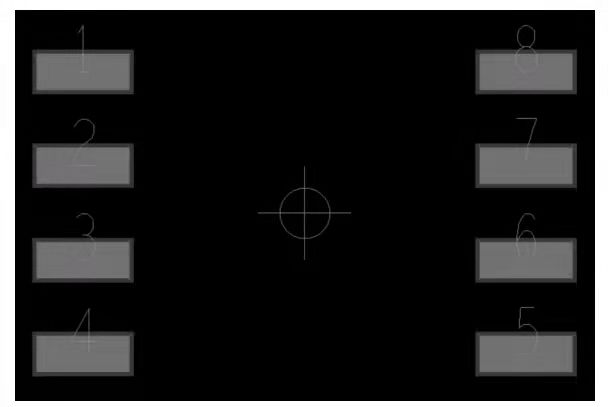


图 23 更改管脚号后的焊盘

7）绘制丝印框。选择菜单Add—Line命令，如图24所示设置“Options”侧边栏。 在命令窗口依次输入下列命令并按回车键：

* x -2 2.6;
* ix 4；
* iy -5.2；
* • iy 5.2。

右键单击“Done”按钮完成操作，如图25所示。

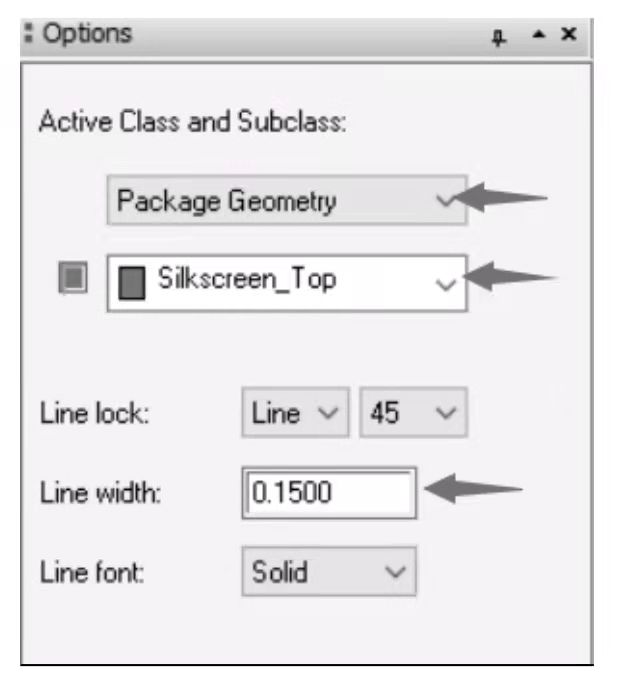


图 24 设置Options 侧边栏

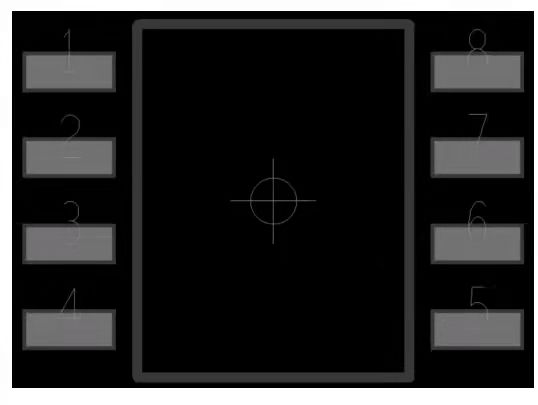


图 25 绘制丝印框完成

8）设置栅格。选择菜单Setupf Grids,

9） 绘制1号管脚丝印标识。选择菜单Add-Circle,设置“Options”侧边栏，如图26所示。

在1号管脚焊盘左侧直接绘制即可，如图27所示。

10） 绘制"Place Boundw 区域。选择菜单 ShapeRectangular,设置 “Options” 侧 边栏，如图28所示。

在PCB界面上直接绘制一个区域，让此填充区域覆盖焊盘及丝印框即可（若公司对 此区域大小有特定要求，则按照公司规范来绘制），如图29所示。

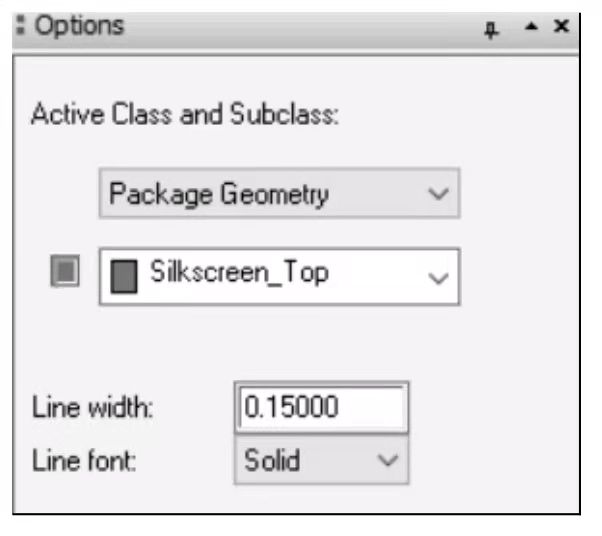


图 26 设置“Options”侧边栏

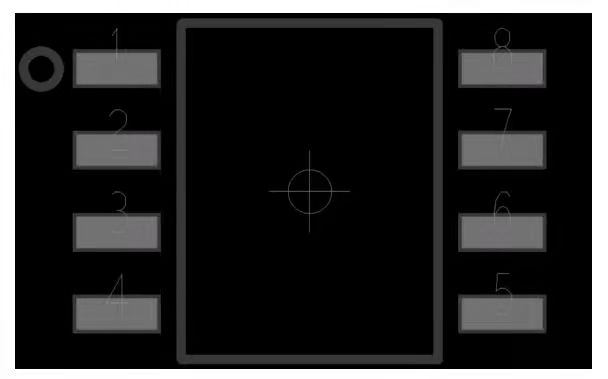


图 27 绘制1号管脚丝印标识

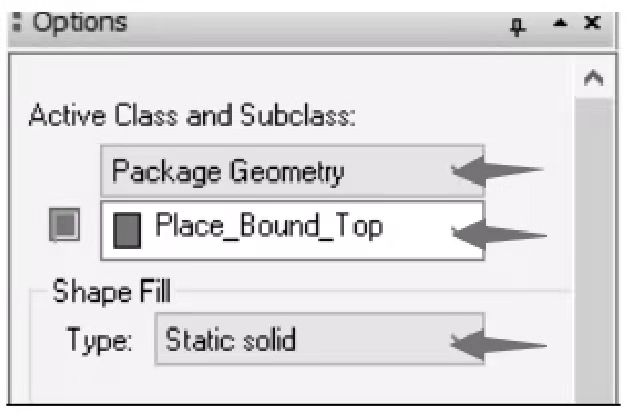


图 28 设置“Options”侧边栏

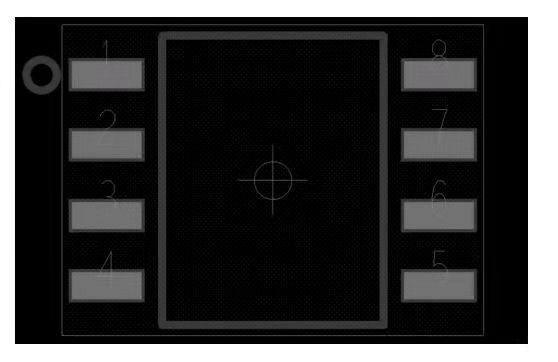


图 29 绘制 “Place Bound” 区域

11）添加元件位号。选择菜单Layout-\*Labels-^RefDes,设置"Options”侧边栏，如图30所示。

在PCB界面中输入“REF”字符即可，如图31所示。

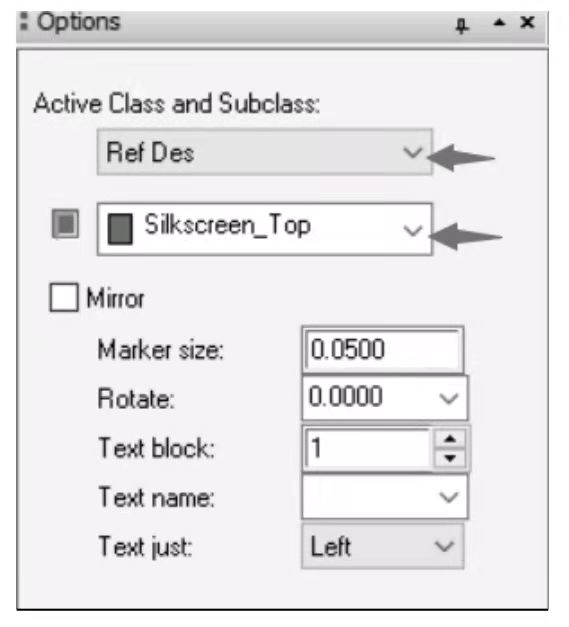


图 30 设置“Options”侧边栏

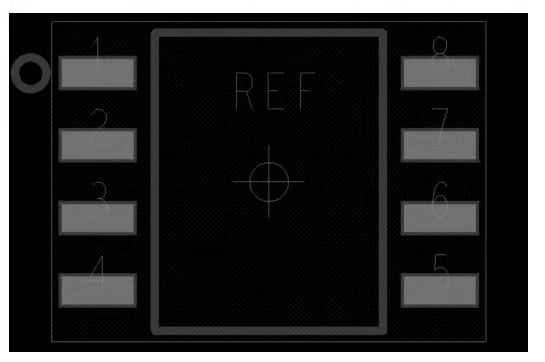


图 31 输入位号字符

12）选择保存，完成封装制作，在命令窗口中也会提示制作完成的信息，如图32 所示。

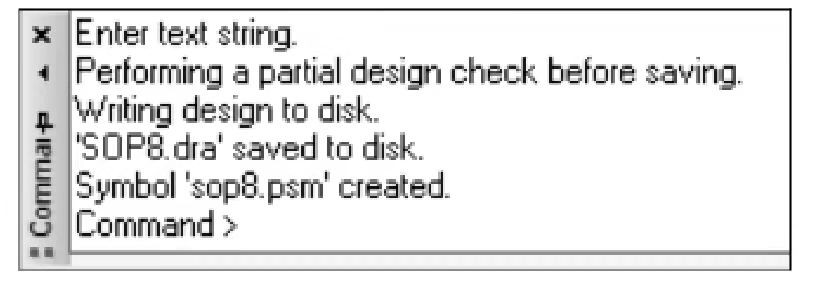


图 32 封装制作完成

### 制作不规则封装

图33为一个不规则封装，其中包含一个不规则焊盘(上文已经介绍了如何制作这 个不规则焊盘)。

此种类型封装与规则SMD表贴封装的区别在于焊盘的制作。不规则焊盘制作完成 之后，其他封装建立操作可参考SMD表贴封装的建立步骤，这里不再赘述。

技巧：从图33中可以看到，此封装中的不规则焊盘为机械管脚，也就是没有管脚 号(Pin Number),其他8个焊盘均有管脚号。在制作封装的过程中，选择菜单Layout- Pins放置此不规则焊盘，如图34所示选择“Mechanical",则放置的焊盘没有管脚号 (PinNumber)*。*



图 33 不规则封装

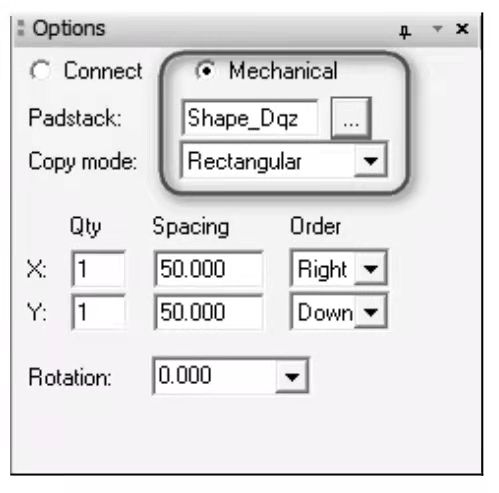


图 34 选择 “ Mechanical

选择菜单Display—Element,单击此不规则焊盘，其管脚信息如图35所示，提示 此不规则焊盘为机械管脚。

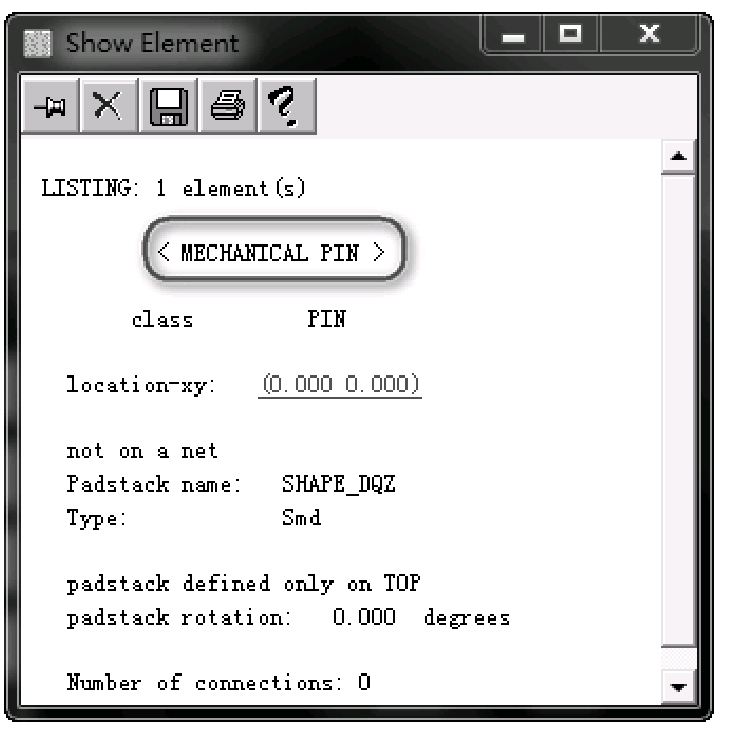


图 35 管脚信息

# 三、6层核心板设计优化实验

## 实验原理

### 叠层设计的原理及技术

在多层PCB中，通常包含信号层（S）、电源（P）平面和接地（GND）平面。各层层数的确定与电路功能、信号完整性、EMI、EMC、制造成本等要求有关。高速数字电路和射频电路通常采用多层板设计。

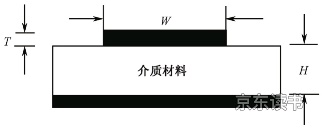


图 36 微带线 （利于阻抗控制）

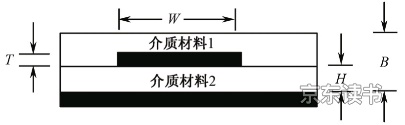


图 37 埋入式微带线

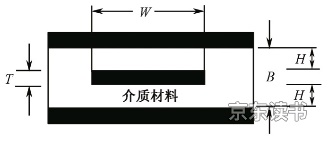


图 38 带状线（利于减小辐射）

叠层设计的一般原则：

1. **分层**：多层PCB一般包括信号层（S）、电源（P）平面和接地（GND）平面。
2. **确定单电源参考平面**：考虑电源完整性，电源平面 应设计在去耦电容布局层的次外层。
3. **确定多电源参考平面**：高速数字信号布线应该远离多电源参考平面。
4. **合理设计布线组合**：一个信号路径所跨越的两个层称为一个布线组合”。把邻近层作为布线组合较为合理。
5. **设定布线方向**：相邻信号层布线方向正交。
6. **采用偶数层结构**：从翘曲、制造成本角度考虑，应选择偶数层结构。

### 设置光绘文件的意义

光绘文件又称为gerber、菲林(取的是英文film的音译)，是PCB设计完成后交付板厂进行生产的最终文件。

光绘文件包含哪些层（以4层板为例）？

A. 电气层（如Top层、Gnd02层、Art03层和Bottom层等）。

B. 阻焊层（ SOLDER\_TOP、SOLDER\_BOTTOM ）。

C. 丝印层（SILK\_TOP、SILK\_BOTTOM ）。

D. 钢网层（ PASTE\_TOP、PASTE\_BOTTOM ）。

E. 钻孔层（ DRILL ）。

F. 装配层（ ADT、ADB ）。

### PCB的设计规则

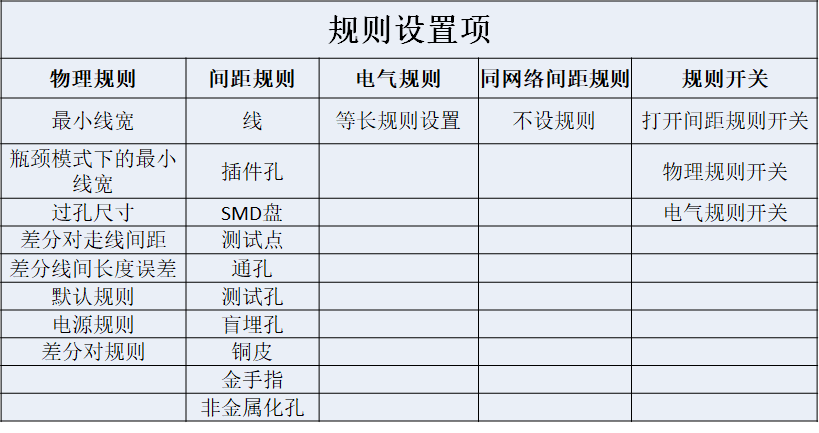


图 39 规则设置

### 差分对规则设置的原理及技术

何为差分信号？通俗地说，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态“0”还是“1”。而承载差分信号的那一对走线就称为差分走线。

差分对的应用：

为了避免不理想返回路径的影响，获得较好的信号完整性，可以选用差分对走线来实现高速信号的传输。

差分对走线的优点：

a.抗干扰能力强；

b. 能有效抑制EMI；

c.时序定位精确。

设计差分对走线时，要遵循以下原则：

①保持差分对的两信号走线之间的距离S在整个走线上为常数。

②确保D〉2S，以最小化两个差分对信号之间的串扰。**高速差分信号线**则要求D≥5W。  
③使差分对的两信号走线之间的距离S满足S=3H，以便使元件的反射阻抗最小化。  
④将两差分信号线的长度保持相等，以消除信号的相位差。  
⑤避免在差分对上使用多个过孔，因为过孔会产生阻抗不匹配和电感。

### 等长规则的设置原理及技术

走线长度调整包括以下2方面要求：

a. 要求各个信号走线长度一致，来保证信号同步到达若干个接收器，比如总线；数据线；（可找到最长线，其余做蛇形走线等长处理）。

b. 控制两个器件之间的走线延迟为某一个特定值，确保延时为固定值，如1ns。

### 布局规则

a. 先布局固定位置的元器件或结构件及其周围元器件；

b. 布局核心元器件及周围电路；

c. 按照原理图布局次要模块的元器件（注意考虑特殊元器件布局需求）；

d. 保证元器件之间的间距合理、整齐。

### 整板扇出

a. BGA等密间距元器件提前扇出，再布局周围器件。

b. 只需要一排扇出孔的器件也可以周围器件布局好后再扇出。

c. 扇出顺序：扇出孔、扇出短线、扇出铜皮。

### PCB布线的一般原则

a. 控制走线方向以减少走线间的串扰。

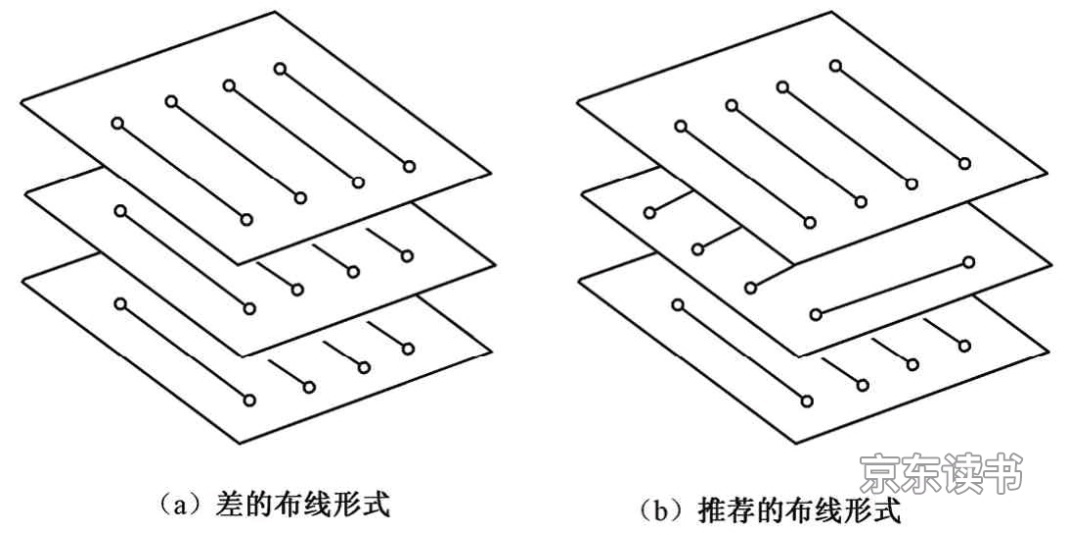


图 40 不同层间走线方向

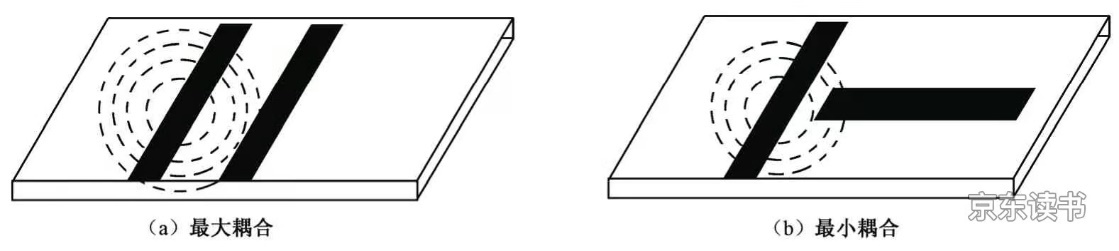


图 41 相同层内走线方向

b. 避免一端浮空的布线形式、控制环路面积，避免环形走线，或者布线距离过长。



图 42 天线的两种形式

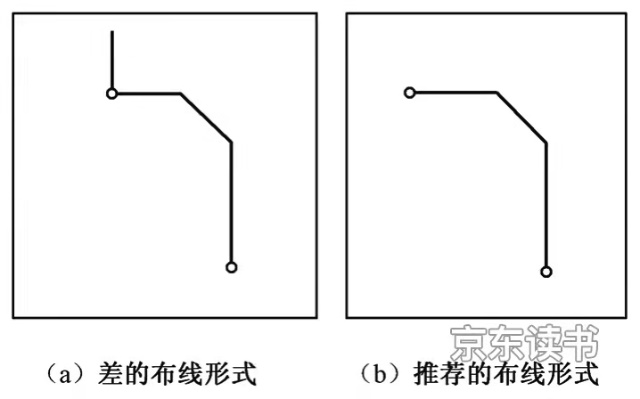


图 43 浮空布线对比图

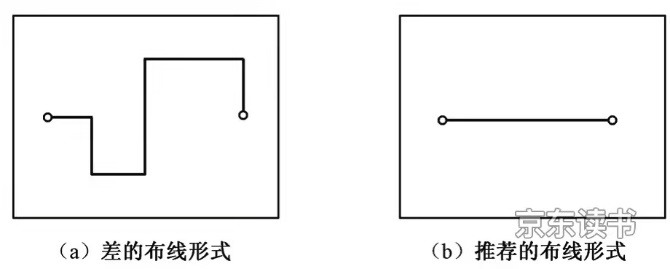


图 44 走线长度对比图

c. 控制走线分支长度。

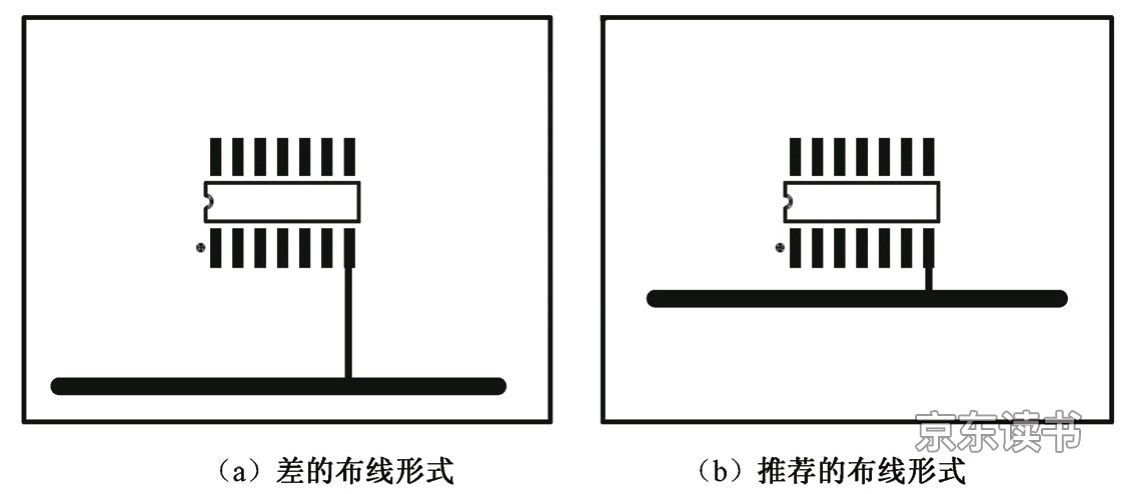
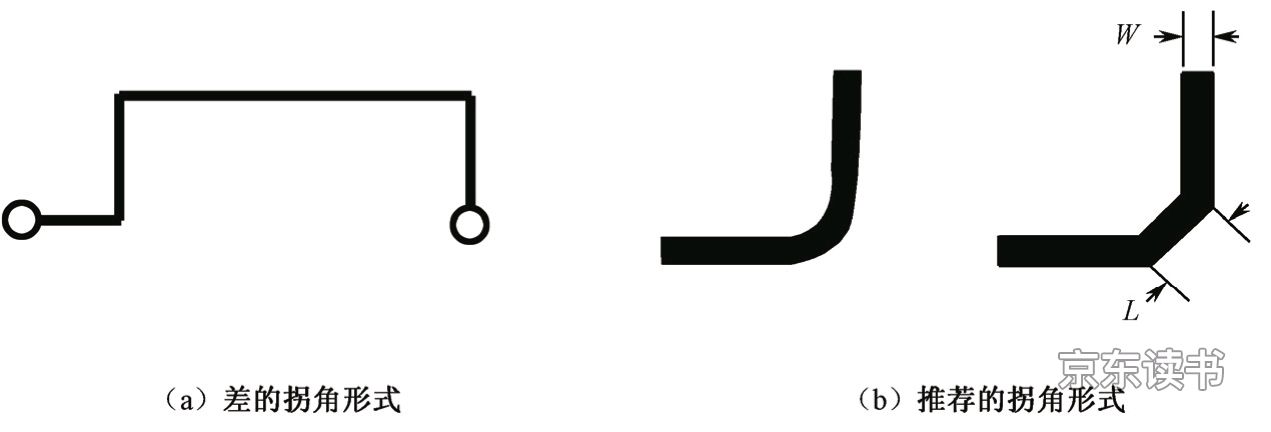


图 45 总线的布线

d. 避免拐角设计成锐角和直角（直角拐角会产生额外的寄生电容和寄生电感）。



**L≥3W**

图 46 走线拐角设计

e. 利用防止走线之间串扰的3W规则。

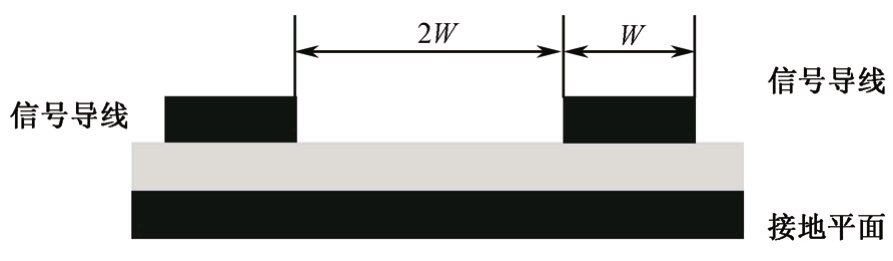


图 47 3W规则

f. 满足工艺要求等其他要求。

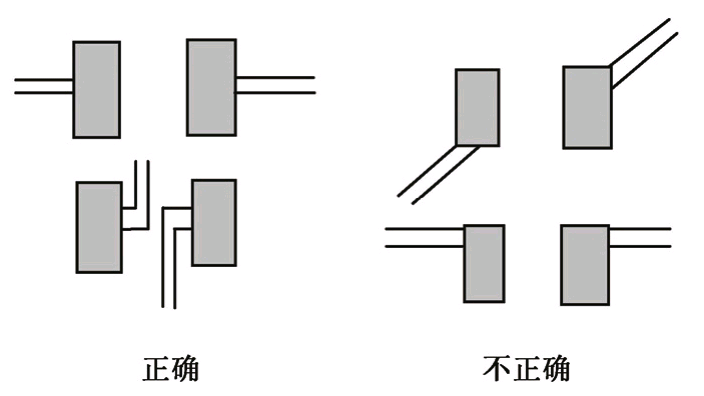


图 48 片式元器件的布线方式

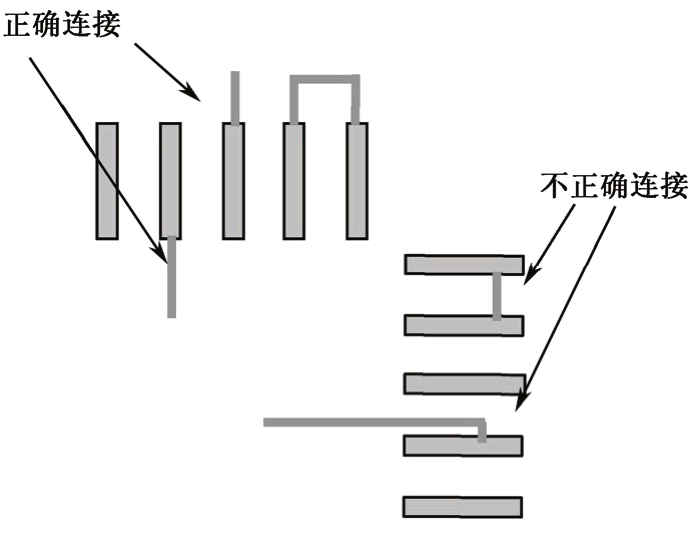


图 49 翼型引脚元器件的布线方式

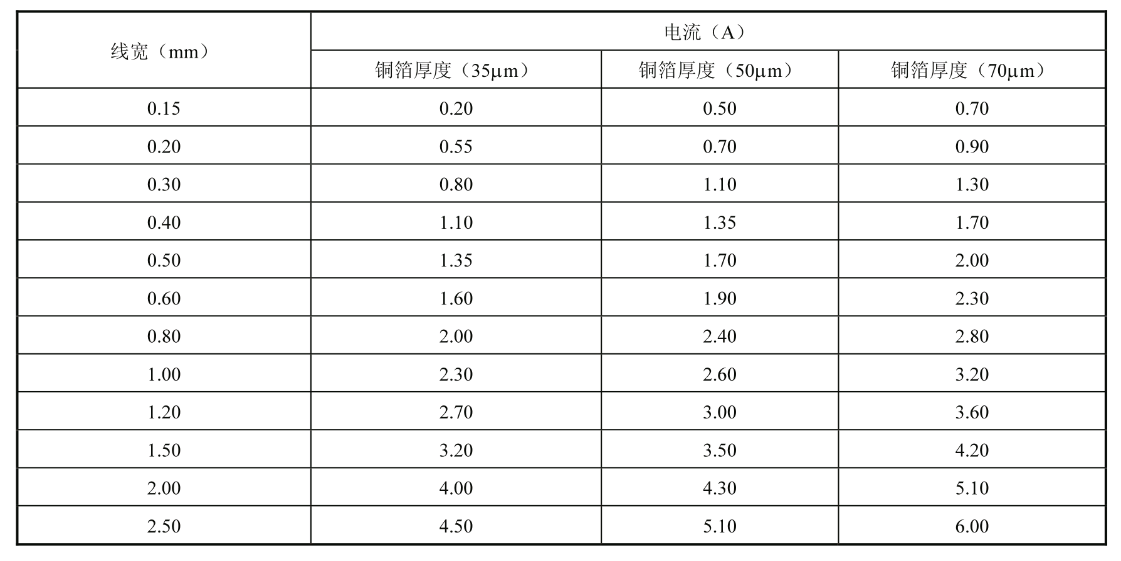


图 50 线宽与电流的关系

### 接地技术

所谓的“地”（Ground），一般是指电路或系统的零电位参考点，直流电压的零电位点或零电位面，不一定是实际的大地，也可以是设备的外壳、其他金属板或金属线。

“接地”一般是指将电路、设备或系统连接到一个作为参考电位点或参考电位面的良好导体上，为电路或系统与“地”之间建立一个低阻抗通道。一个比较通用的定义是“接地是电流返回其源的低阻抗通道”。

地线PCB布局的一些技巧：

1. 避免接地平面开槽。
2. 振荡器电路、时钟电路、数字电路、模拟电路等可以被安装在一个单独的局部接地平面上。
3. 避免不同电路的参考层的重叠，否则易形成电容从而成为噪声源的通道。
4. 满足20H原则。“20H原则”是指要确保电源平面的边缘比接地平面（0V参考面）边缘至少缩进相当于两个平面之间层距的20倍。

## 实验目的

1. 掌握Cadence Allegro 软件操作。
2. 熟练运用复杂印制电路板设计原理及技术。
3. 学会叠层、铺铜的设计方法。
4. 理解各条规则的来源及设置意义以及光绘文件中各层与子层之间的联系。
5. 掌握差分信号、等长信号的概念、处理方法等难点。

## 实验内容

**实验二：** **6层核心板设计优化实验**

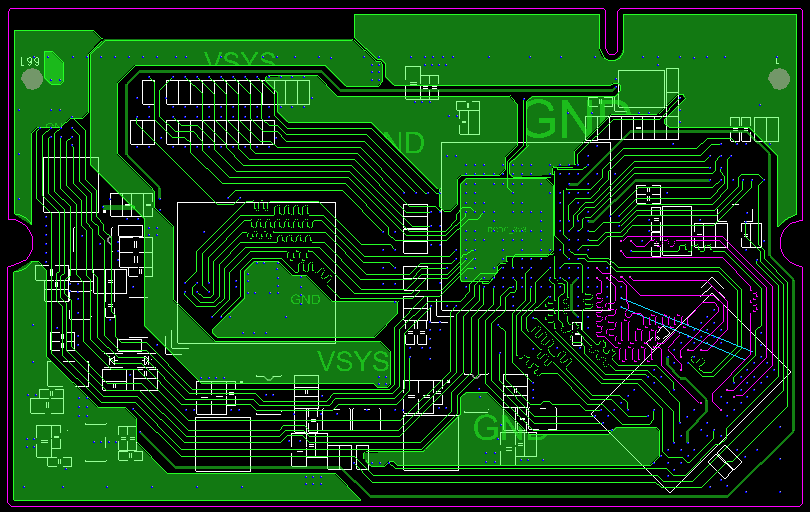


图 51 6层核心板

1、优化叠层设计；

2、将光绘文件补充完整；

3、参照视频⑤将DRAM\_SDQS1\_N 和DRAM\_SDQS1\_P 这一对信号与DRAM\_SDQS0\_N和DRAM\_SDQS0\_P信号做相同处理；

4、参照视频⑤和⑨和下图将DATA0-7与DATA8-15做相同的等长处理。

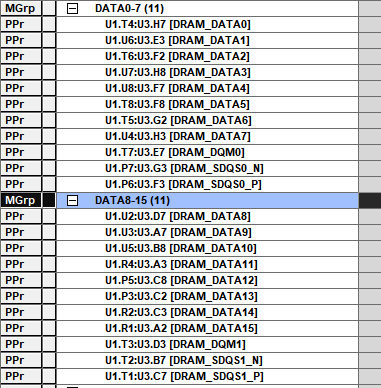


图 52 等长组设置要求

## 6层核心板设计优化实验软件操作方法指导

### 3.4.1 添加和删除PCB叠层

1） 选择菜单Setup—Cross—Section,如图53所示，在TOP下方空白处单击鼠标 右键选择“Add Layer Above”或“Add Layer Below”都可以添加层。

2） 添加两层后更改层的名称，如图54所示。

对于正片设计，GND02层和PWR03层的“Type”选择为“CONDUCTOR”或者 “PLANE”都可以，没有任何影响。

3） 将光标放到GND02上面，用鼠标右键选择“Remove Layer”即可删除这一层， 同理删除掉其他电气层和DIELECTRIC介质层，如图55所示。

注意：在删除电气层的时候，需要保证这一层上没有任何东西，比如走线、铜皮等。

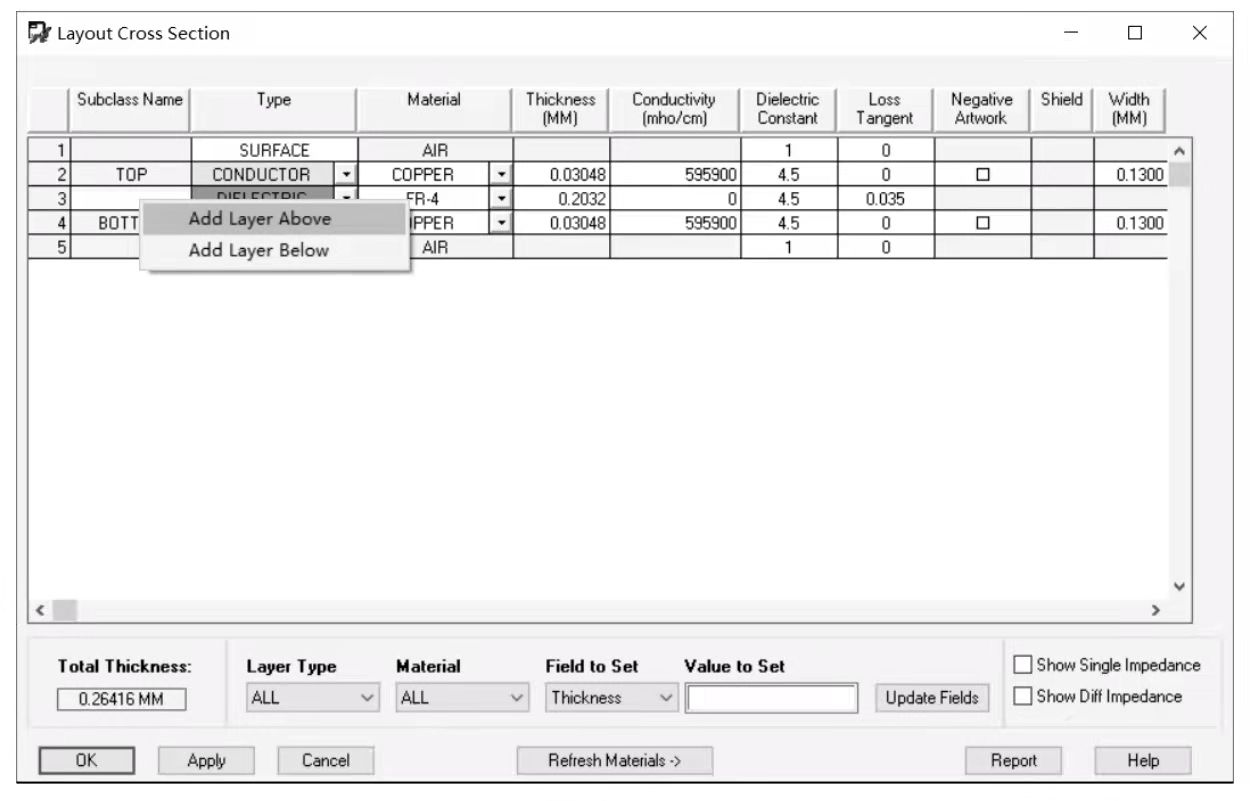


图 53添加层叠

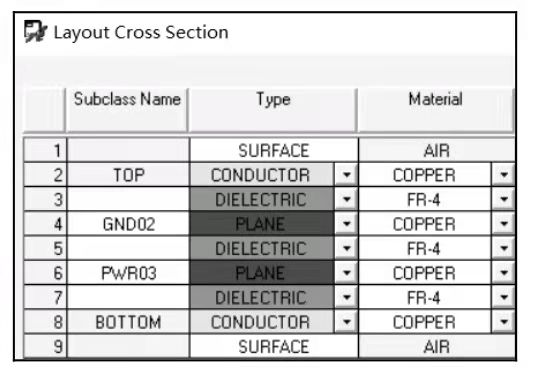


图 54 更改层名称



图 55 删除叠层

### 3.4.2设置PCB Gerber（即设置光绘文件）

1）选择菜单 ManufactureArtwork,单击 “Film Control” 选项卡，如图56所示。

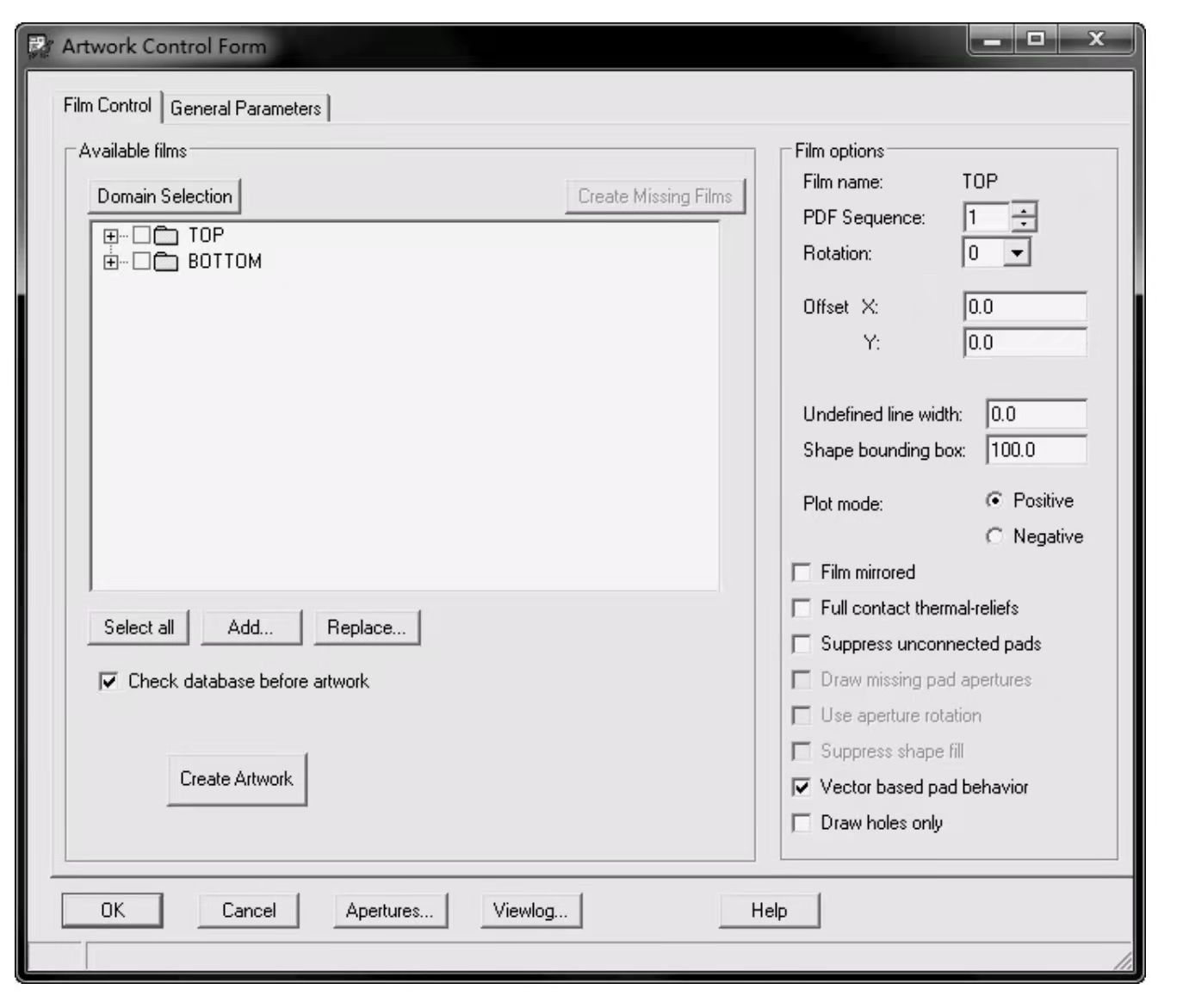


图 56 “Film Controlw 选项卡

图56中右侧“Film options"中参数的含义和设置如下。

* Film name：显示目前底片的名称。
* Rotation：底片旋转的角度。默认为“0”，一般保持默认设置。
* OffsetX. Y:底片的偏移量，一般按照默认的设置，输入“0”即可。
* Undefined line width:未定义宽度的走线（包含Line对象）在输出底片文件时采 用的宽度，常规设置为“6 mil”。
* Shape bounding box：默认值为"100”，表示当"Plot mode” 为"Negative” 时， 由“Shape”的边缘处往外需要画100 mil的黑色区域。
* Plot mode: "Positive”表示采用正片的绘图格式,“Negative”表示采用负片的绘 图格式。建议初学者统一选择"Positive”。
* Film mirrored：底片是否进行镜像。
* Full contact thermal-reliefs：当底片设置为负片输出光绘文件时，相同网络的铜皮 与Via、Pin之间进行全连接，而不是花连接。
* S叩press unconnected pads:若勾选这里，表示为无盘化设计。假设一个10层板， 在一通孔管脚的第6、8层处未连接任何铜皮走线，可以将这两层焊盘去掉。
* Draw missing pad apertures:若勾选这里，表示当一个焊盘没有相应的“Flash D・ Code"时，系统采用比较小宽度的“LineD.Code”填充满此焊盘。
* Use aperture rotation: Gerber数据能使用镜头列表中的镜头来旋转定义的信息°
* Suppress shape fill：选择此项表示“Shape”的外形不画出，使用者必须自行加 入分割线作为"Shape”的外形。只有"Plot mode”为“Negative”时，此项才 可以激活设置。
* Vector based pad behavior:默认选择勾选。

单击“General Parameters”选项卡，界面如图57所示。

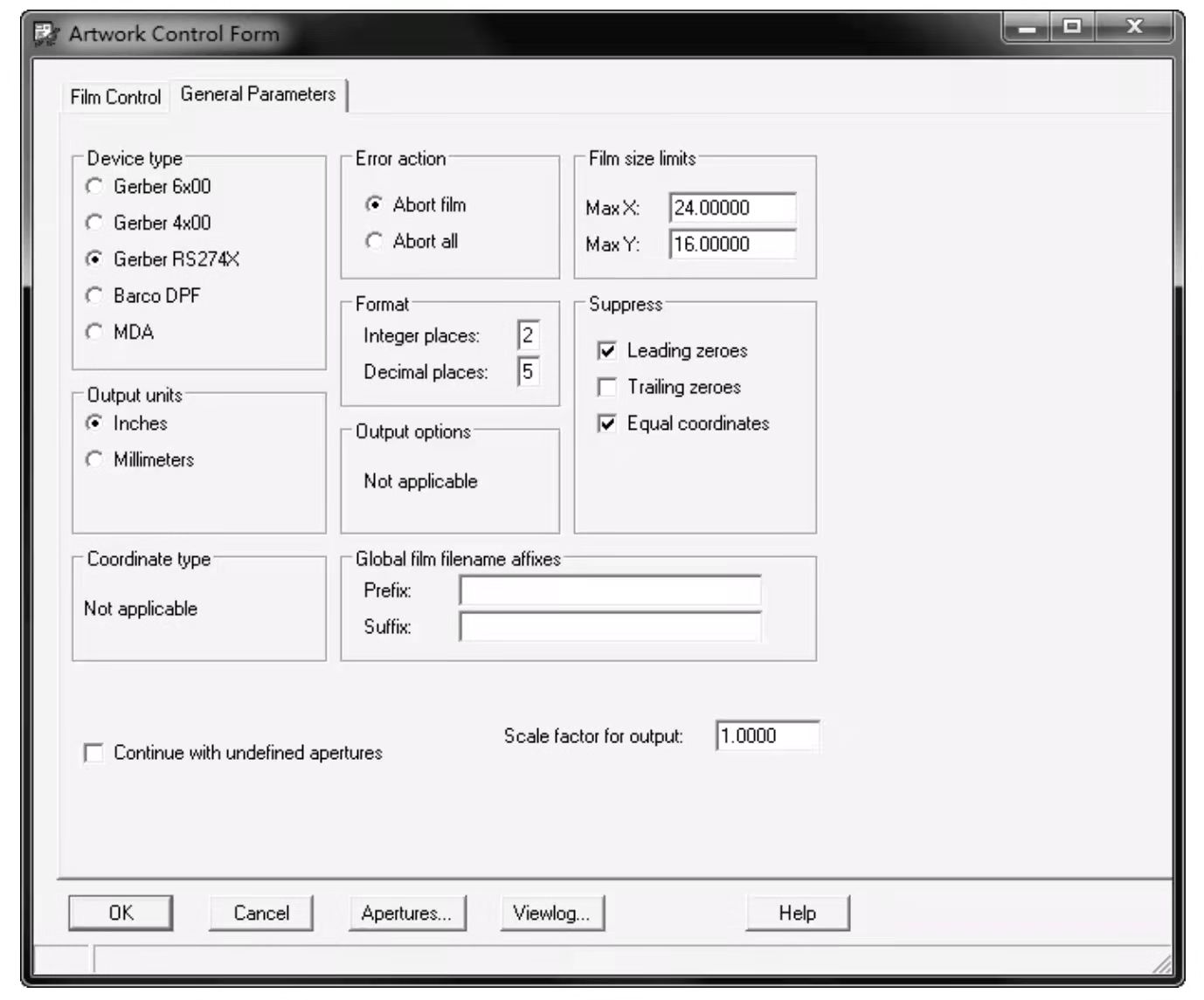


图 57 General Parameters "选项卡

General Parameters选项卡相关参数的含义和设置如下。

* Device type:底片生成格式。
* Film size limits：底片尺寸，默认选择 “24.00000”、“16.00000” 即可。
* Coordinate type：选择uGerber 6x00”和“Gerber4x00”时才可以设置。其中「'Absolute 表示采用绝对坐标，“Incremental”表示相对坐标。
* Error action：在生成的过程中发生错误的处理方法，保持默认设置即可。其中，

“Abort film”表示终止生成当前底片，继续生成下一张底片，“Abort all”表示终 止生成所有底片。

* Format：设置输出坐标的整数部分和小数部分。例如，输入“2”、“5”，表示精度 采用2位整数和5位小数。
* Output options:输出选项，选择"Gerber 6x00” 和 uGerber4x00n 时才可以设置。 其中，uOptimize data”表示要求资料最佳化输出o “Use G Codes”表示指定Gerber 数据的G码。Gerber数据使用G码来描述预定处理，Gerber4x00需要G码， Gerber6x00不需要G码。
* Suppress：控制PCB编辑器是否在Gerber数据文件中简化数值前面的0或者数 值后面的0,还是简化相同的坐标。其中，“Leading zeroes”表示要简化数值前 面的0; “Trailingzeroes”表示要简化数值后面的0; “Equal coordinates”表示要 简化相同的坐标。
* Output Units:选择输出单位。其中,“Inches”表示采用英制单位,“Milimeters” 表示采用公制单位。

2）这里以设置8层板为例，在默认情况下，“Available films"栏只有“TOP”和 “BOTTOM”两个子目录，如图58所示。

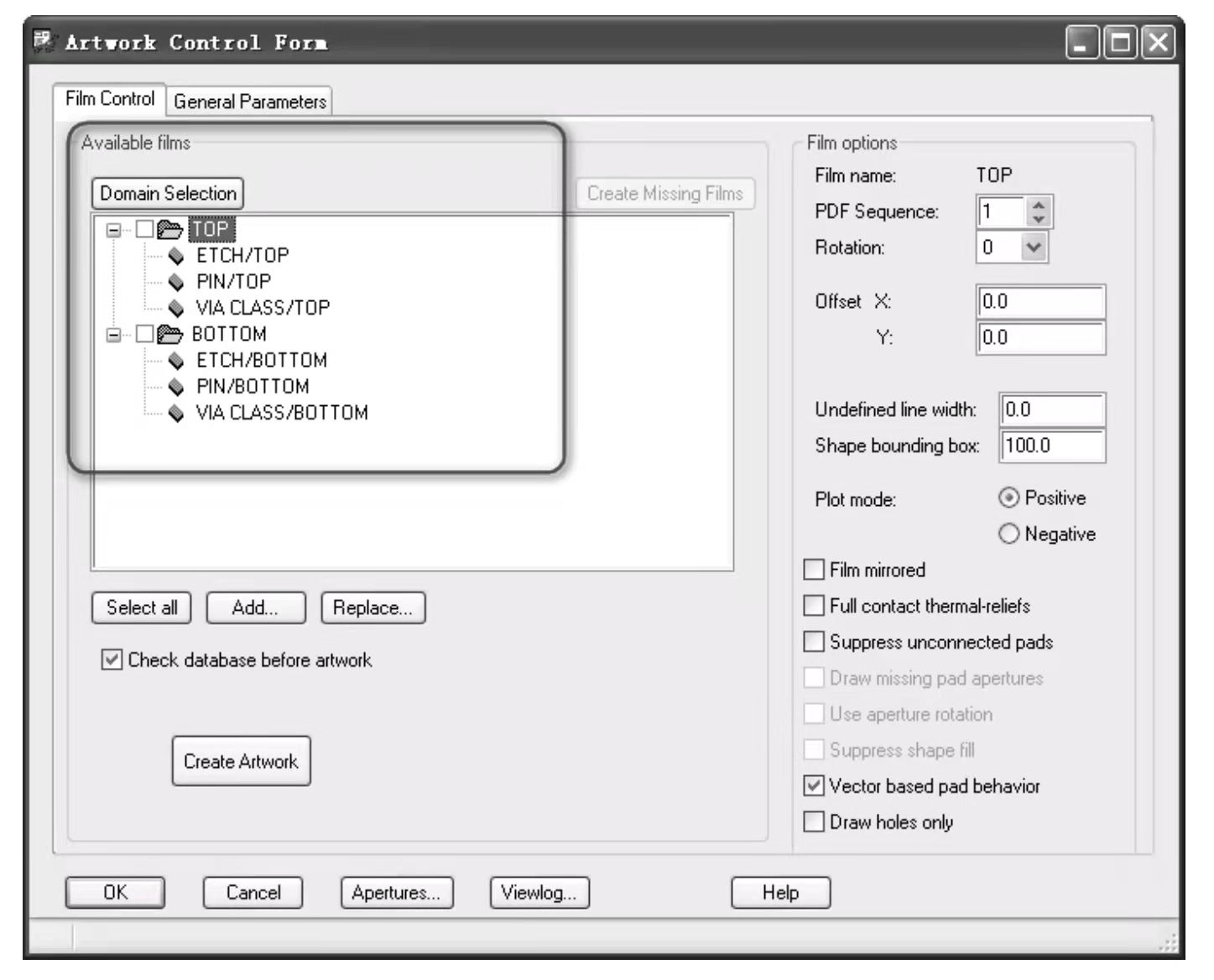


图 58 默认设置

而在实际项目中，我们要添加其他PCB制版所需要的文件目录，如图59所示。

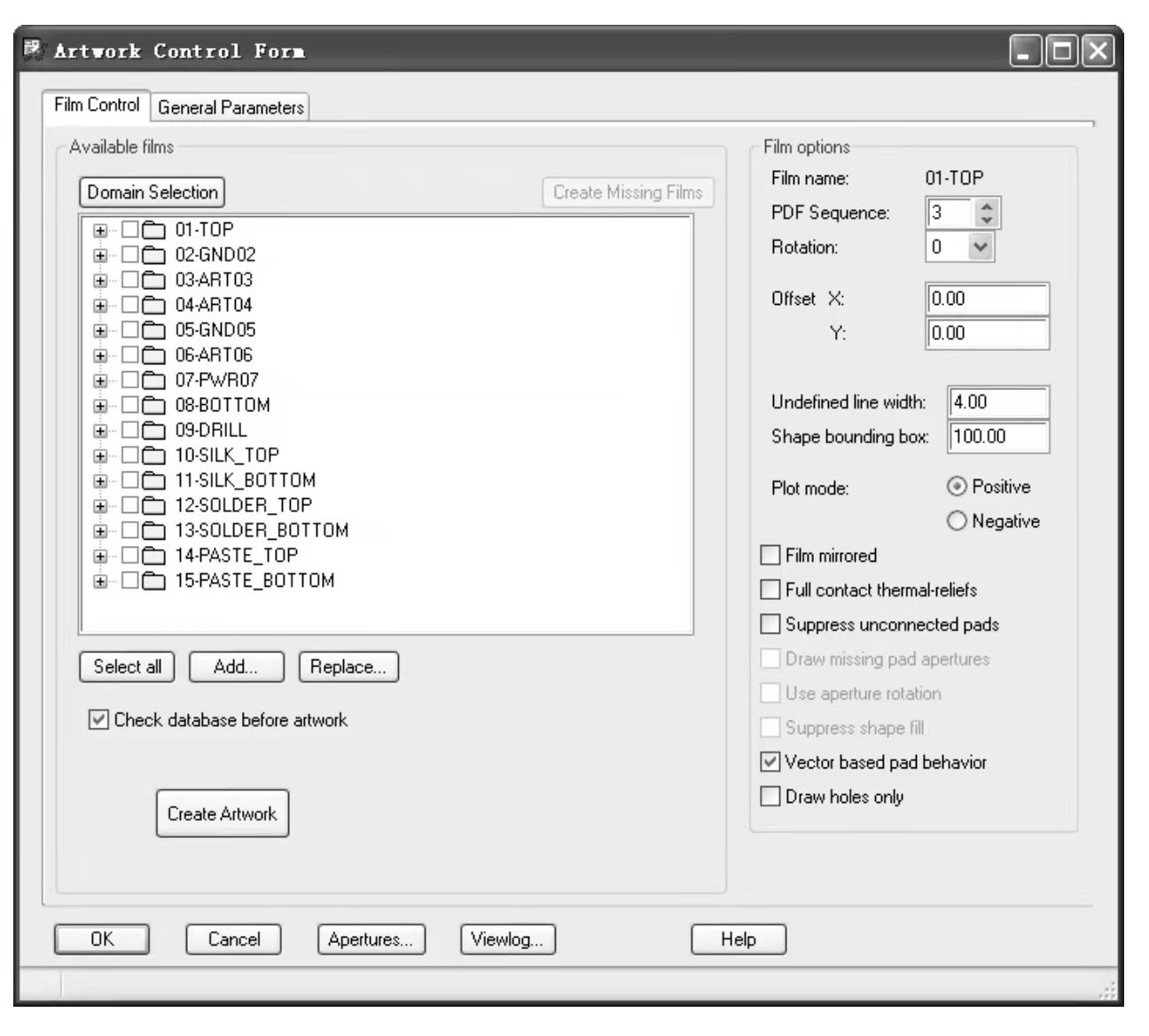


图 59 实际项目设置

电气层目录如图60所示。

这8个目录分别对应此8层板的8个电气层；在每目录下，都要添加对应的子分类 (Subclass)o常规电气层上的对象包含焊盘、走线、铜皮和过孔。为了方便制版和查看, 通常将“BoardGeometry/Outline"这一子分类也添加进去。

8个目录下包含的子分类的截图，分别如图61〜图68所示。

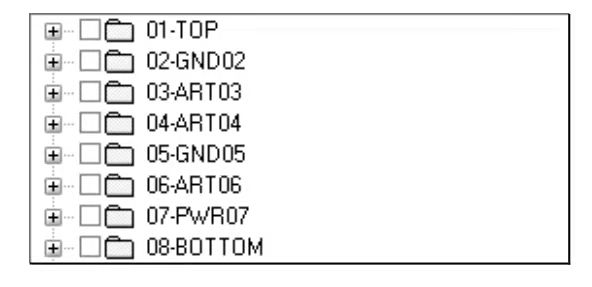


图 60 电气层目录

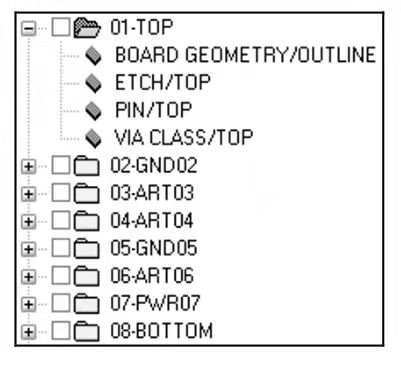


图 61 “01-TOP"包含的子分类

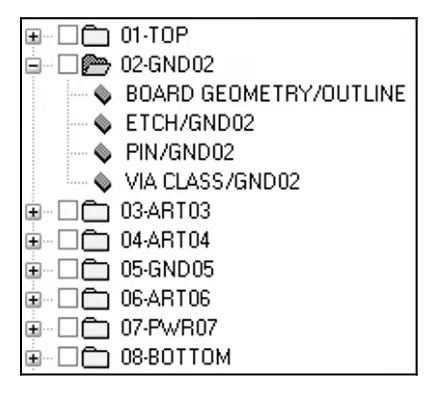


图 62 02-GND"包含的子分类

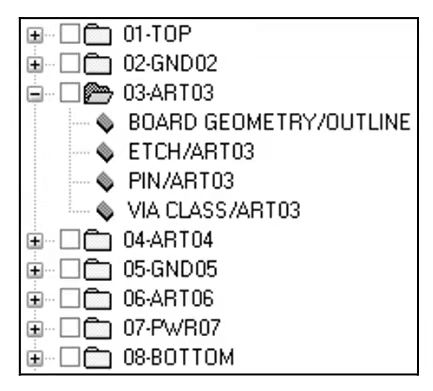


图 63 03-ART03"包含的子分类

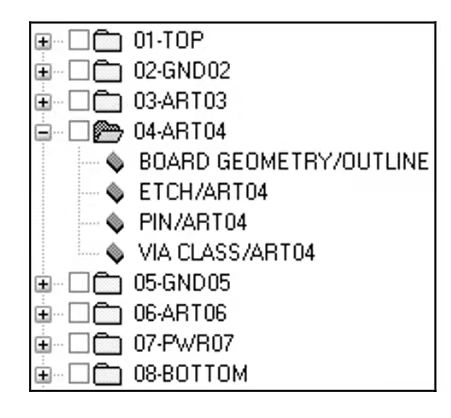


图 64 “04-ART04”包含的子分类

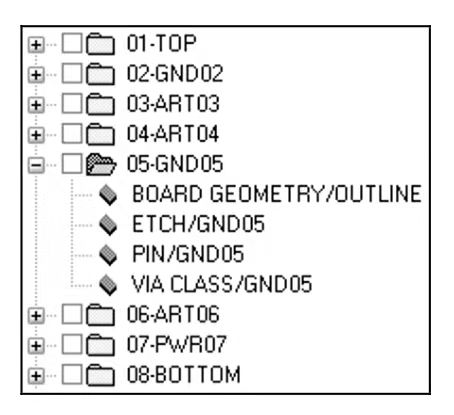


图 65 “05.GND05”包含的子分类

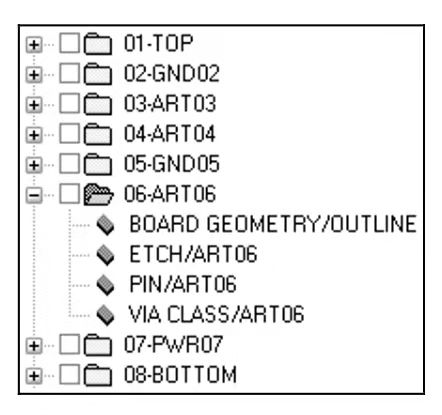


图 66 “06.ART06”包含的子分类

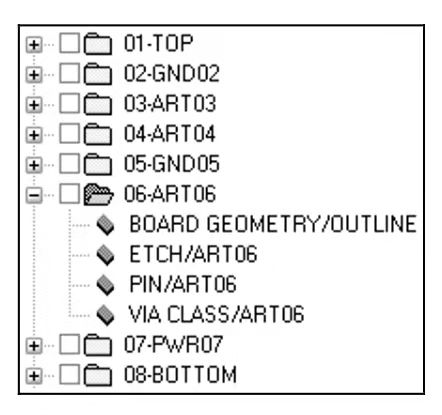


图 67 “07-PWR07”包含的子分类

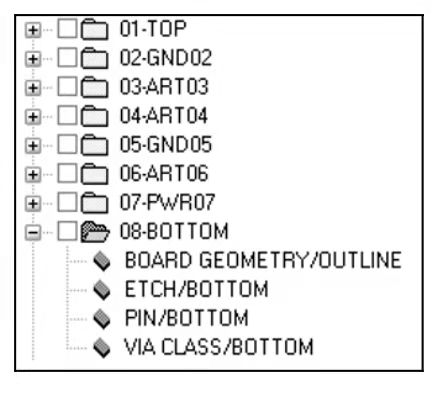


图 68 08-BOTTOM”包含的子分类

09.DRILL”包含的子分类如图69所示。

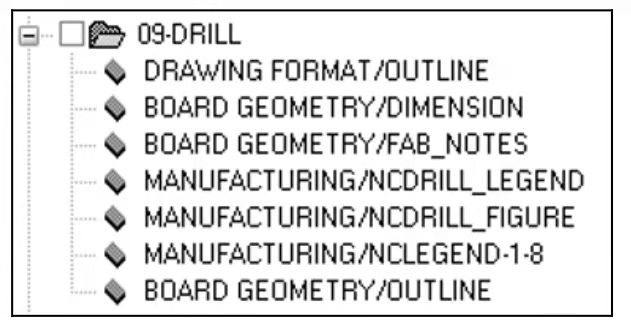


图 69 “09.DRILL”包含的子分类

此目录一般添加的子分类包含板框、制作工艺说明、钻孔信息表格、阻抗信息表格、 设计者信息等。大家可以根据实际情况进行添加或删减，此目录的内容信息主要供制版 厂参考。

“10.SILK\_TOP”和“11・SILK\_BOTTOM”所包含的子分类如图70所示。

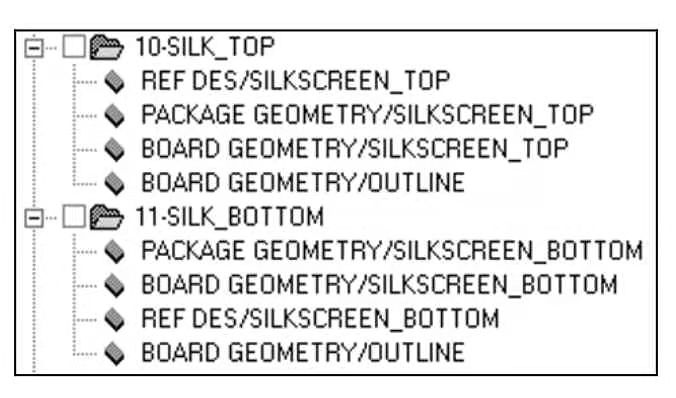


图 70 “10.SILK\_TOP” 和 “11.SILK\_BOTTOM” 包含的子分类

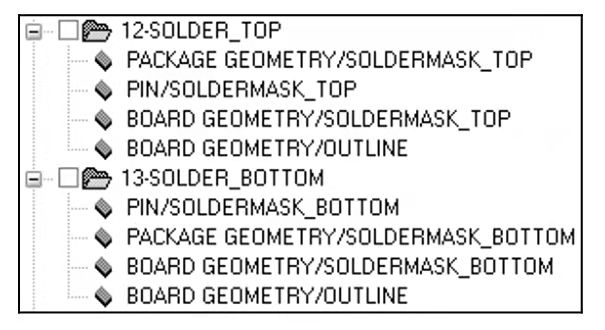


图 71 “12・SOLDER\_TOP” 和 “13-SOLDER\_

BOTTOMw包含的子分类

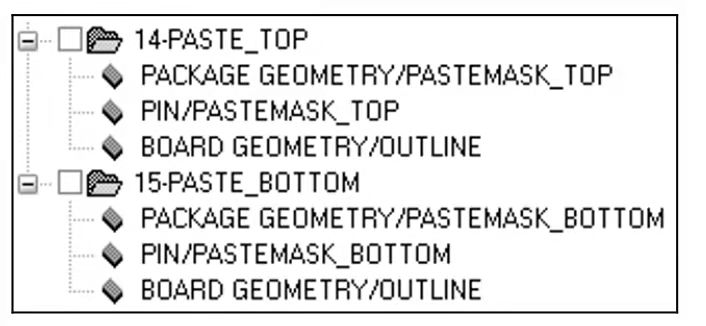


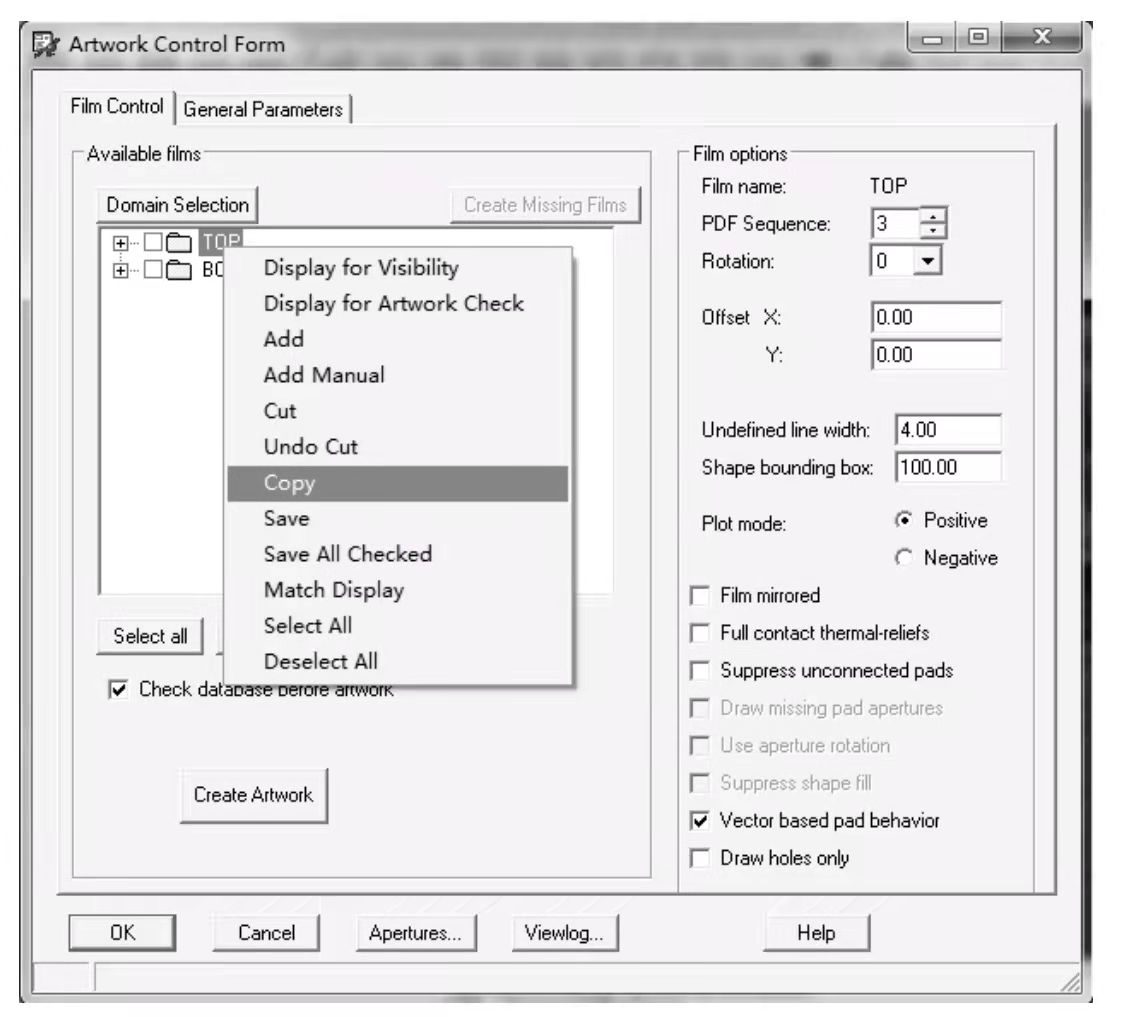
图 72 “ 14-PASTE\_TOP ”和 “ 15-PASTE\_

BOTTOM"包含的子分类

这两个目录分别包含Top层和Bottom层与助焊层相关的子分类。

注意：一般在 aPackage Geometry/Pastemask Topff 和“Package Geometry/Pastemask\_ Bottom"这两个子分类上没有对象，但是通常还是会添加到“TOP”和“BOTTOM”这 两个目录下。

3）将光标放在“TOP”上，如图20M8所示，单击鼠标右键选择“Copy”，新增一 个文件夹目录，如图73所示。



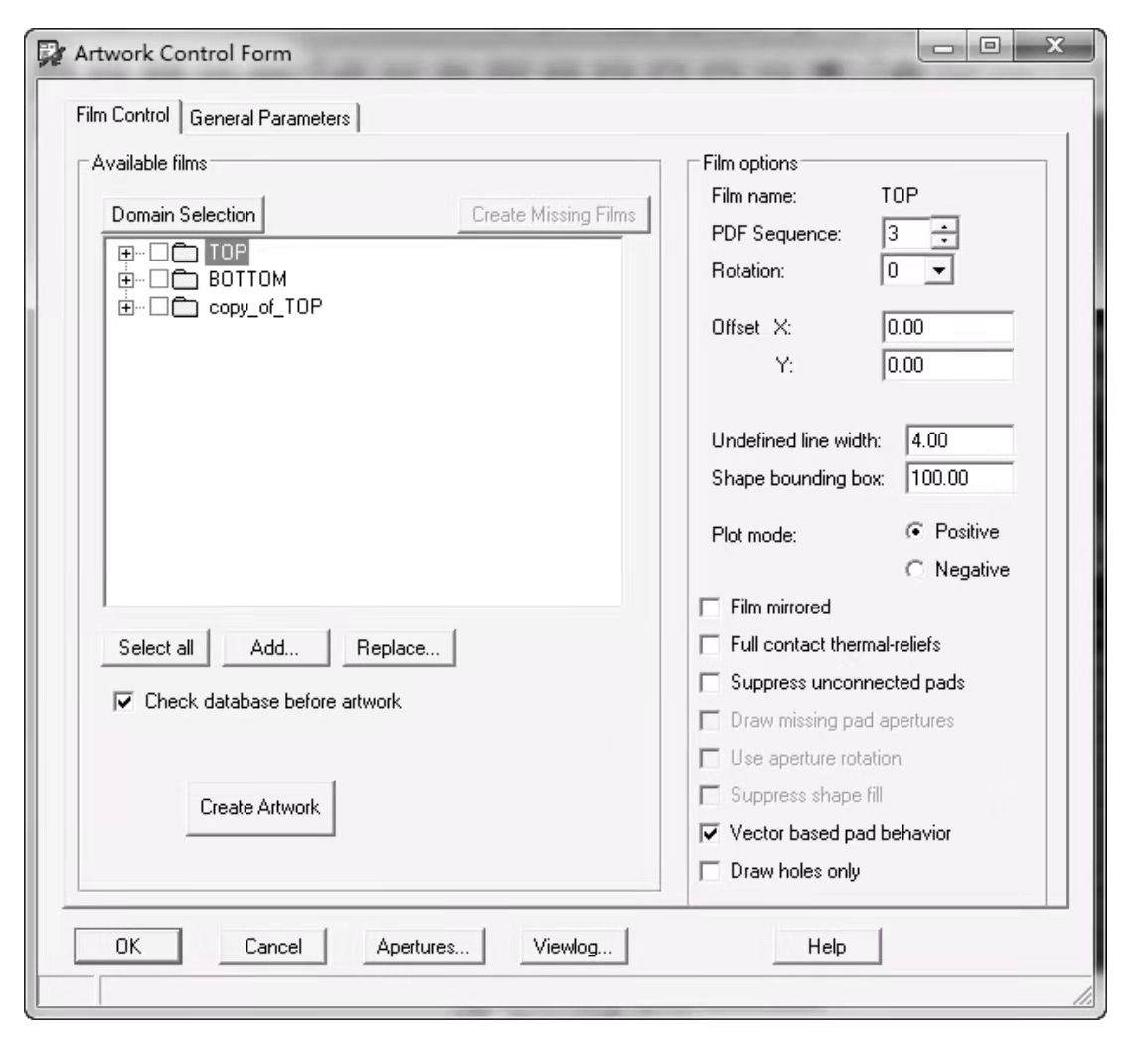


图 73新增一个文件夹目录

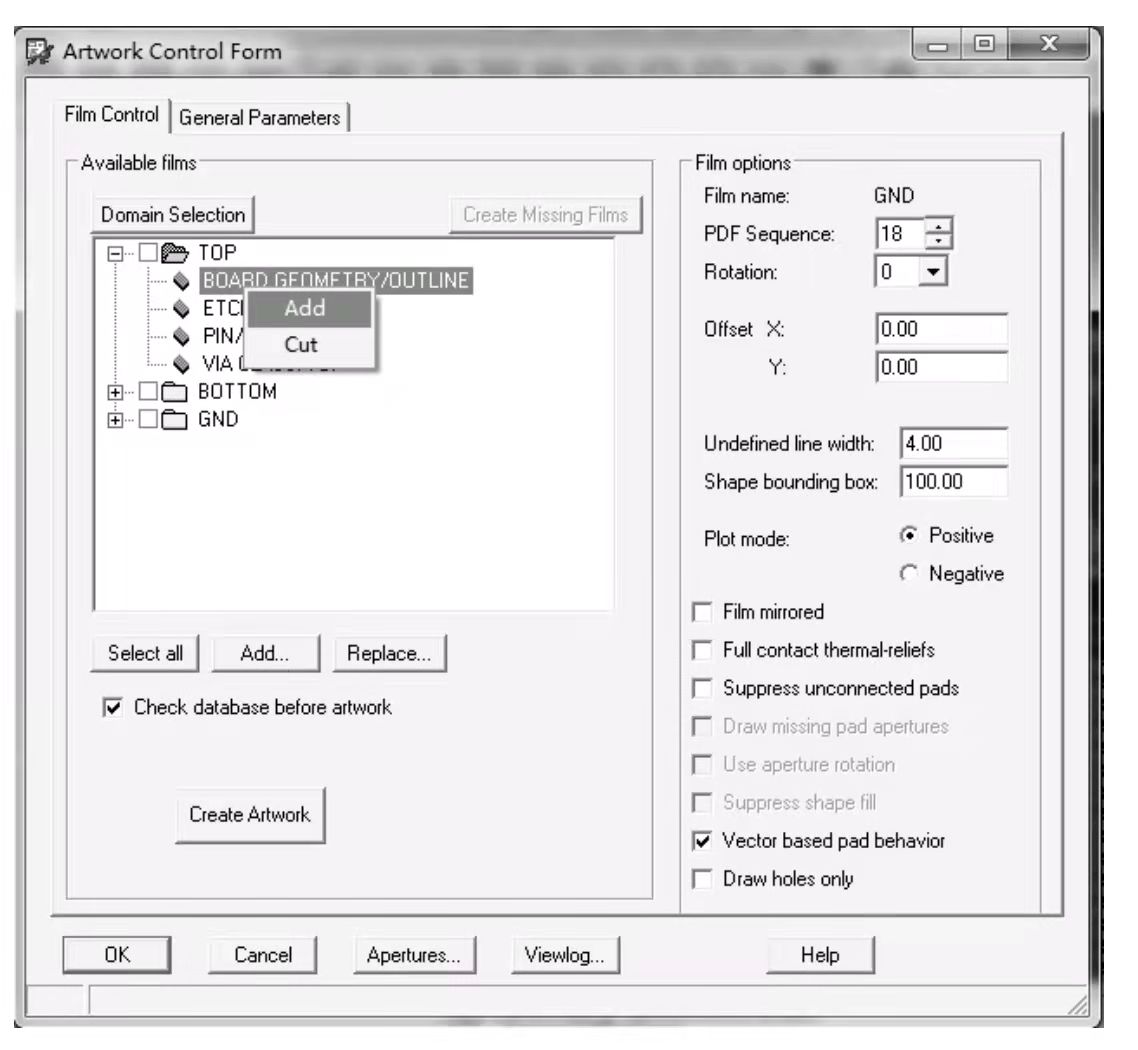


图 74 添加子分类

将需要的子分类添加到目录中，单击“0K”按钮，如图75所示。

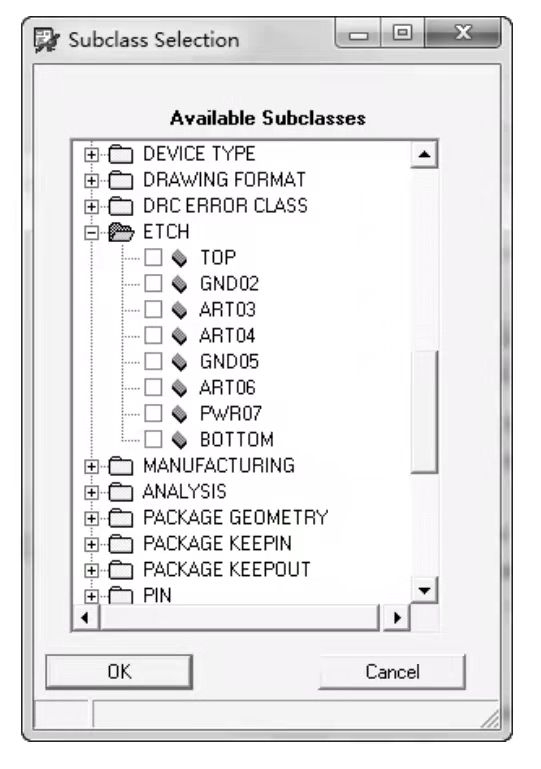


图 75 选择需要的子分类添加到目录中

注意:大家可以在文件夹目录名前添加数字，目录即可按照数字顺序排列，如图76 所示。

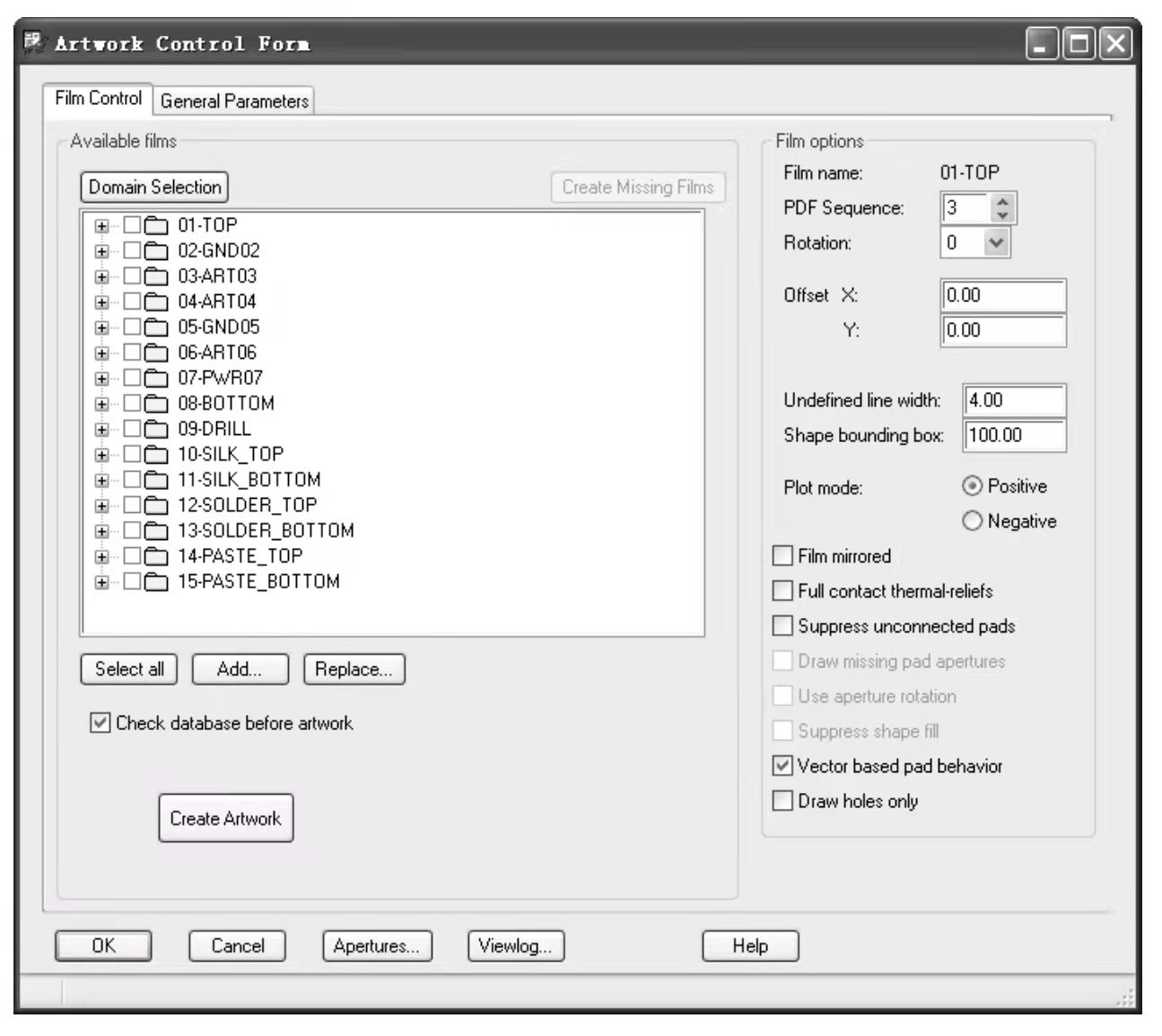


图 76 设置Film目录按数字顺序排列

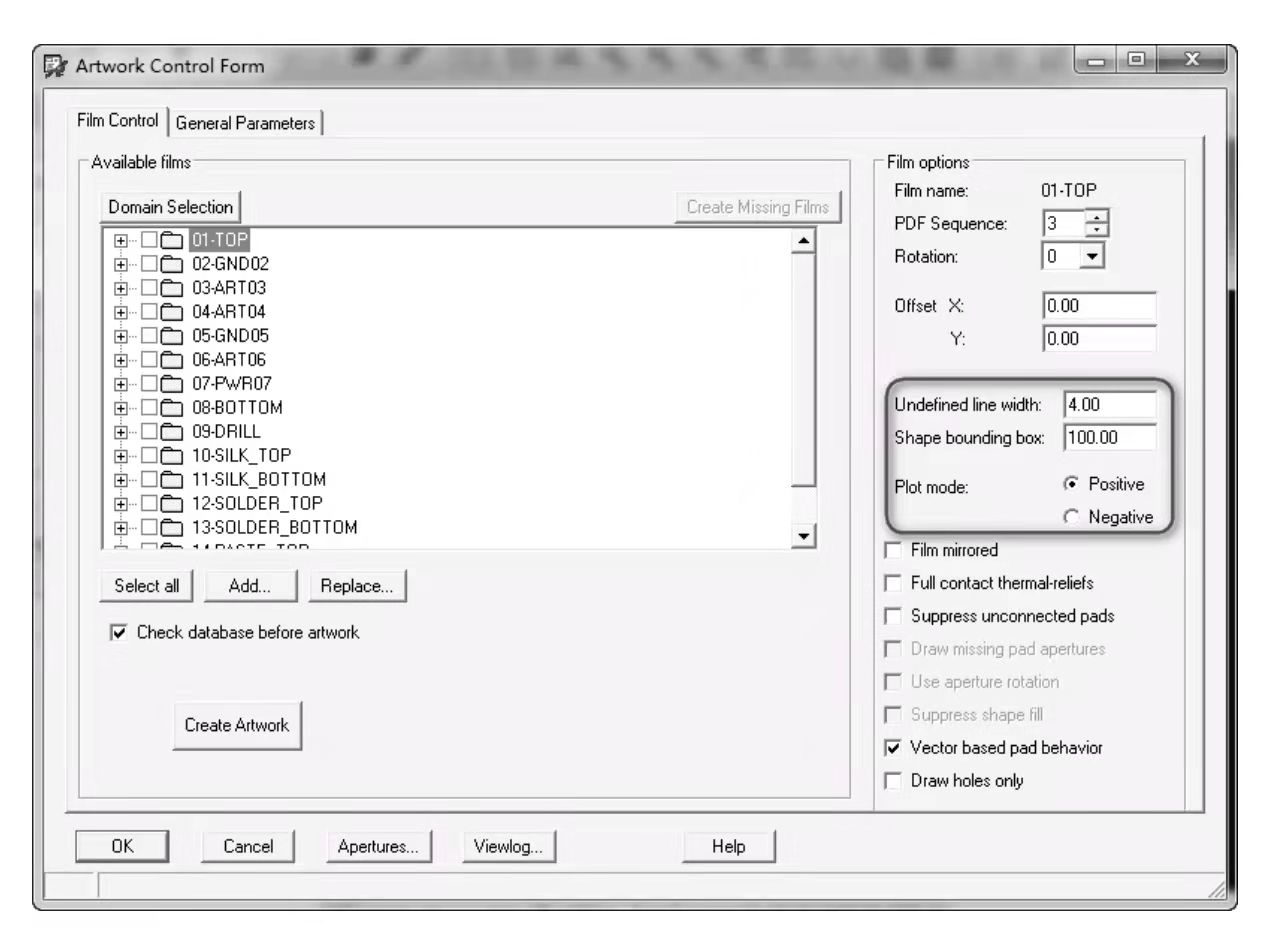


图 77 设置参数

注意：图77中框选处的参数含义及设置如下。

* Undefined line width:重新设置未定义线的线宽。一般设置为4〜6mil,满足工艺 水平即可。
* Plot mode：绘制模式。这里我们使用正片设计，统一选择“Positive”。

4）单击General Parameters 选项卡，设置文件格式和精度，如图78所示。

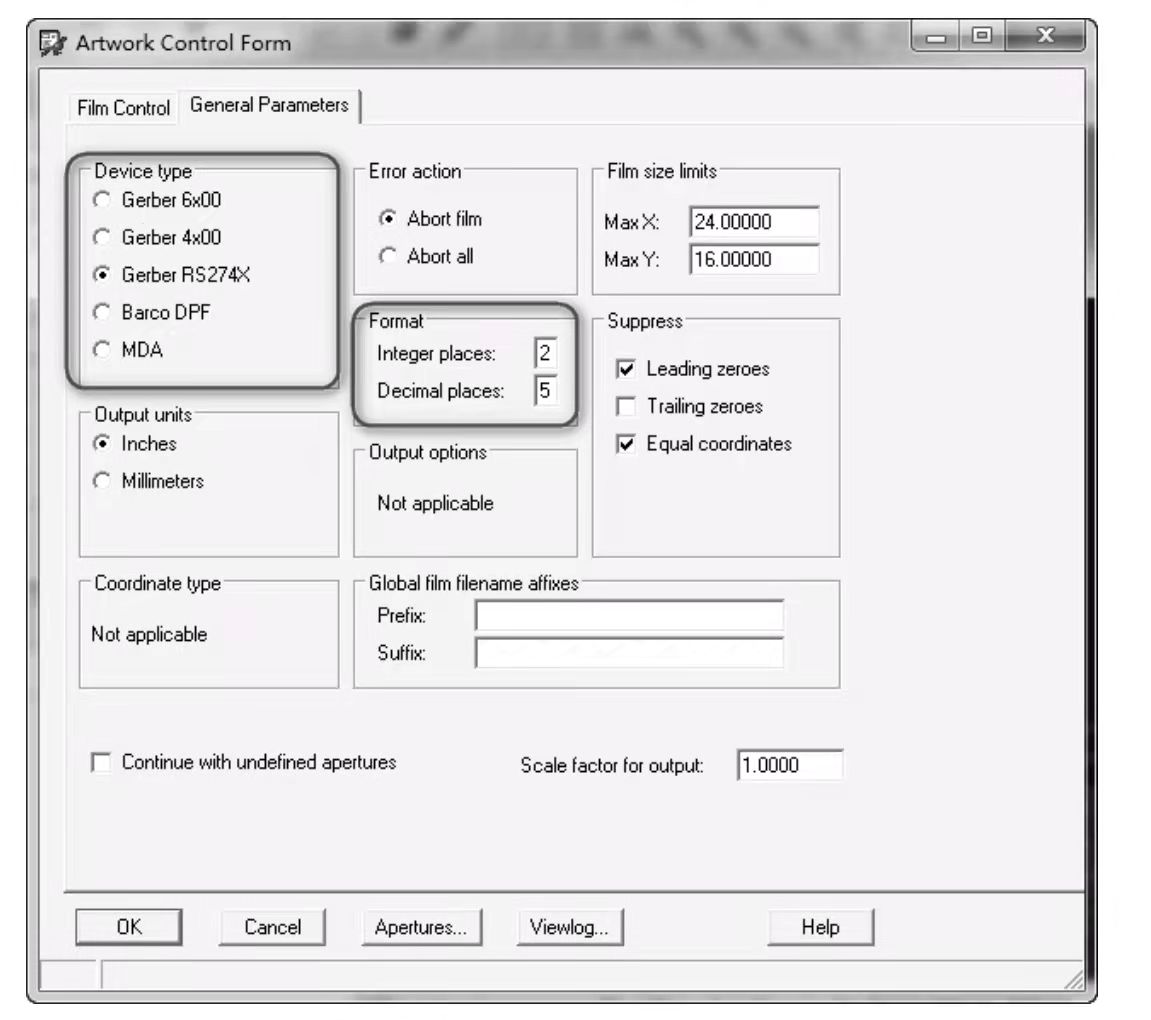


图 78 设置文件格式和精度

注意：需要正确选择文件格式，本例的格式要选择与铜皮格式一致。选择菜单 Shape-Global Dynamic Shape Parameters 可查看铜皮格式，由图 78 和图 79 可见, 文件格式均为“Gerber RS274X”。

5）设置精度。在Format处填入“2”、“5"或者“5”、“5”即可，如图80所示。

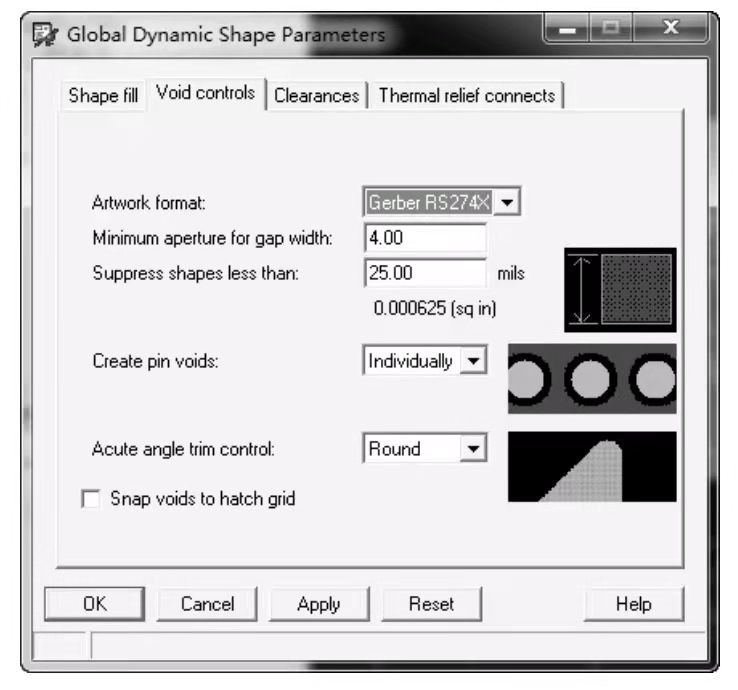


图 79 查看铜皮格式



图 80 设置精度

### 3.4.3 差分信号处理（DRAM\_SDQS1\_N 和DRAM\_SDQS1\_P）

#### 创建差分对物理规则

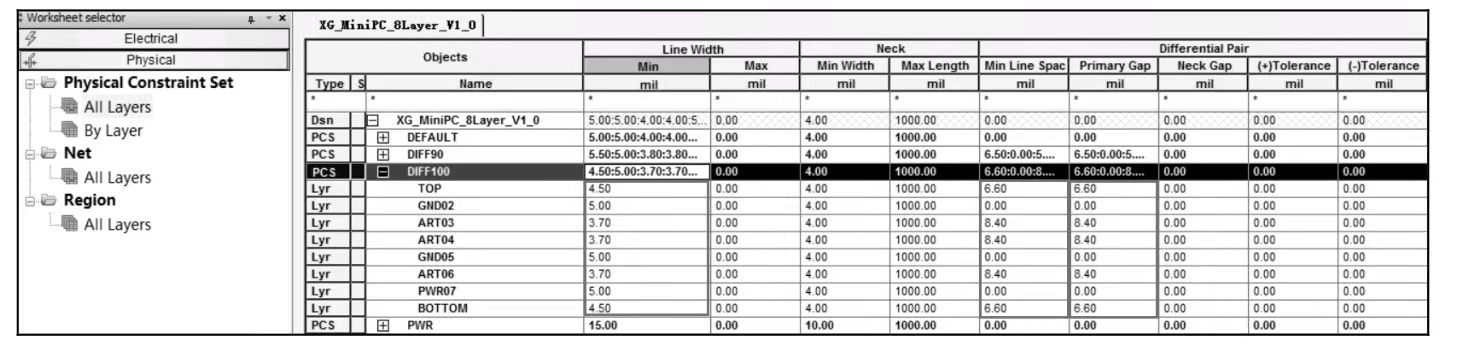
差分对和普通线相比，主要是两根线同时走线，所以在物理规则里设置线宽数值 后，还需要设置“Primary Gap”值，也就是差分对内部2根线的间距值。具体操作为： 在“Primary Gap”处输入间距数值，再将“Min Line Spacing”（最小间距值）设置成 与"Primary Gap” 一样的数值即可（如果有需要可以将“Min Line Spacing”的值设置 得更小），如图81所示。

图 81 创建差分对物理规则

#### 创建DDR差分对

如图82所示，选择"All Layers” ,按住Ctrl键选中2根网络后，用鼠标右键选 择 Creat一Differential Pair,创建差分对*。*

在弹出的对话框中输入差分对名称，单击“Create”按钮，即可完成创建操作，如 图83所示。

接下来设置差分对内部2根线的走线长度差值，在图84中的箭头处输入“5 mil”， 表示要求XM1SCLK和XM1SCLKN这2根网络走线长度差值控制在5 mil内才符合要求。

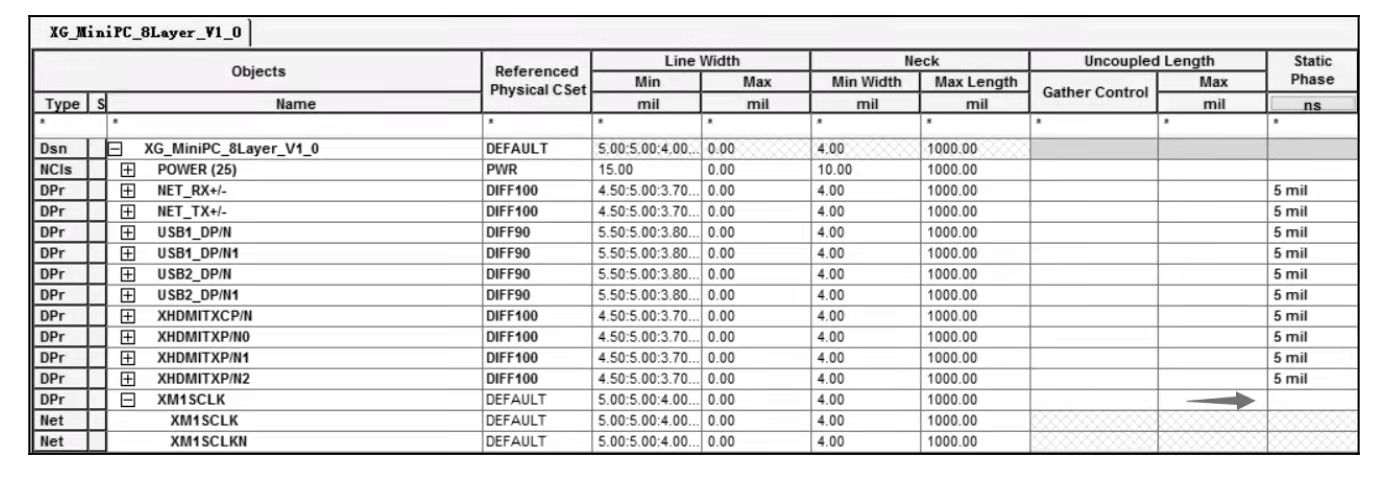
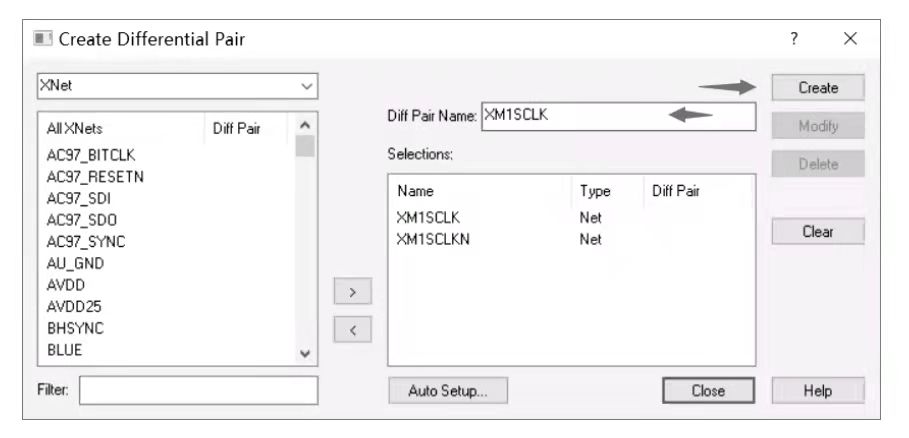
按上述步骤完成设置后，给此差分对赋予物理规则和间距规则即可，可参考上文的 赋予操作相关内容，这里不再赘述

图 83 输入差分对名称完成创建

图 82 设置走线长度差值

图 83 创建差分对

### 3.4.4 等长信号处理（创建DDR等长组）

本节以创建DDR数据线等长组为例，讲解软件设置等长的步骤。

1）如图85所示，选中网络后用鼠标右键选择Creat—Pin Pair创建管脚对。

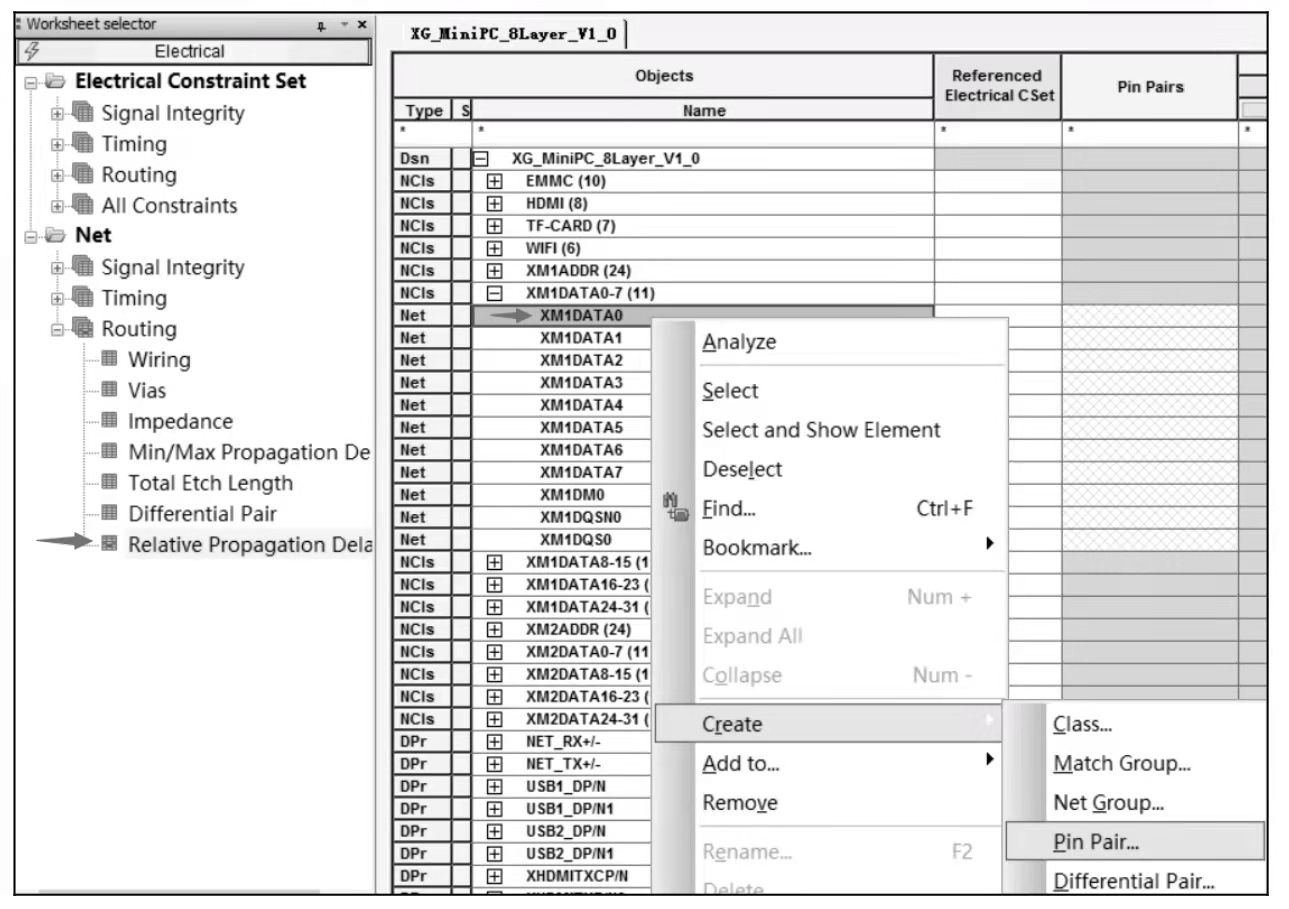


图 84 创建管脚对

2）选择好管脚后，单击“OK”按钮即可，如图86所示。

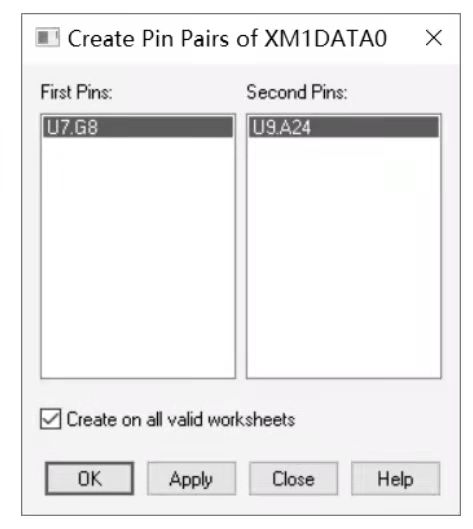


图 85 选择管脚

创建完成的管脚对如图87所示。

以同样的方式，创建好其他网络的管脚对。按住Ctrl键，选中11组管脚对，如 图88所示，用鼠标右键选择“Match Group” ,创建等长组。

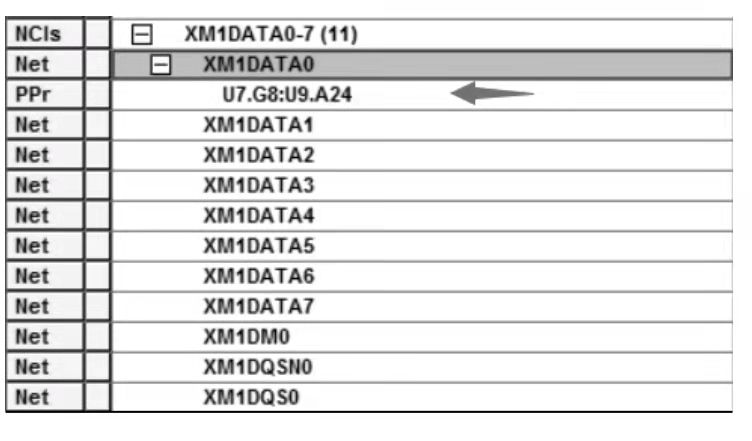


图 86 管脚对创建完成

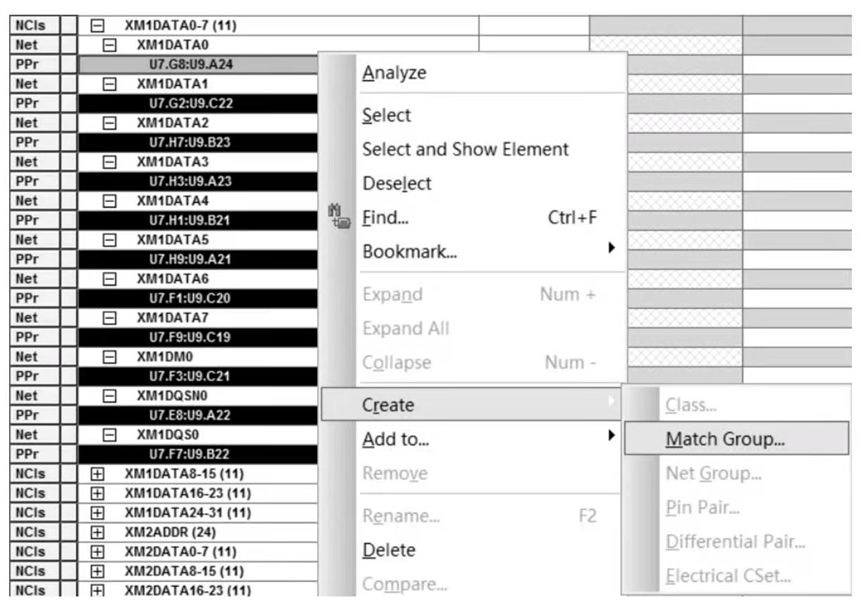


图 87 创建等长组

3）输入等长组名称“XM1DATAO.7”，单击“OK”按钮，如图89所示。

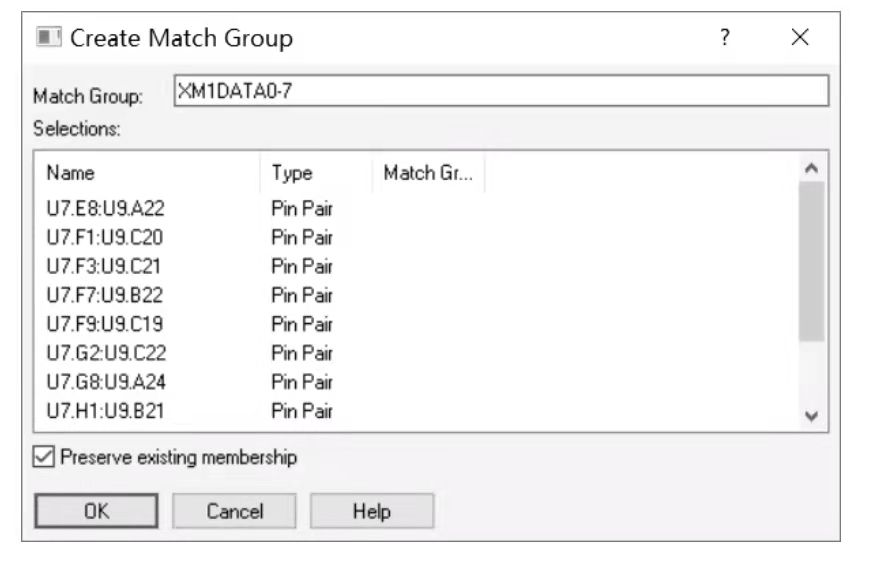


图 88 输入等长组名称

4）在图90中的箭头处输入“0mil:50mil”，则管脚对对应位置也全部变更为 “0mil:50mil"。

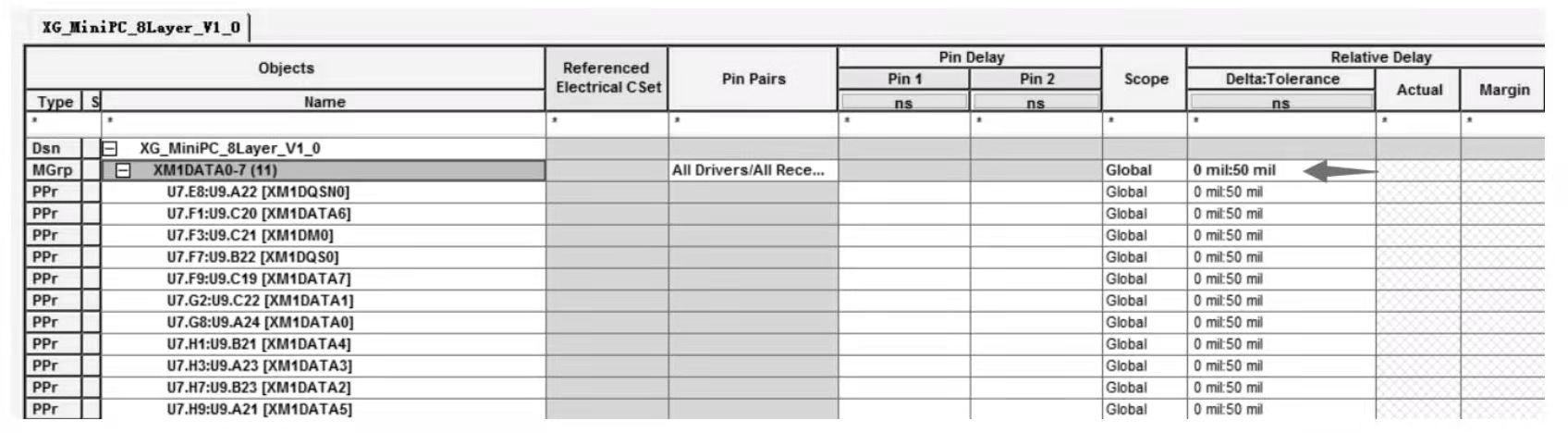
5）设置基准线。如图91所示，将光标放到XM1DQSN0的“0mil:50mil”处用鼠 标右键选择“Set as target” ,将其他10对管脚对的走线长度与XM1DQSN0网络管脚对 的走线长度进行比较，如果差值在+/-50 mi 1内，则符合要求。如果不符合要求，在PCB 中对这些走线进行蛇形绕线，直至符合规则要求为止。

图 89 输入长度差值范围

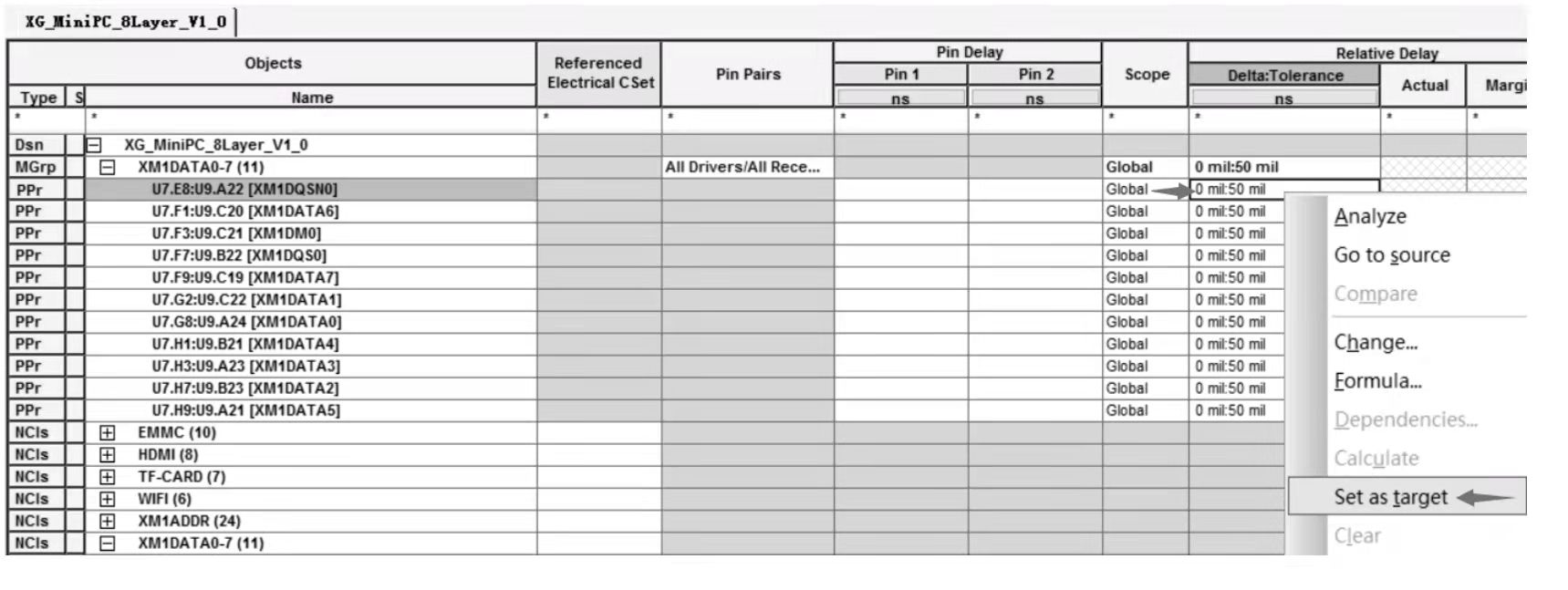


图 90 设置基准线