

**Đề 1**(Sinh viên **không** được sử dụng tài liệu, máy tính cầm tay.

Làm bài trực tiếp trên đề)

<u>STT</u>		<u>ĐIỂM</u>
	Họ và tên: .....	
	MSSV: .....	

**TRẮC NGHIỆM (7 Điểm, 0.5đ/câu)**

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7

Câu 8	Câu 9	Câu 10	Câu 11	Câu 12	Câu 13	Câu 14

Câu 1. Trong bộ đếm bất đồng bộ Ripple Counter, khi thêm Flip-Flop vào bộ đếm thì tần số lớn nhất của bộ đếm sẽ:

- A. Tăng  
C. Giảm  
B. Giữ nguyên  
D. Tăng khi thêm vào bên trái bộ đếm và giảm khi thêm vào bên phải bộ đếm

Câu 2. Một bộ đếm bất đồng bộ Ripple Counter được xây dựng từ các Flip-Flop JK có thời gian trì hoãn của mỗi Flip-Flop  $t_{pd}=12\text{ns}$ , hệ số MOD lớn nhất của bộ đếm mà bộ đếm vẫn hoạt động được ở tần số 10 MHz là:

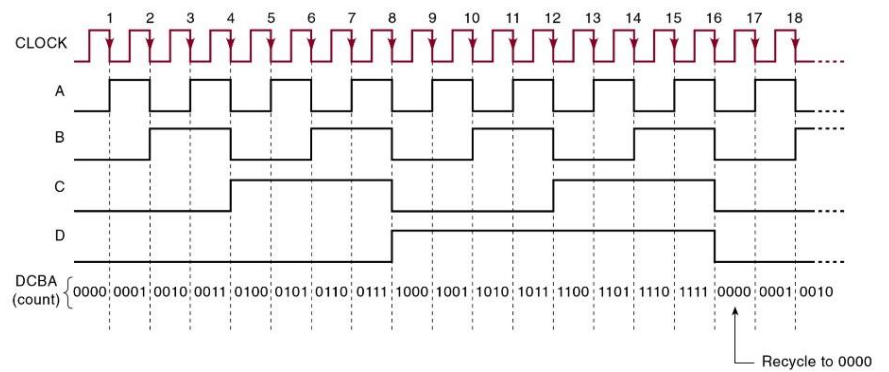
- A. 1024  
C. 512  
B. 256  
D. 64

Câu 3. Phát biểu nào sau đây là đúng:

- A. Trong bộ đếm bất đồng bộ Ripple Counter, tất cả các Flip-Flop đều thay đổi trạng thái cùng lúc  
C. Trong bộ đếm bất đồng bộ Ripple Counter, tất cả các Flip-Flop đều được nối với xung clock  
B. Trong bộ đếm bất đồng bộ Ripple Counter, chỉ có Flip-Flop có trọng số thấp nhất mới kết nối với xung clock  
D. Trong bộ đếm bất đồng bộ Ripple Counter, chỉ có Flip-Flop có trọng số cao nhất mới kết nối với xung clock

Câu 4. Cho giản đồ xung như hình bên dưới, giá trị của DCBA ngay sau cạnh xuống xung clock thứ 2019 là:

- A. 1100
- B. 1000
- C. 0010
- D. 0011



Câu 5. Cho bộ đếm bất đồng bộ Ripple Counter gồm 3 Flip-Flop, hệ số MOD lớn nhất có thể có của bộ đếm sau khi thêm 3 Flip-Flop là:

- A. 8
- B. 6
- C. 32
- D. 64

Câu 6. Bảng bên dưới là bảng sự thật của:

- A. Flip Flop D kích cạnh lên, có tín hiệu xóa bất đồng bộ mức cao
- B. Flip Flop D kích cạnh lên, có tín hiệu xóa bất đồng bộ mức thấp
- C. Flip Flop D kích cạnh xuống, có tín hiệu xóa đồng bộ mức thấp
- D. Flip Flop D kích cạnh xuống, có tín hiệu xóa đồng bộ mức cao

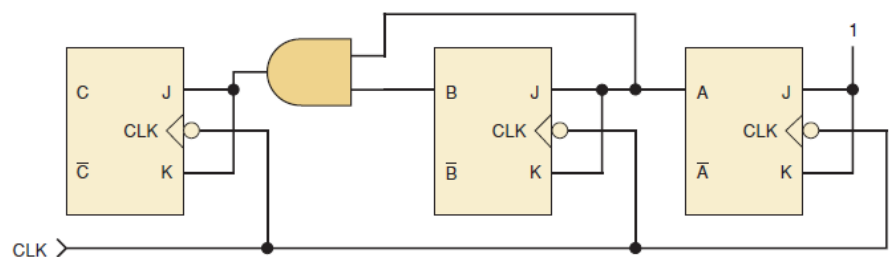
PR PRESET	CLR CLEAR	CLK CLOCK	D DATA	Q	$\bar{Q}$
1	1	$\uparrow$	0	0	1
1	1	$\uparrow$	1	1	0
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1

Câu 7. Phát biểu nào sau đây là đúng:

- A. Tại một thời điểm, chỉ có một ngõ ra của bộ giải mã nhị phân được tích cực
- B. Bộ giải mã nhị phân có số lượng ngõ ra ít hơn số lượng ngõ vào
- C. Tại một thời điểm, có thể có nhiều ngõ ra của bộ giải mã nhị phân được tích cực
- D. Nếu bộ giải mã nhị phân có  $2^n$  ngõ vào thì sẽ có n ngõ ra

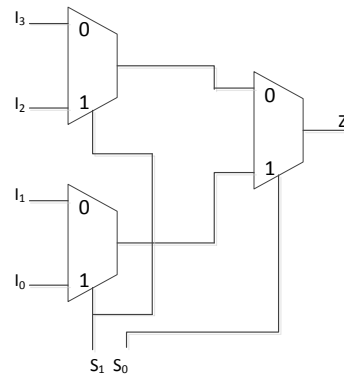
Câu 8. Cho bộ đếm đồng bộ như hình bên dưới, chuỗi đếm lặp vòng của bộ đếm là:

- A. 0,1,2,3,4,5,6
- B. 6,5,4,3,2,1,0
- C. 0,1,2,3,4,5,6,7
- D. 7,6,5,4,3,2,1,0



Câu 9. Cho mạch như hình bên dưới, ngõ ra  $Z=0$  khi ngõ vào  $S_1S_0=10$  và  $I_3I_2I_1I_0$  là:

- A. 1010
- B. 0101
- C. 1100
- D. 1110



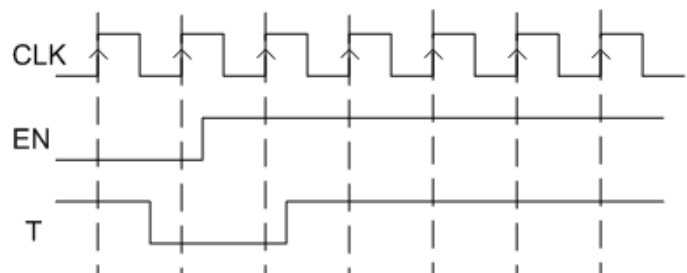
Câu 10. Bảng sự thật ở hình bên dưới thể hiện hoạt động của một:

- A. Flip-Flop D
- B. Chốt D
- C. Flip-Flop SR
- D. Chốt SR

S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN

Câu 11. Cho Flip-Flop T có xung clock tích cực cạnh lên, ngõ vào cho phép EN tích cực mức cao, giá trị của ngõ ra Q của Flip-Flop ngay sau cạnh lên xung clock thứ 2 và 3 theo giản đồ xung bên dưới lần lượt là (giả sử tại thời điểm ban đầu  $Q=0$ ):

- A. 0,0
- B. 0,1
- C. 1,0
- D. 1,1



Câu 12. Ứng dụng giải mã địa chỉ cho các chip nhớ sử dụng:

- A. Bộ giải mã nhị phân sang mã Gray
- B. Bộ giải mã nhị phân sang BCD
- C. Bộ giải mã nhị phân n sang  $2^n$
- D. Bộ giải mã BCD sang led 7 đoạn

Câu 13. Biểu thức Boolean thể hiện tổng S của một bộ cộng toàn phần (FA) có ngõ vào hai số hạng x,y, số nhớ ngõ vào  $c_i$  là:

- A.  $S=x+y+c_i$
- B.  $S=x \oplus y \oplus c_i$
- C.  $S=x.y + c_i(x+y)$
- D.  $S=x.y.c_i$

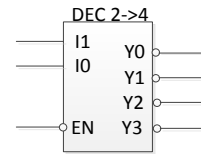
Câu 14. Bộ cộng Carry Ripple gồm 5 FA, giả sử độ trễ của mỗi FA là 5ns, thì độ trễ của số nhớ carry-out cuối cùng là:

- A. 5ns
- B. 10ns
- C. 25ns
- D. 50ns

## TỰ LUẬN (3Đ)

Câu 15. (1đ)

- a) Thiết kế bộ giải mã 3- $\rightarrow$ 8 có các ngõ ra tích cực mức thấp, sử dụng bộ giải mã 2- $\rightarrow$ 4 (như hình bên) và cổng logic thích hợp. (0.5đ)



- b) Chỉ sử dụng bộ giải mã 3- $\rightarrow$ 8 ở câu (a) và MUX 2- $\rightarrow$ 1 thực thi hàm  $F(x,y,z)=M1.M0$  (0.5đ)

Câu 16. (2đ)

- a) Hãy thiết kế mạch đếm lên đồng bộ, MOD-13, sử dụng Flip Flop T có xung CLK kích cạnh xuống, chuỗi đếm từ 0 đến 12, các trạng thái nằm ngoài chu trình đếm chuyển về trạng thái đếm là 12. (1.5đ)

B1: Xác định số Flip Flop

B2: Vẽ sơ đồ (lưu đồ) chuyển trạng thái của bộ đếm.

B3: Lập bảng chuyển trạng thái và bảng kích thích của mạch đếm

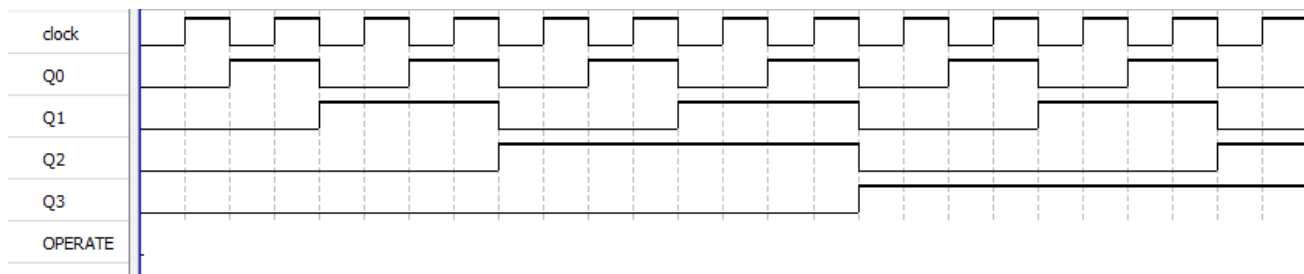
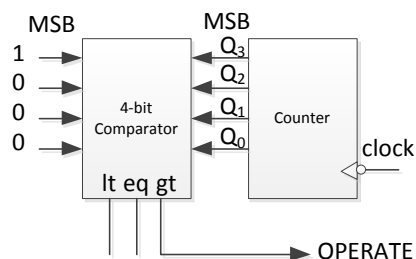
CLK	TTHT				TTKT				Ngõ vào các FF			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$	$T_3$	$T_2$	$T_1$	$T_0$
1	0	0	0	0								
2	0	0	0	1								
3	0	0	1	0								
4	0	0	1	1								
5	0	1	0	0								
6	0	1	0	1								
7	0	1	1	0								
8	0	1	1	1								
9	1	0	0	0								
10	1	0	0	1								
11	1	0	1	0								
12	1	0	1	1								
13	1	1	0	0								
14	1	1	0	1								
15	1	1	1	0								
16	1	1	1	1								

B4: Sử dụng bìa Karnaugh để tìm phương trình ngõ vào của các FF

B5: Vẽ mạch

b) (0.5đ)

Bộ đếm vừa thiết kế (Counter) được nối với bộ so sánh 4-bit (Comparator) để tạo thành mạch tạo tín hiệu điều khiển OPERATE như hình bên. Hoàn thành giản đồ xung bên dưới.



Đây là phần đánh giá chuẩn đầu ra của đề thi theo đề cương chi tiết môn học (CĐRMH) (thí sinh không cần quan tâm mục này trong quá trình làm bài)

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8
G3	G4	G3	G3	G3	G3	G3	G3

Câu 9	Câu 10	Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16
G4	G3	G3	G3	G3	G3	G4	G3

CĐRMH	Mô tả
G3	<b>Thiết kế</b> được các mạch số cơ bản đến phức tạp
G4	<b>Cải tiến</b> được chức năng, hiệu suất các mạch số

Giảng viên ra đề

Duyệt đề của Khoa/ Bộ môn

Phạm Thanh Hùng

Trịnh Lê Huy