**THỰC HÀNH NHẬP MÔN MẠCH SỐ - LỚP PH002.O21.1**

**BÀI THỰC HÀNH 5: CÁC THÀNH PHẦN LƯU TRỮ**

|  |  |  |  |
| --- | --- | --- | --- |
| **Giảng viên hướng dẫn** | **Trần Văn Quang** | | **ĐIỂM** |
| **Sinh viên thực hiện 1** | **Phùng Minh Chí** | **23520179** |  |
| **Sinh viên thực hiện 2** |  |  |  |
| **Sinh viên thực hiện 3** |  |  |  |
| **Sinh viên thực hiện 4** |  |  |  |

1. **Mục tiêu**

* Hiểu nguyên lý hoạt động của D flipflop
* Hiểu hoạt động của Shifter (Serial D flipflops) và Register (Parallel D flipflops)

1. **Nội dung**
2. **Thực hành trên lớp (làm theo nhóm)**

Câu 1: Lắng nghe giảng viên giải thích về các khái niệm sau:

* Ngõ vào đồng bộ và Ngõ vào bất đồng bộ.

Câu 2: Khảo sát ngõ vào của D flipflop

* Vẽ mạch có sơ đồ bên dưới:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Sơ đồ mạch:  A picture containing object  Description generated with high confidence | Bảng hoạt động rút gọn:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **PRE\_n** | **CLR\_n** | **CLK** | **D** | **Q** | | 0 | 0 | X | X | **KHÔNG DỰ ĐOÁN ĐƯỢC** | | 0 | 1 | X | X | 1 | | 1 | 0 | X | X | 0 | | 1 | 1 | ↑ | 0 | 0 | | 1 | 1 | ↑ | 1 | 1 | |

A diagram of a computer

Description automatically generated

D flipflop trên có D là tín hiệu ngõ vào dữ liệu, CLK là tín hiệu ngõ vào xung clock, PRE\_n là tín hiệu ngõ vào đặt trước giá trị ngõ ra bằng 1, CLR\_n là tín hiệu ngõ vào đặt trước giá trị ngõ ra bằng 0.

* Mô phỏng D flipflop với **chuỗi kiểm tra tương đối dựa theo các câu hỏi bên dưới (PRE\_n và CLR\_n giữ ở logic 1)**:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| D |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

A screenshot of a computer

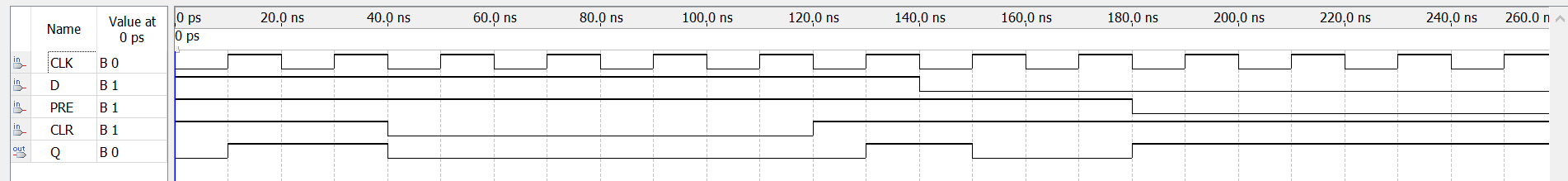
Description automatically generated

* + Tại thời khoảng thời gian CLK = 0 hoặc CLK = 1, thay đổi D liên tục, khi D thay đổi liên tục thì Q có thay đổi theo D hay không?
    - Có:
    - Không:
  + Tại thời điểm CLK chuyển từ 0 sang 1 thì Q thay đổi như thế nào?

|  |
| --- |
| Q thay đổi theo D |

* + Ngõ vào D là đồng bộ hay bất đồng bộ?
    - Đồng bộ:
    - Bất đồng bộ:
* Mô phỏng D flipflop với chuỗi kiểm tra và trả lời các câu hỏi bên dưới:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| D |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| PRE\_n |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLR\_n |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |



* + Ngõ vào PRE\_n là đồng bộ hay bất đồng bộ?
    - Đồng bộ:
    - Bất đồng bộ:
    - Giải thích ngắn gọn:

|  |
| --- |
| Vì khi PRE\_n hoạt động không phụ thuộc CLK  Tín hiệu PRE\_n được ưu tiên xử lý (bất kể CLK là 0 hay 1) |

* + Ngõ vào PRE\_n là tích cực loại nào?
    - Tích cực cạnh lên:
    - Tích cực cạnh xuống:
    - Tích cực mức cao:
    - Tích cực mức thấp:
    - Giải thích ngắn gọn:

|  |
| --- |
| Trên hình có ký hiệu chấm tròn có nghĩa là tích cực mức thấp  Khi chân PRE\_n ở mức tích cực thấp và CLR\_n đang ở 1 sẽ cho đầu Q ra 1 |

* + Ngõ vào CLR\_n là đồng bộ hay bất đồng bộ?
    - Đồng bộ:
    - Bất đồng bộ:
    - Giải thích ngắn gọn:

|  |
| --- |
| Vì CLR\_n không phụ thuộc vào CLK  Tín hiệu CLR\_n sẽ được ưu tiên xử lý (bất kể khi ấy chân CLK đang ở 0 hay 1) |

* + Ngõ vào CLR\_n là tích cực loại nào?
    - Tích cực cạnh lên:
    - Tích cực cạnh xuống:
    - Tích cực mức cao:
    - Tích cực mức thấp:
    - Giải thích ngắn gọn:

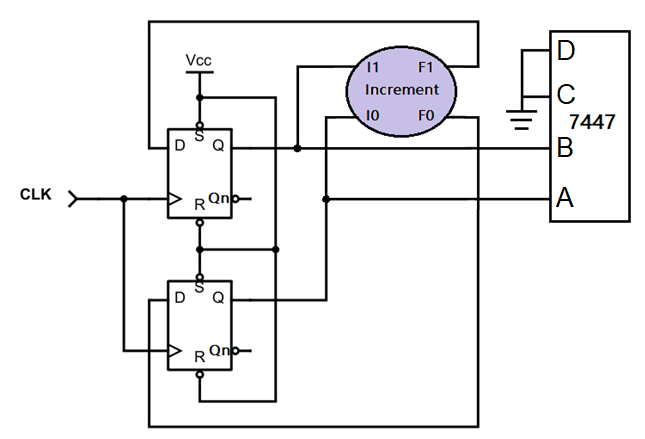
|  |
| --- |
| Trên hình có ký hiệu chấm tròn có nghĩa là tích cực mức thấp  Khi chân CLR\_n ở mức tích cực thấp và CLK\_n đang ở 1 thì sẽ cho đầu Q ra 0 |

Câu 3: Ứng dụng lưu trữ của Register

* Thiết kế Bộ tăng giá trị lên 1 (Increment):
  + Bảng chân trị:

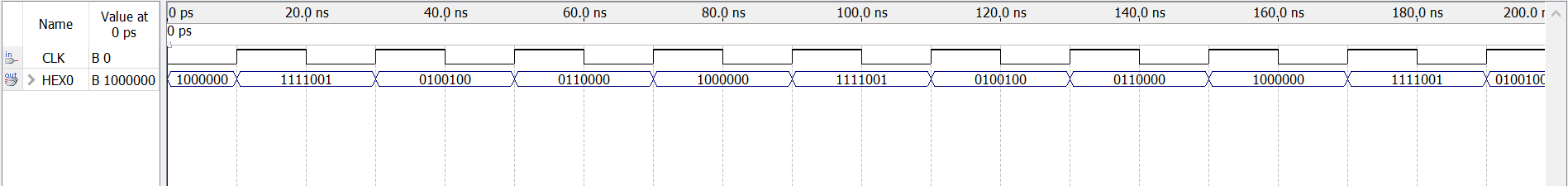
|  |  |  |  |
| --- | --- | --- | --- |
| I1 | I0 | F1 | F0 |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

* + Vẽ sơ đồ mạch và đóng gói trên Quartus:
* Nối mạch có sơ đồ bên dưới trên Quartus:



A diagram of a computer circuit

Description automatically generated

* LED 7 đoạn hiện thị những chữ số theo thứ tự nào? Giải thích hoạt động của mạch?

|  |
| --- |
| Đoạn hiển thị những số theo thứ tự: 0 1 2 3 0 1 2 3 0 …  Xem chân vào CLK như công tắc, khi trị số của chân CLK thay đổi từ 0 lên 1 (kích cạnh lên) thì mạch đếm hoạt động và tăng giá trị trong mạch từ 1 lên đến 3 (1,1) sau đó giá trị trong mạch quay trở về 0 (0,0) |