



Kiểm tra 15'

- Thiết kế bộ đếm xuống đồng bộ dùng **FF-J_K** có xung clock tích cực cạnh xuống và ngõ vào Preset và Clear tích cực thấp.
 - a. MOD-5, trạng thái ban đầu của bộ đếm là **2**, các trạng thái không xuất hiện trong chu trình đếm sẽ chuyển về trạng thái 2

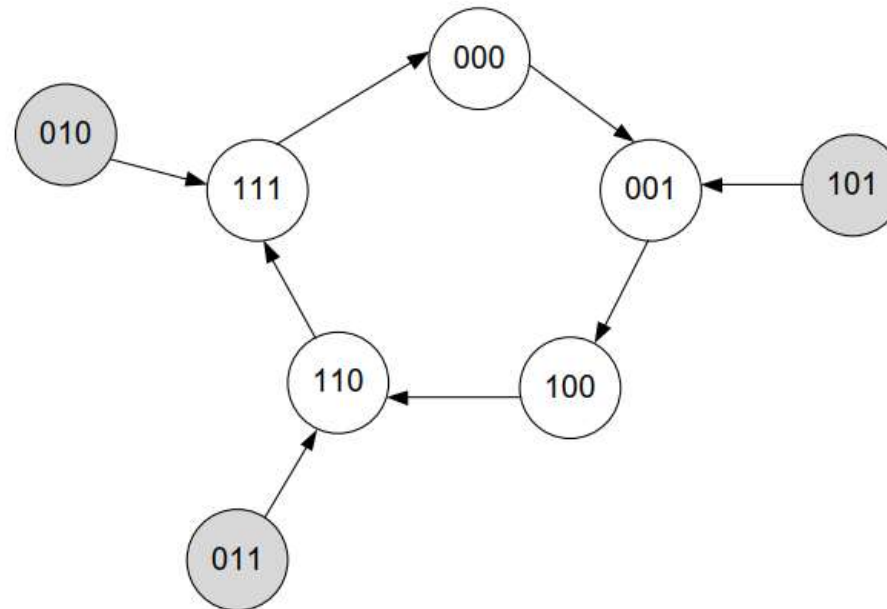
COMPUTER ENGINEERING



Kiểm tra 15'

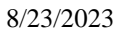
COMPUTER ENGINEERING

- Thiết kế bộ đếm xuống đồng bộ dùng **FF-D** có xung clock tích cực cạnh xuống và ngõ vào Preset và Clear tích cực thấp.





n đồng bộ sa





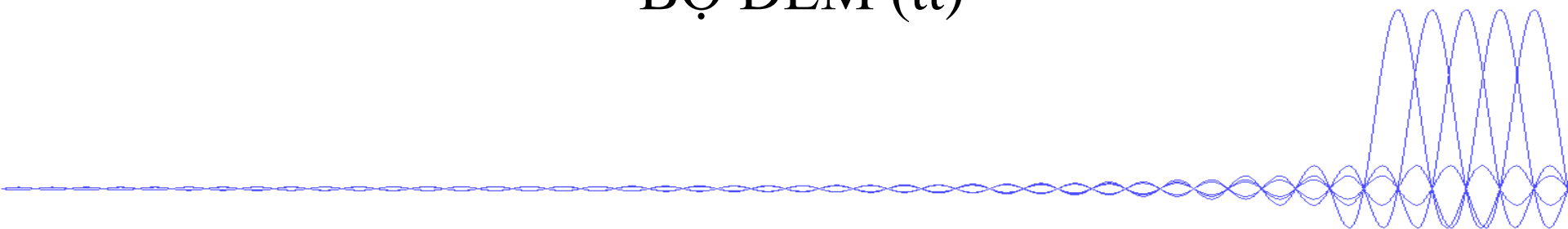
COMPUTER ENGINEERING



UIT
TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN

NHẬP MÔN MẠCH SỐ

CHƯƠNG 6: MẠCH TUẦN TỰ - BỘ ĐẾM (tt)





Nội dung

■ Bộ đếm bất đồng bộ (Asynchronous counters)

- Hệ số của bộ đếm (MOD number)
- Bộ đếm lên/xuống (Up/ Down counters)
- Phân tích và thiết kế bộ đếm bất đồng bộ
- Delay của mạch (Propagation delay)

■ Bộ đếm đồng bộ (Synchronous counters)

- Phân tích bộ đếm đồng bộ (Analyze synchronous counters)
- Thiết kế bộ đếm đồng bộ (Design synchronous counter)

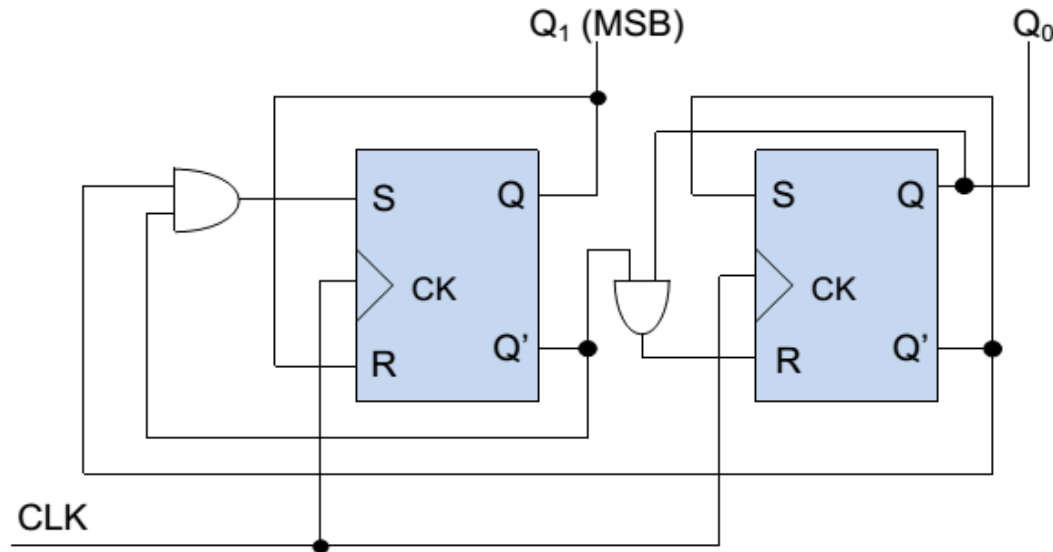
■ Thanh ghi (Register)

Bộ đếm đồng bộ (Synchronous Counters)

- **Bộ đếm đồng bộ** hay **bộ đếm song song** là bộ đếm trong đó các FF được kích đồng thời bởi một xung Clock.
- Tín hiệu Clock được kết nối tới ngõ vào CLK của tất cả các FF trong mạch → Delay của mạch sẽ bằng với delay của mỗi FF.
- Khác với bộ đếm bất đồng bộ, **bộ đếm đồng bộ** có thể được thiết kế để tạo ra *chuỗi đếm bất kì* theo mong muốn của người thiết kế

Phân tích bộ đếm đồng bộ (Analyze Synchronous Counters)

Ví dụ: Phân tích mạch đếm ở hình bên dưới



Bước 1: Tìm phương trình ngõ vào của các FF

$$S_1 = Q'_1 Q'_0$$

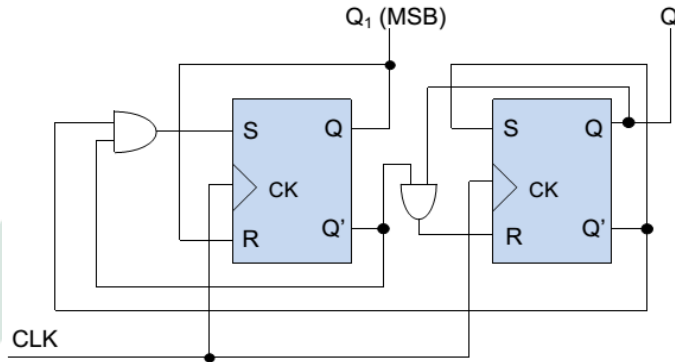
$$S_0 = Q'_0$$

$$R_1 = Q_1$$

$$R_0 = Q'_1 Q_0$$

Phân tích bộ đếm đồng bộ (Analyze Synchronous Counters)

Ví dụ: Phân tích mạch đếm ở hình bên



Bước 2: Lập bảng chuyển trạng thái

$$S_1 = Q'_1 Q'_0$$

$$R_1 = Q_1$$

$$S_0 = Q'_0$$

$$R_0 = Q'_1 Q_0$$

S	R	CLK	Q	Q'
0	0	f	last Q	last Q'
0	1	f	0	1
1	0	f	1	0
1	1	f	x	x

Bảng sự thật FF-S_R

TTHT Q ₁ Q ₀	Ngõ vào S ₁ R ₁ S ₀ R ₀				TTKT Q ⁺ ₁ Q ⁺ ₀
0 0	-	-	-	-	- -
0 1	-	-	-	-	- -
1 0	-	-	-	-	- -
1 1	-	-	-	-	- -

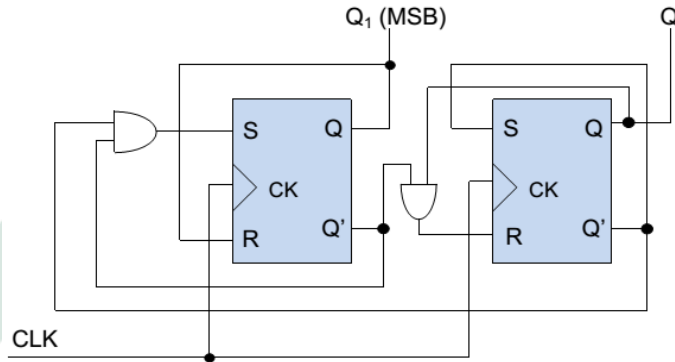
Bảng chuyển trạng thái

TTHT: Trạng thái hiện tại (Current State)

TTKT: Trạng thái kế tiếp (Next State)

Phân tích bộ đếm đồng bộ (Analyze Synchronous Counters)

Ví dụ: Phân tích mạch đếm ở hình bên dưới



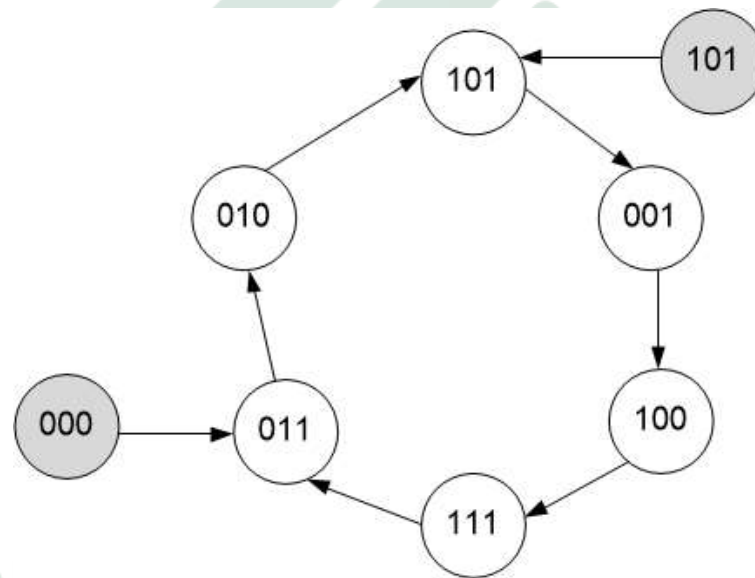
Bước 3: Vẽ lưu đồ chuyển trạng thái của bộ đếm

TTHT $Q_1 Q_0$	Ngõ vào		TTKT $Q_1^+ Q_0^+$
	$S_1 R_1$	$S_0 R_0$	
0 0	1 0	1 0	1 1
0 1	0 0	0 1	0 0
1 0	0 1	1 0	0 1
1 1	0 1	0 0	0 1



Thiết kế bộ đếm đồng bộ (Design Synchronous Counter)

- **Bộ đếm đồng bộ** có thể được thiết kế để tạo ra chuỗi đếm bất kì theo mong muốn của người thiết kế



Thiết kế bộ đếm đồng bộ?

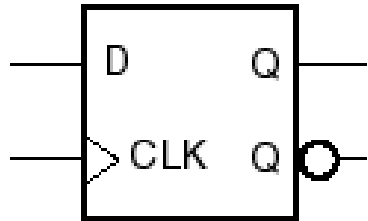


Mô tả đầy đủ của một Flip-flop

- FF có thể được mô tả bằng *ký hiệu hình học, bảng sự thật, bảng đặc tính, phương trình đặc tính* hoặc *bảng kích thích*
- **Bảng đặc tính:** Một bảng chỉ ra trạng thái kế tiếp như một hàm của trạng thái hiện tại và ngõ vào của của mỗi FF
- **Phương trình đặc tính:** Một biểu thức chỉ ra quan hệ của trạng thái kế tiếp theo trạng thái hiện tại và ngõ vào của mỗi FF
- **Bảng kích thích:** Một bảng liệt kê các yêu cầu ngõ vào (*input*) để FF chuyển từ trạng thái hiện tại đến trạng thái kế tiếp



Các kiểu mô tả của FF-D



Ký hiệu

D	CLK	Q	Q \bar{N}
0		0	1
1		1	0

Bảng sự thật

D	Q $_{(next)}$
0	0
1	1

Bảng đặc tính

Q	Q $_{(next)}$	D
0	0	0
0	1	1
1	0	0
1	1	1

Bảng kích thích

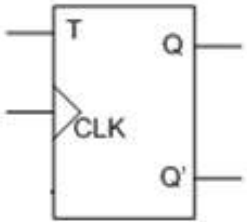
D	Q	Q $^{+}$
0	0	0
0	1	0
1	0	1
1	1	1

$$Q_{(next)} = D$$

Phương trình đặc tính



Các kiểu mô tả của FF-T



Ký hiệu

T	CLK	Q	Q'
0	f	last Q	last Q'
1	f	Q'	Q

Bảng sự thật

T	Q _(next)
0	Q
1	Q'

Bảng đặc tính

Q	Q _(next)	T
0	0	0
0	1	1
1	0	1
1	1	0

Bảng kích thích

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0

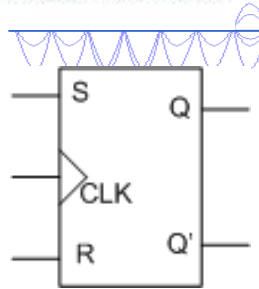
$$Q_{(next)} = TQ' + T'Q$$

$$Q^+ = T \oplus Q$$

Phương trình đặc tính



Các kiểu mô tả của FF-SR



Ký hiệu

S	R	CLK	Q	Q'
0	0	f	last Q	last Q'
0	1	f	0	1
1	0	f	1	0
1	1	f	x	x

Bảng sự thật

S	R	Q _(next)
0	0	Q
0	1	0
1	0	1
1	1	?

Bảng đặc tính

Q	Q _(next)	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Bảng kích thích

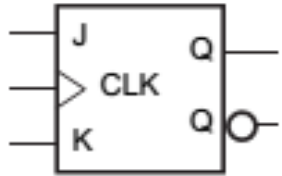
S	R	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

$$Q_{(next)} = S + R'Q$$

Phương trình đặc tính



Các kiểu mô tả của FF-JK



Ký hiệu

J	K	CLK	Q	QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		last QN	last Q

Bảng sự thật

J	K	$Q_{(next)}$
0	0	Q
0	1	0
1	0	1
1	1	Q'

Bảng đặc tính

Q	$Q_{(next)}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Bảng kích thích

J	K	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$Q_{(next)} = JQ' + K'Q$$

Phương trình đặc tính



Thiết kế bộ đếm đồng bộ

Ví dụ: Sử dụng FF-J_K để thiết kế một bộ đếm có chuỗi đếm như bảng bên cạnh

Lưu ý: *Thuộc tính* (đếm lên/xuống) của **bộ đếm đồng bộ** chỉ phụ thuộc vào trạng thái hiện tại và trạng thái kế tiếp mà *không quan tâm* đến tính chất của FF (kích cạnh lên/xuống)

→ Khác với bộ đếm bất đồng bộ

C	B	A
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
0	0	0
etc.		

❑ **Bước 1:** Tìm số FF nhỏ nhất thỏa yêu cầu bài toán

Do chu trình đếm 0-1-2-3-4-0-... nên số FF tối thiểu phải là 3



Thiết kế bộ đếm đồng bộ

❑ Bước 2: Vẽ biểu đồ chuyển trạng thái (state diagram) của bộ đếm

Lưu ý: - vẽ tất cả các trạng thái có thể

- những trạng thái không có trong chu trình đếm, có thể cho chuyển đến một trạng thái có trong chu trình đếm

C	B	A
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
0	0	0
etc.		



Thiết kế bộ đếm đồng bộ

❑ Bước 3: Lập **bảng trạng thái** (state table)

- Sử dụng biểu đồ chuyển trạng thái để lập một bảng bao gồm các trạng thái hiện tại và trạng thái kế

CLK	TTHT				TTKT		
	C	B	A		C ⁺	B ⁺	A ⁺
1	0	0	0				
2	0	0	1				
3	0	1	0				
4	0	1	1				
5	1	0	0				
6	1	0	1				
7	1	1	0				
8	1	1	1				

Bảng trạng thái của mạch



Thiết kế bộ đếm đồng bộ

❑ Bước 4: Lập bảng kích thích của mạch (circuit excitation table)

- Dựa vào trạng thái hiện tại và trạng thái kế tiếp, thêm các cột giá trị ngõ vào mỗi FF vào bên phải bảng chuyển trạng thái

CLK	TTHT				TTKT				Ngõ vào các FF					
	C	B	A		C ⁺	B ⁺	A ⁺		J _C	K _C	J _B	K _B	J _A	K _A
1	0	0	0											
2	0	0	1											
3	0	1	0											
4	0	1	1											
5	1	0	0											
6	1	0	1											
7	1	1	0											
8	1	1	1											

Bảng kích thích của mạch

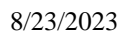


Thiết kế bộ đếm đồng bộ

- **Bước 5:** Sử dụng bìa Karnaugh (bìa K) để tìm *phương trình ngõ vào* của các FF được sử dụng



❑ Bước 6: Vẽ mạch cần thiết kế





Câu hỏi thảo luận?

Đúng hay Sai?

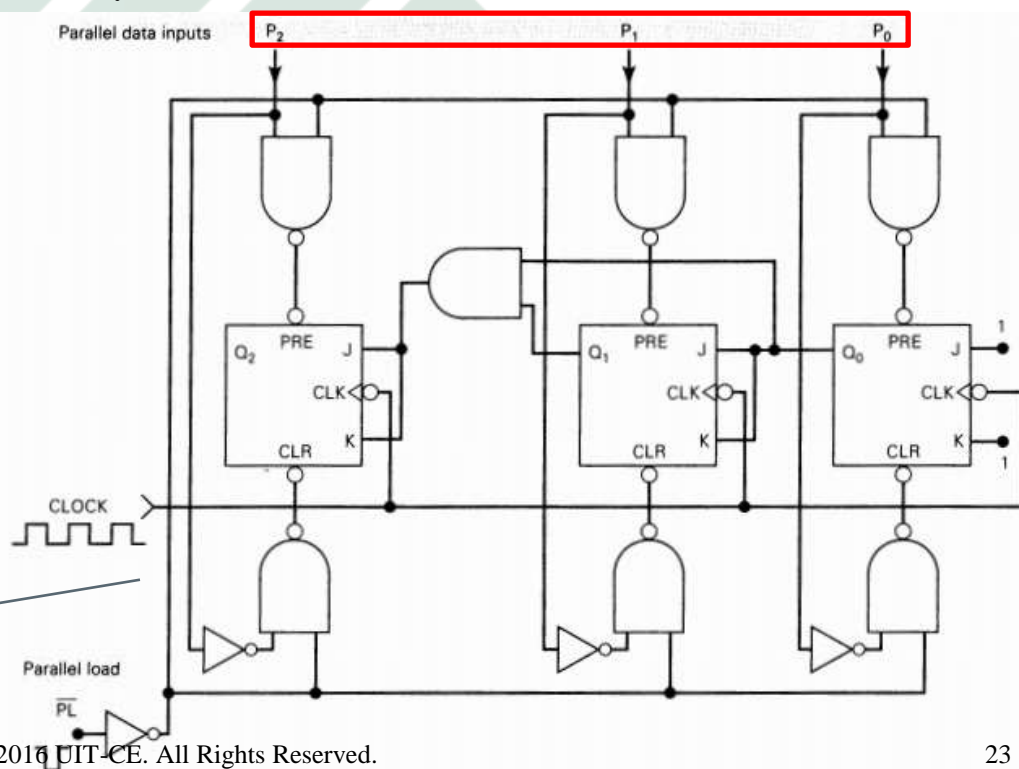
1. Thiết kế bộ đếm đồng bộ để thực hiện chuỗi đếm sau:
0010, 0011, 0100, 0111, 1010, 1111, và lặp lại.
2. Thiết kế bộ đếm đồng bộ để thực hiện chuỗi đếm sau:
0010, 0011, 0100, 0111, 1010, 0100, 1111 và lặp lại



Bộ đếm có khả năng định giá trị ban đầu

- **Bộ đếm có khả năng định giá trị ban đầu** là bộ đếm có thể định giá trị ban đầu trước khi bộ đếm hoạt động.
 - Việc định giá trị ban đầu có thể thực hiện đồng bộ hoặc bất đồng bộ
- Thao tác định giá trị ban đầu cho bộ đếm còn được gọi là nạp dữ liệu song song (parallel loading) cho bộ đếm

1. Đưa giá trị dữ liệu mong muốn vào các ngõ vào song song ($P_2P_1P_0$)
2. Điều khiển $\overline{PL} = 0$ để nạp dữ liệu ban đầu vào bộ đếm



Bộ đếm lên đồng bộ

nạp dữ liệu song song bất đồng bộ



Câu hỏi thảo luận?

- Thế nào là bộ đếm có khả năng định giá trị ban đầu?
- Mô tả sự khác nhau giữa định giá trị theo kiểu đồng bộ (synchronous presetting) và theo kiểu bất đồng bộ (asynchronous presetting)?

COMPUTER ENGINEERING



Nội dung

■ Bộ đếm bất đồng bộ (Asynchronous counters)

- ☐ Hệ số của bộ đếm (MOD number)
- ☐ Bộ đếm lên/xuống (Up/ Down counters)
- ☐ Phân tích và thiết kế bộ đếm bất đồng bộ
- ☐ Delay của mạch (Propagation delay)

■ Bộ đếm đồng bộ (Synchronous counters)

- ☐ Phân tích bộ đếm đồng bộ (Analyze synchronous counters)
- ☐ Thiết kế bộ đếm đồng bộ (Design synchronous counter)

■ Thanh ghi (Register)

Truyền dữ liệu thanh ghi (Register Data Transfer)

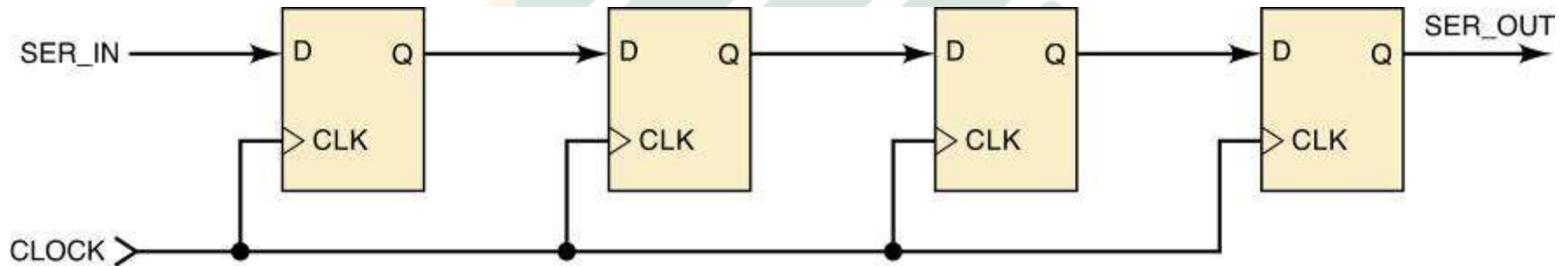
- **Thanh ghi nối tiếp (Serial register):** dữ liệu được nạp vào thanh ghi theo dạng nối tiếp từ phải sang trái hoặc từ trái sang phải
- **Thanh ghi song song (Parallel register):** dữ liệu được nạp vào thanh ghi theo dạng song song.

COMPUTER ENGINEERING



Thanh ghi nối tiếp

Ngõ vào nối tiếp - ngõ ra nối tiếp (SISO) (serial in/serial out)

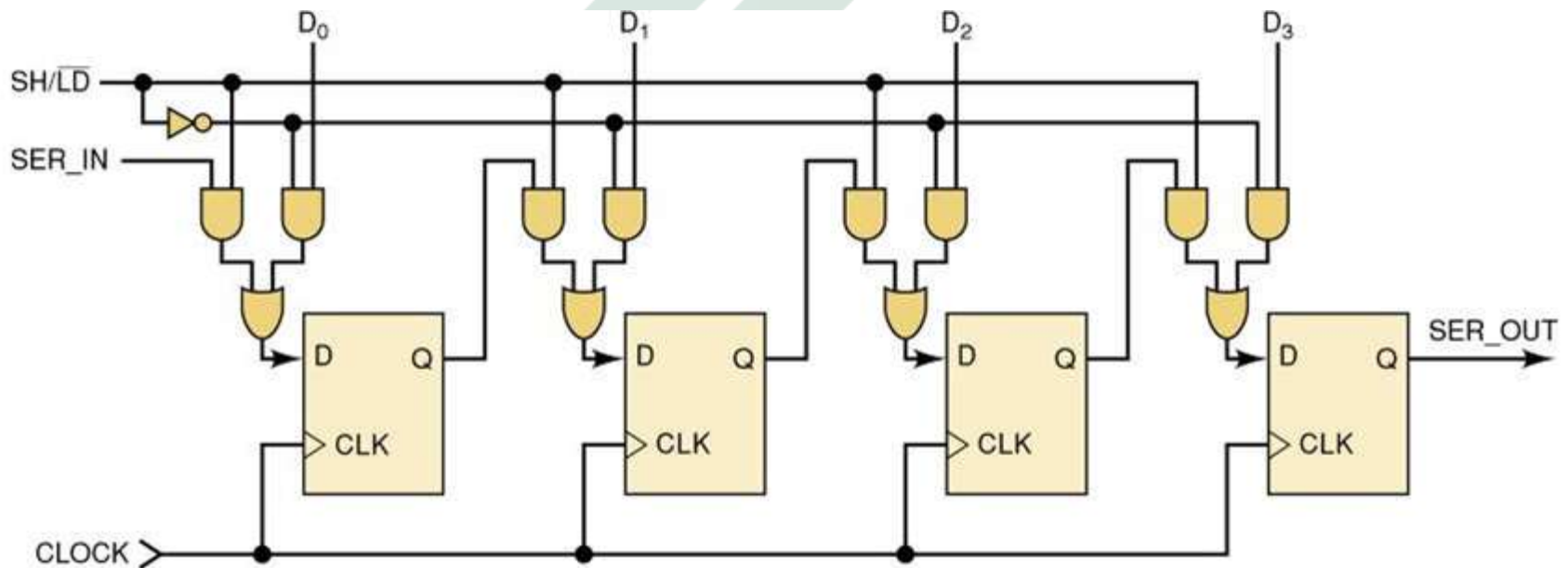


COMPUTER ENGINEERING



Thanh ghi nối tiếp

Ngõ vào song song - ngõ ra nối tiếp (PISO) (Parallel in/serial out)



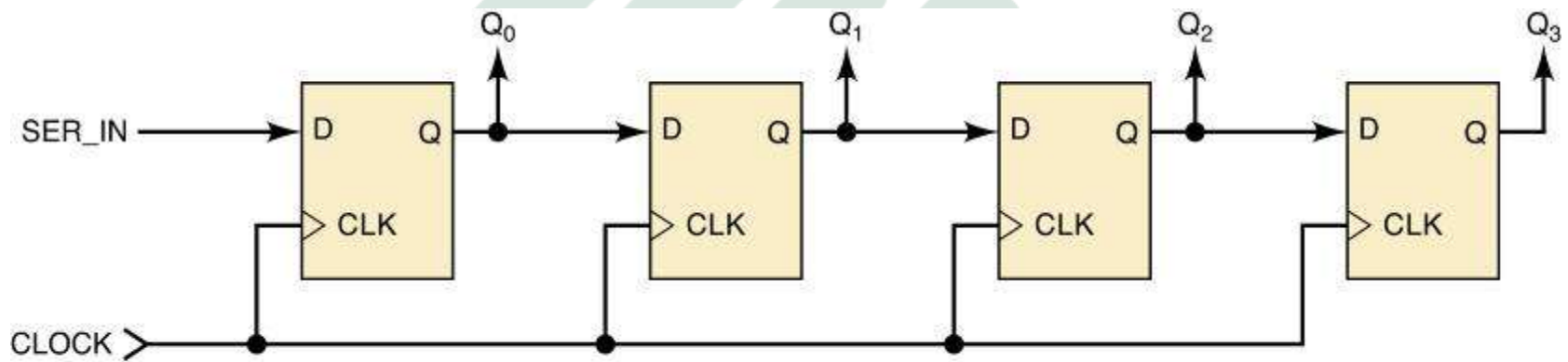
$\overline{SH/LD} = 0 \rightarrow$ parallel in/serial out

$\overline{SH/LD} = 1 \rightarrow$ serial in/serial out



Thanh ghi nối tiếp

Ngõ vào nối tiếp - ngõ ra song song (SIPO) (serial in/parallel out)

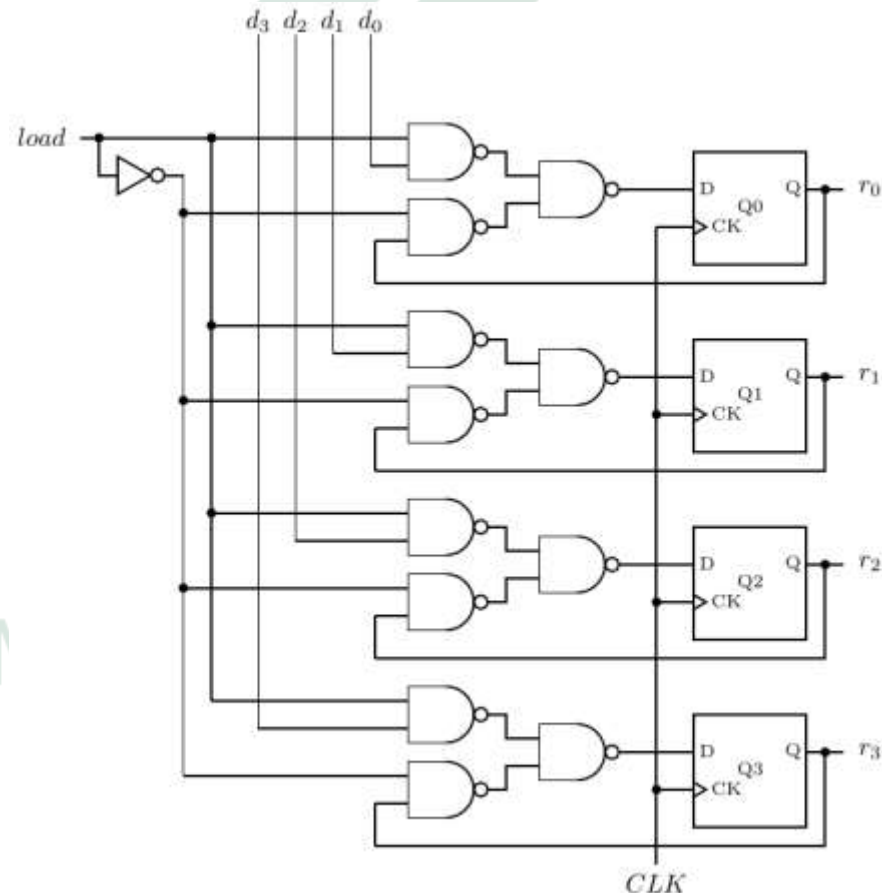


COMPUTER ENGINEERING



Thanh ghi song song

- **Thanh ghi song song (Parallel register):** dữ liệu được nạp vào thanh ghi theo dạng song song, khi không nạp giá trị ngõ ra được giữ nguyên





Tóm tắt nội dung chương học

■ Qua Phần 3 - Chương 6, sinh viên cần nắm những nội dung chính sau:

- ☐ Phương pháp thiết kế, phân tích mạch tuần tự: các bộ đếm đồng bộ
- ☐ Kiểm chứng thiết kế bằng vẽ giản đồ xung
- ☐ Ưu và khuyết điểm của bộ đếm đồng bộ
- ☐ Chức năng, hoạt động và ứng dụng của các thanh ghi

COMPUTER ENGINEERING



COMPUTER ENGINEERING



UIT
TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN

Thảo luận?

