**西安电子科技大学**

计算机组成与结构课程设计

**课程实验报告**

**实验名称**

实验四 程序计数器PC和地址寄存器AR实验

学院 班

计算机科学与技术

成 绩

姓名 学号

同作者

6

2024

实验日期 年 月 日

E-II-312

实验地点实验批次

|  |
| --- |
| 指导教师评语：  指导教师：  年 月 日 |
| **实验报告内容基本要求及参考格式**  一、实验目的  二、实验所用仪器（或实验环境）  三、实验基本原理及步骤（或方案设计及理论计算）  四、实验数据记录（或仿真及软件设计）  五、实验结果分析及回答问题（或测试环境及测试结果） |

# 实验目的

* 1. 掌握地址单元的工作原理。
  2. 掌握程序计数器的两种工作方式，加1计数和重装计数器初值的实现方法。
  3. 掌握地址寄存器从程序计数器获得数据和从内部总线获得数据的实现。

# 实验环境

* 1. 计算机组成与结构实验箱，芯片EP3C40Q240.
  2. Quartus II 9.0.

# 实验原理

* 1. 地址单元主要由三部分组成：程序计数器、地址寄存器和多路开关。
  2. 程序计数器PC用以指出下一条指令在主存中的存放地址，CPU正是根据PC的内容去存取指令的。因程序中指令是顺序执行的，所以PC有自增功能。程序计数器提供下一条程序指令的地址，在T4时钟脉冲的作用下具有自动加1的功能。
  3. 在LDPC信号的作用下可以异步预置计数器的初值（如子程序调用或中断响应等）。当LDPC为高电平时，计数器装入data[ ]端输入的数据。aclr是计数器的异步清0端，高电平有效（高电平清零）；aclr为低电平时，允许计数器正常计数。
  4. 地址寄存器 AR(74273) 锁存访问内存 SRAM 的地址。273中的地址来自两个渠道。一是程序计数器 PC 的输出，通常是下一条指令的地址；二是来自于内部数据总线的数据，通常是被访问操作数的地址。

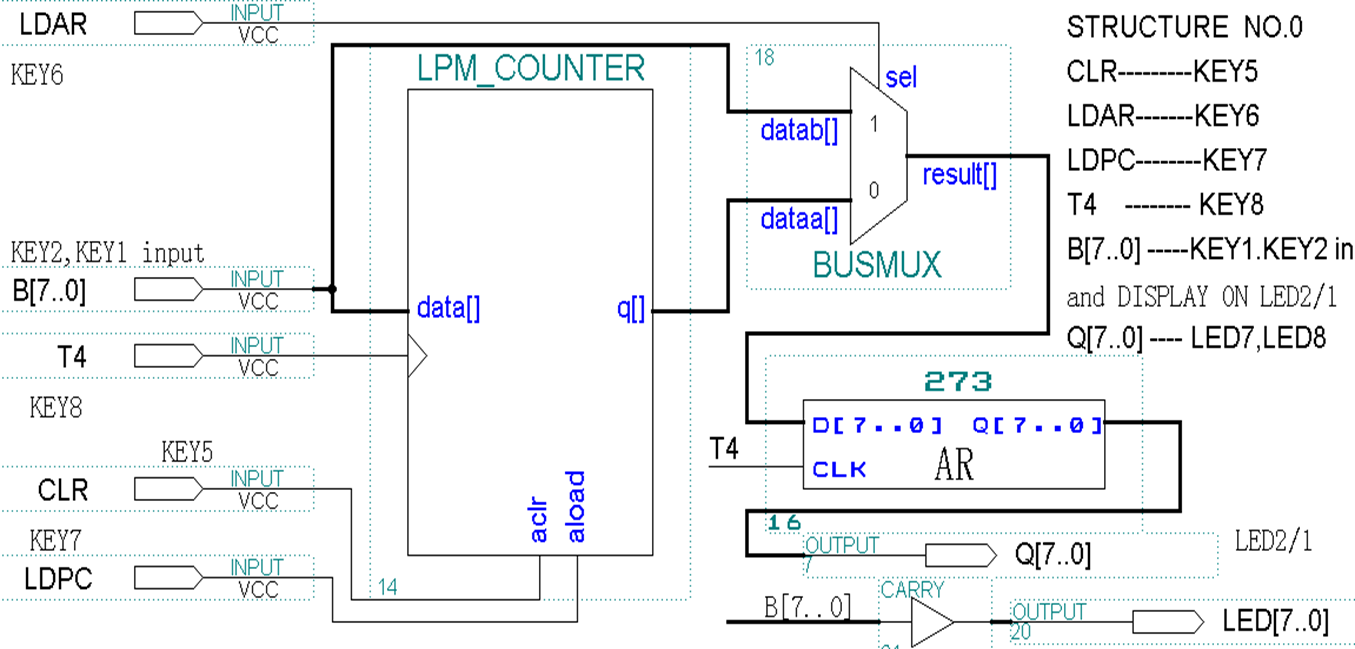


图 1 PC和AR实验电路工作原理

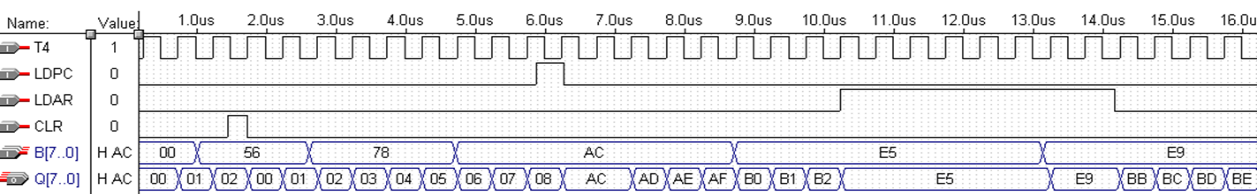


图 2 PC和AR实验电路仿真波形

# 实验步骤

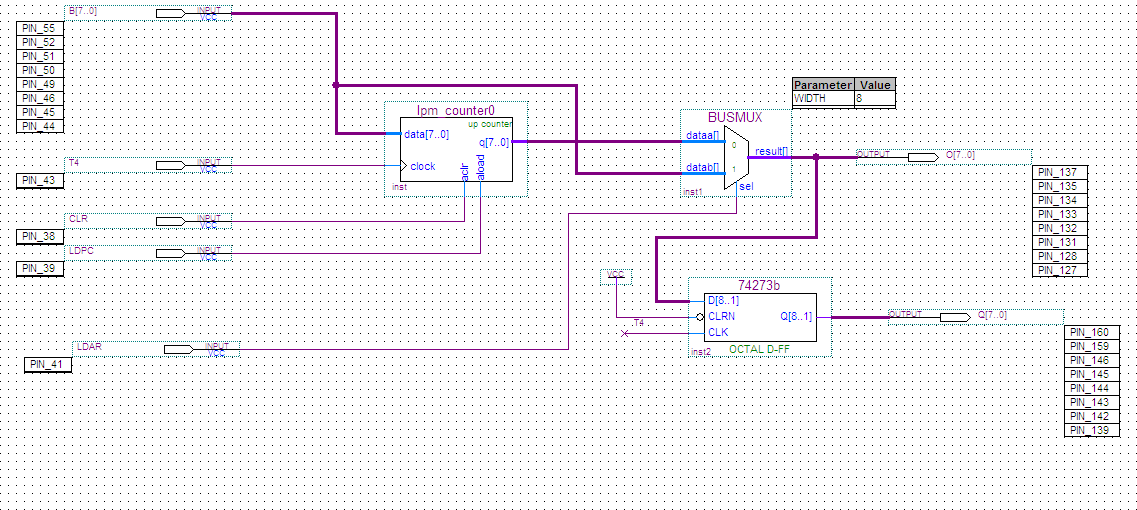
* 1. 新建Quartus II工程文件，选择设备为Cyclone III的EP3C40Q240。
  2. 新建图形电路文件Block Diagram/Schematic File，保存文件与工程同名。
  3. 双击插入lpm\_counter作为PC，宽度8位，选中异步置数端aload和异步清零端aclr，并插入74273b作为地址寄存器，插入BUSMUX作为AR的选择器，做相应的电路连接。
  4. 双击插入内部总线输入B[7..0]、时钟输入端T4、置数端LDPC与LDAR、清零端CLR、状态输出端Q[7..0]和中间状态O[7..0]，增加中间状态输出便于观察。

图 7 电路图

* 1. 编译项目。
  2. 创建Vector Waveform File仿真文件，导入引脚，设置输入波形。
  3. 使用Proceessing -> Simulator Tool 进行功能仿真。
  4. 分配引脚，使用Assignments -> Pin Planner，使用模式0，配置时钟T4为键8，LDPC键7，LDAR键6，CLR键5，内部总线输入B[7..0]为键1键2，中间状态输出为数码管5、6，AR输出为数码管7、8。
  5. 使用Programmer编程下载到FPGA，使用模式0进行测试。

# 实验数据记录

仿真结果如图：

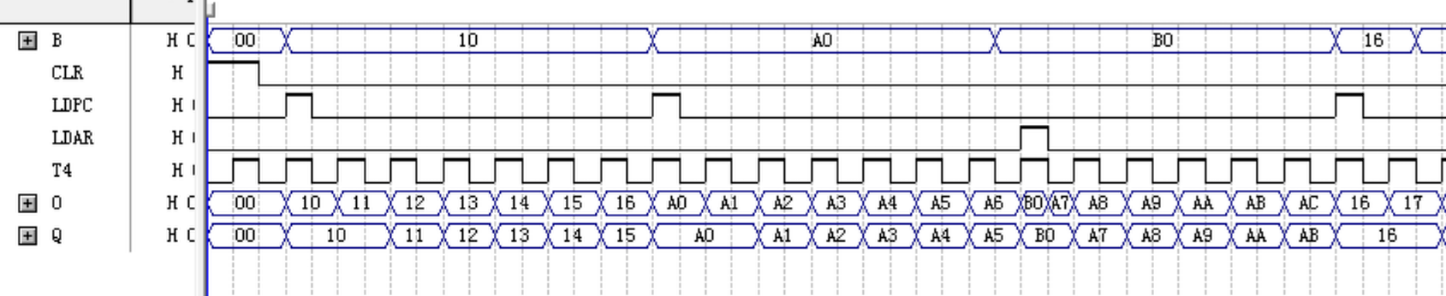


图 8 仿真波形图1

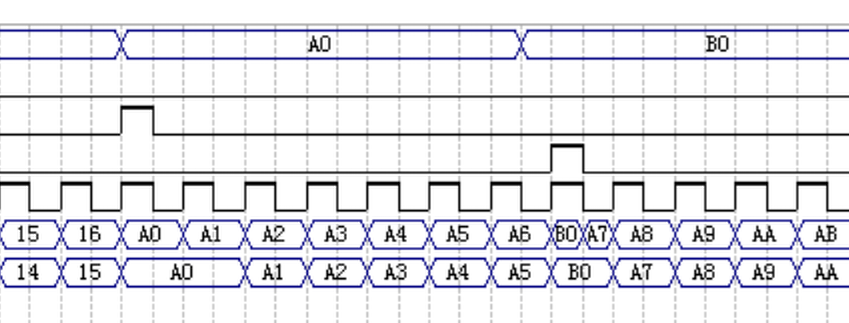


图 9 仿真波形图 2

实验箱测试结果如图：



图 10 测试结果 对AR进行置数

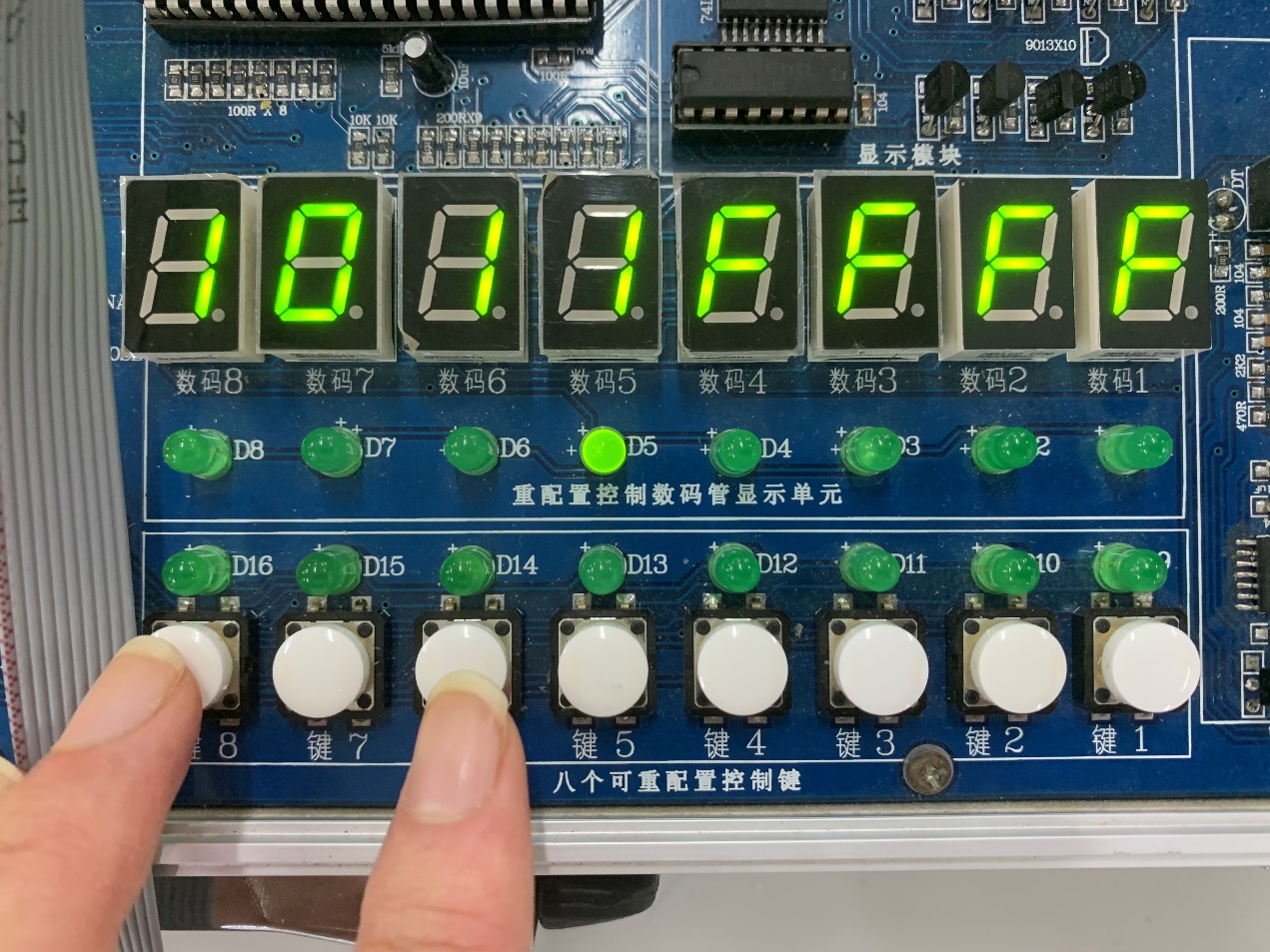


图 11 测试结果 置数后

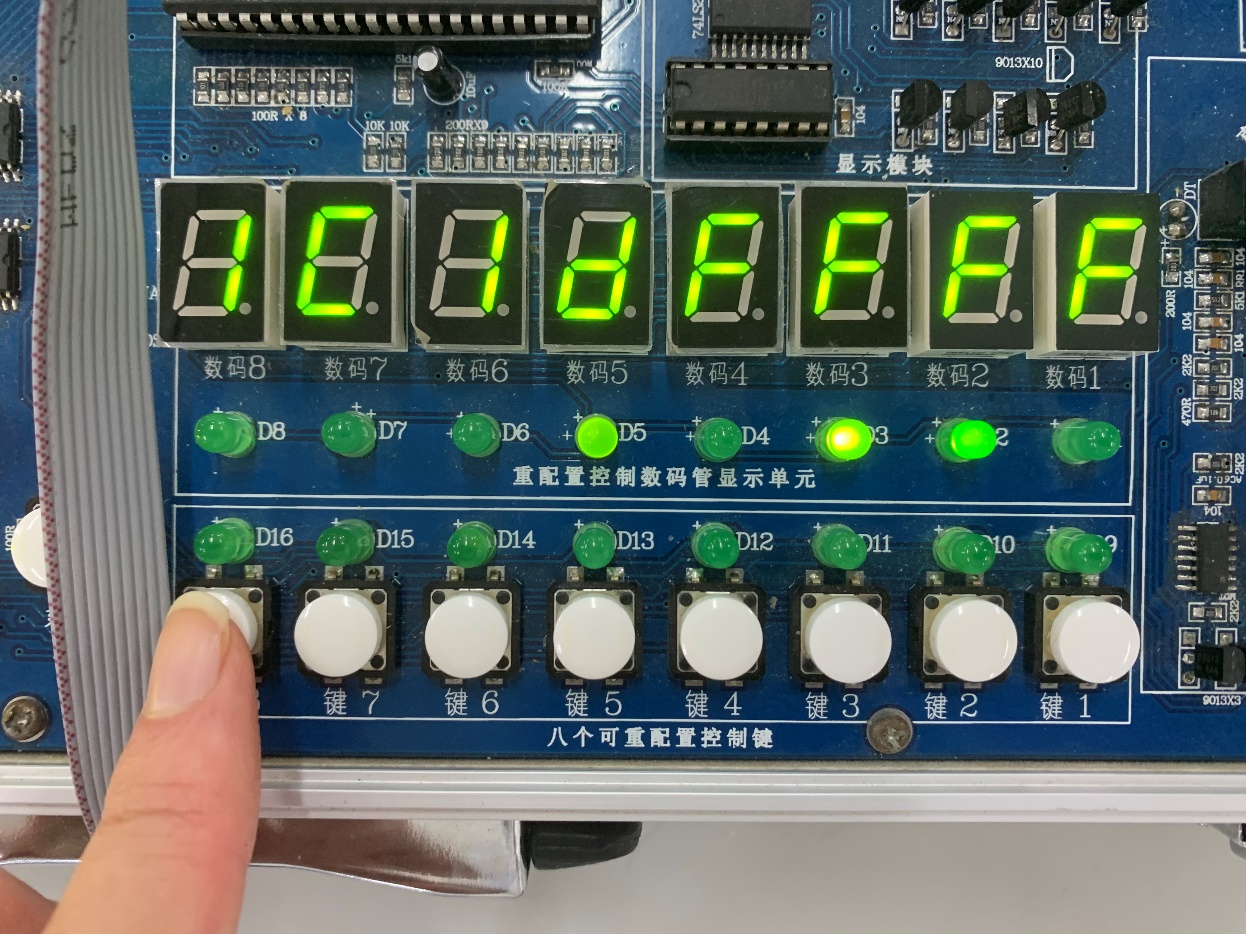
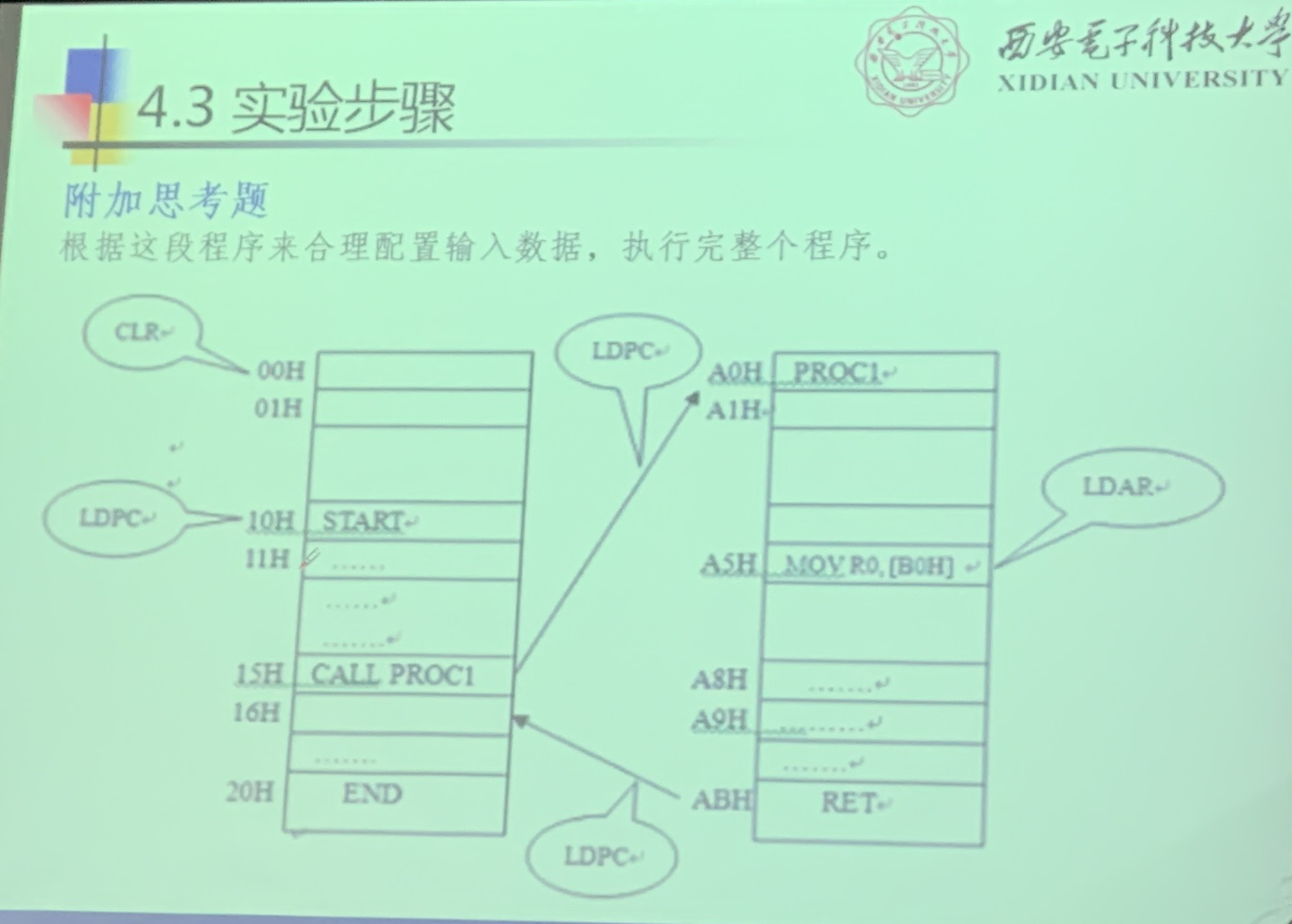


图 12 测试结果 计数中

# 实验结果分析

仿真结果说明：



在启动（CLR）00H后，对PC进行置数跳转到10H，顺序执行到15H（此时PC为下一条指令16H）进行子程序调用跳转到A0H，在A5H将AR设置为B0H进行内存操作数读取，到ABH（PC为ACH）返回到16H。

可以看出实现了程序仿真，同时正确实现了程序计数器PC与地址寄存器AR。

遇到的问题：

无

# 心得体会

这次实验使我对计算机组成与结构与程序计数器PC地址寄存器AR有了更好的认识，令我了解了计算机的计数方式和内存读取方式，同时也使我对Quartus II工具和计算机组成实验箱更加熟悉。