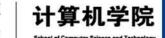


# 西安电子科技大学 计算机学院 计算机专业实践中心

### 数字系统设计基础实验

2024年3月11日 14:10:40

## ■实验二 组合逻辑电路设计







Unartus II 软件设计基本流程

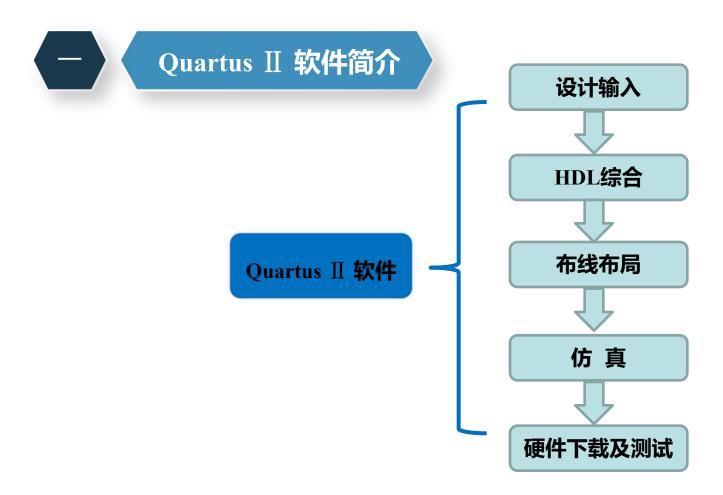
三 Quartus II 软件应用实例



#### Quartus II 软件简介

• Quartus II是由Intel公司(2015年收购Altera) 开发的一款集成电路设计软件,用于数字电路设计和FPGA编程。它提供了一个全面的设计环境,包括原理图编辑器、逻辑综合工具、时序分析工具、仿真工具和布局布线工具等,可以帮助工程师设计和验证各种数字电路。









分析和综合

适配

Quartus II 软件

装配

时序分析



#### 计算机学院

### EDA仿真软件使用



Quartus II 软件简介

图形输入

Quartus II **软件** 

文本输入

功能仿真

Print

Pr

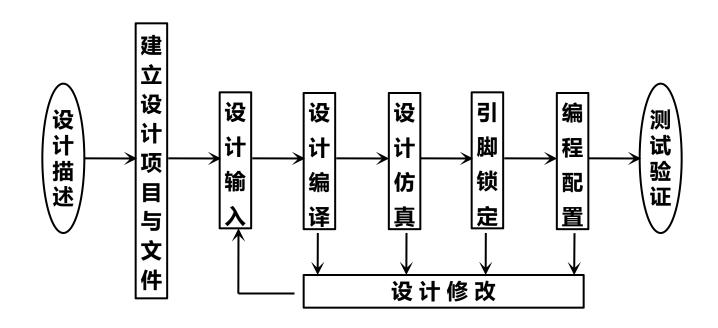




Quartus II 软件设计基本流程



#### Quartus II 软件设计基本流程



#### 二、设计基本流程



Quartus II 软件应用实例

# 实验二 组合逻辑电路设计一



### (一)逻辑单元电路的波形仿真

利用EDA工具Quartus-II的原理图输入法,分别输入74138、7483图元符号;建立74138、7483的仿真波形文件,并进行波形仿真,记录波形;分析74138、7483逻辑关系。

- 1). 3-8译码器74138的波形仿真
- 2). 4位二进制加法器7483的波形仿真

4位二进制加法器集成电路 74LS83中

,A和B是两个4位二进制数的输入端,Cout, S3,S2,S1,S0是5位输出端。Cin是进位输入端,而Cout是进位输出端。



### (二) 简单逻辑电路设计

根据题目要求,利用EDA工 具Quartus-II的原理图输入法,输 入设计的电路图;建立相应仿真波 形文件,并进行波形仿真,记录波 形和输入与输出的时延差;分析设 计电路的正确性。

### 1. 设计一个2-4译码器

#### 2-4译码器功能表如下

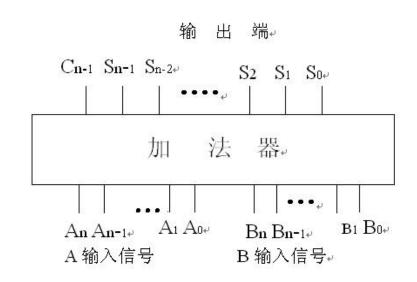
输入			输出			
Е	A1	A2	Q0	Q1	Q2	Q3
1	Ф	Ф	1	1	1	1
0	0	0	0	1	1	1
	0	1	1	0	1	1
	1	0	1	1	0	1
	1	1	1	1	1	0

E为允许使能输入线,A1、A2为译码器输入,Q0、Q1、Q2、Q3分别为输出, Φ为任意状态。

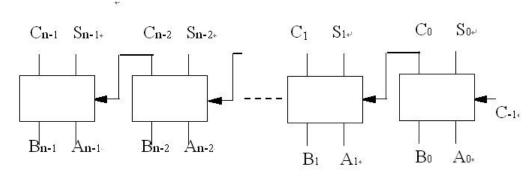
### 2.设计并实现一个4位二进制全加器

(1) 二进制全加器原理

一个n位二进制加 法运算数字电路是由1 个半加器和(n-1)个 全加器组成。它把两个 n位二进制数作为输入 信号。产生一个(n+ 1) 位二进制数作它的 和。如图所示。



#### 用全加器构成的n位二进制加法器



图中A和B是用来相加的两个n位输入信号,Cn-1,Sn-1,Sn-2,……S2,S1,S0是它们的和。在该电路中对A0和B0相加是用一个半加器,对其它位都用全加器。如果需要串接这些电路以增加相加的位数,那么它的第一级也必须是一个全加器。

#### (2) 设计步骤

①设计1位二进制全加器,逻辑表达式如下:

 $S_n=A_n\oplus B_n\oplus C_{n-1}$ 

 $C_n = A_n \cdot B_n + C_{n-1}(A_n \oplus B_n)$ 

An是被加数,Bn是加数,Sn是和数,Cn是向高位的进位,Cn-1是低位的进位。

②利用1位二进制全加器构成一个4位二进制 全加器