

電機一乙 數位邏輯實習

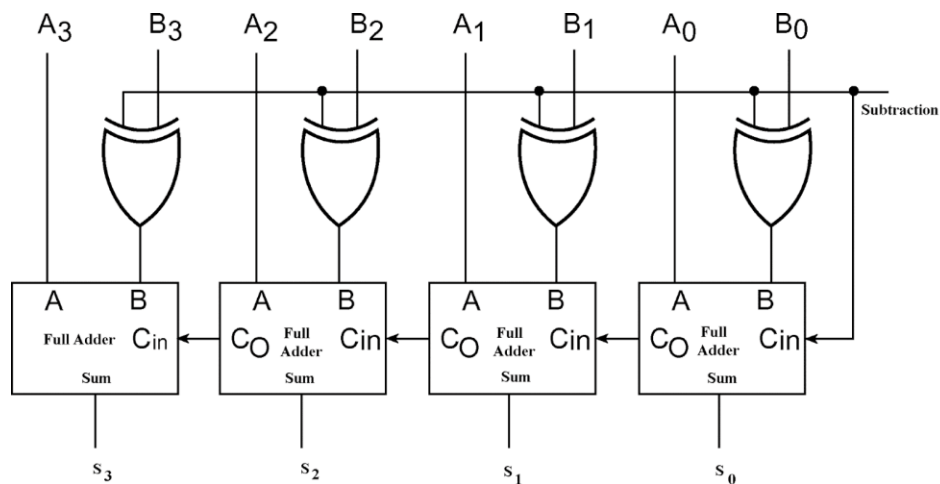
第三週實習作業報告

I. 實驗目的與原理

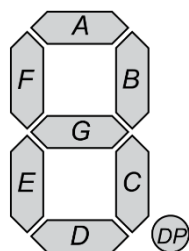
A. 作業 1

設計一個完整的 4 位元加減法器(圖一)，並輸出到解碼器後接上七段顯示器(圖二)。

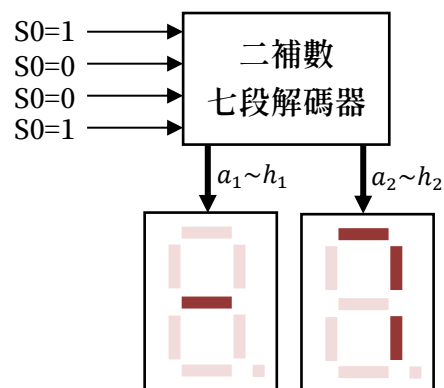
七段顯示器解碼器的輸入為前面加減法器輸出 (S0-3、C4)，將 S0-3 作為二的補數，並透過連接兩個七段顯示器，顯示十進位的數值。



圖一：四位元加減法器



圖二：七段顯示器腳位

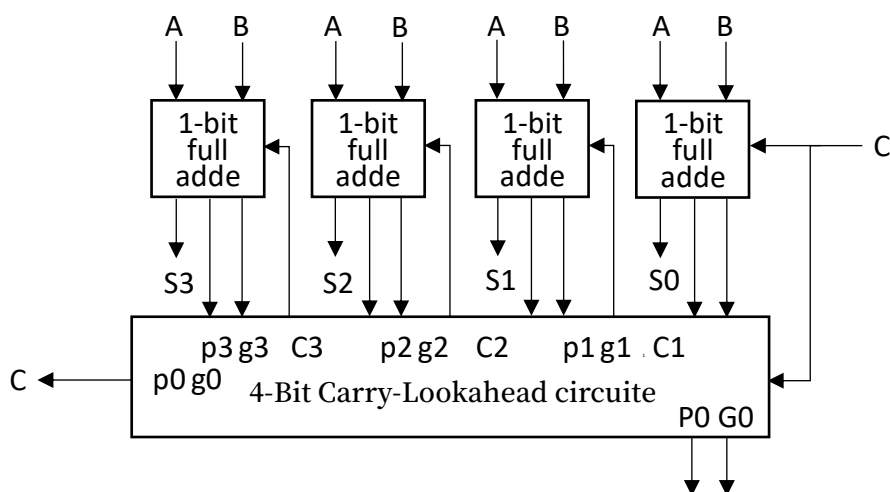


圖三：二補數七段解碼器連接示意圖

B. 作業 2

設計一 4-Bit Carry-Lookahead circuit 前瞻進位電路。將此電路與四位元加法器串聯（圖四），並利用 Single Gate Simulation 證明此電路的功能。

前瞻進位電路作用在於，在運算一開始就得到每個加法器所需之進位數值，不需要依賴前一級加法器的結果才能進行運算。



圖四：4-Bit 前瞻進位電路

II. 實驗過程

A. 作業 1

1. 四位元加減法器

先列出全加器各輸出之真值表(圖五)及布林代數式(圖六、七)，按照布林代數式製作電路(圖八)後進行封裝，並將四個全加器的 C_i 、 C_o 互相連接，得到四位元加法器。接著在全加器輸入端 B 前加上 XOR 閘，使得 B 與 1 經過 XOR 後反向，變為減法器，與 0 XOR 後則不變，完成四位元加減法器(圖九)。

A	B	C_i	C_o	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

圖五：真值表 1

C_i	0	1
AB		
00	0	0
01	0	1
11	1	1
10	0	1

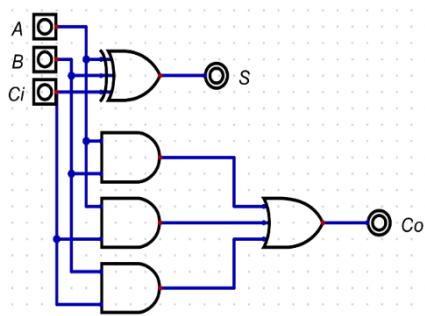
圖六：卡諾圖化減(C_o)

C_i	0	1
AB		
00	0	1
01	1	0
11	0	1
10	1	0

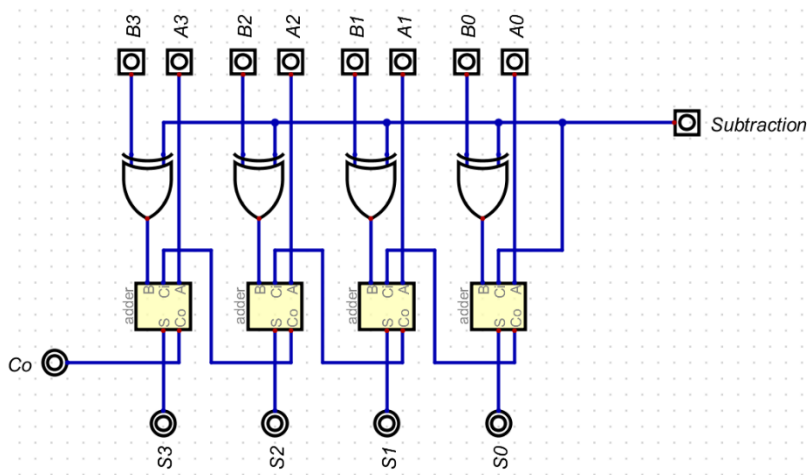
圖七：卡諾圖(S)

$$S(\text{sum}) = A \oplus B \oplus C$$

$$C_o(\text{carryout}) = AC_i + BC_i + AB$$



圖八：加法器電路圖



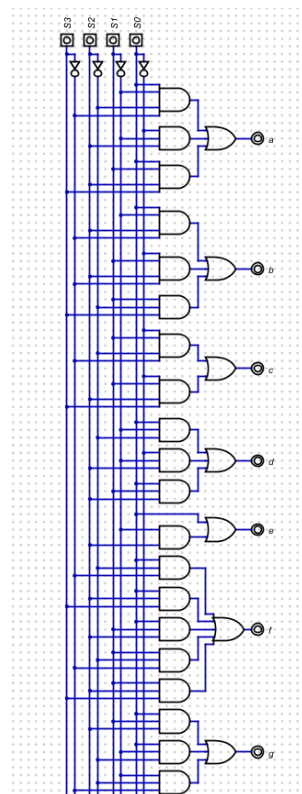
圖九：加減法器電路圖

2. 二補數七段解碼器

在製作二補數七段解碼器的部分，我們換了一種設計電路的方式，同樣先列出真值表，只是不進行卡諾圖化簡，而是直接將真值表輸入 Digital 後(圖十)，再交由電腦來規劃電路(圖十一)，雖然使用的邏輯閘較多，但可以節省時間。

	S3	S2	S1	S0	a	b	c	d	e	f	g
	0	0	0	0	0	0	0	0	0	0	1
	0	0	0	1	1	0	0	1	1	1	1
	0	0	1	0	0	0	1	0	0	1	0
	0	0	1	1	0	0	0	0	1	1	0
	0	1	0	0	1	0	0	1	1	0	0
	0	1	0	1	0	1	0	0	1	0	0
	0	1	1	0	0	1	0	0	0	0	0
	0	1	1	1	0	0	0	1	1	1	1
負數	1	0	0	0	0	0	0	0	0	0	0
	1	0	0	1	0	0	0	1	1	0	1
	1	0	1	0	0	1	0	0	0	0	0
	1	0	1	1	0	1	0	0	1	0	0
	1	1	0	0	1	0	0	1	1	0	0
	1	1	0	1	0	0	0	0	1	1	0
	1	1	1	0	0	0	1	0	0	1	0
	1	1	1	1	1	0	0	1	1	1	1

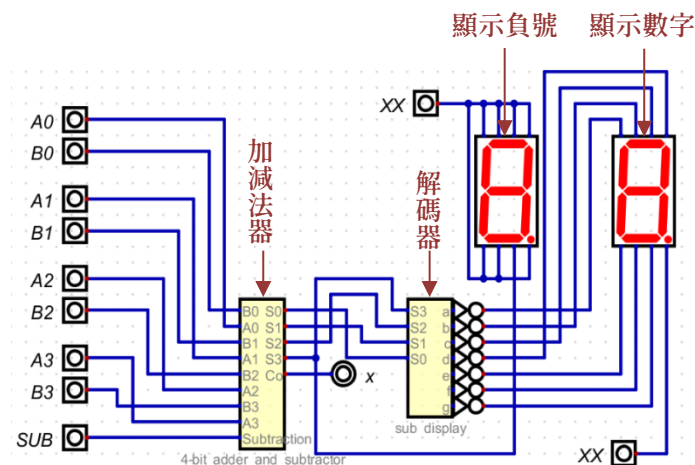
圖十：真值表 2



圖十一：二補數七段解碼器電路圖

3.完整電路

因為在待會要燒錄的 Altera 板子上，七段顯示器為共陽極，而 Digital 上的為共陰極，所以我們在解碼器的輸出端加上 NOT 閘，方便模擬測試，左側顯示負號之七段顯示器 g 腳位由 S3 控制。



圖十二：作業 1 電路圖

B. 作業 2

1.全加器

由於在前瞻進位電路中使用到的全加器與我們在第一題所設計的不太一樣，因此我們重新為前瞻進位電路設計了一個全加器，布林代數式如下。

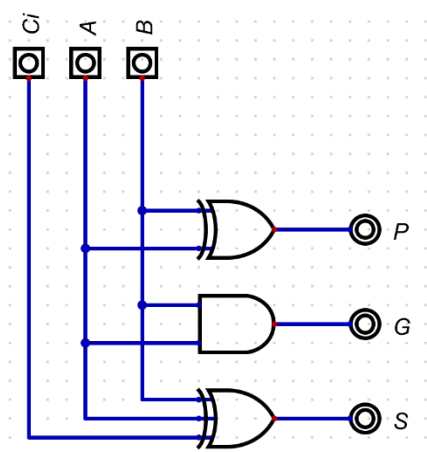
輸出：

$$P_i (\text{propagate}) = A_i \oplus B_i$$

$$G_i (\text{generate}) = A_i \cdot B_i$$

$$S_i (\text{sum}) = A_i \oplus B_i \oplus C_i$$

按照布林代數式繪製出電路圖。



圖十二：全加器電路(前瞻進位)

2.四位元前瞻進位加法器(4-Bit Carry-Lookahead circuite)

四位元前瞻進位加法器是由全加器輸出之生成信號(generate)、傳播信號(propagate)及前一級進位 C_0 作為輸入，輸出為欲回傳至全加器之各級進位 $C_{1\sim4}$ ，布林代數式推導如下

輸出：

$$C_1 = G_0 + P_0 \cdot C_0$$

$$C_2 = G_1 + P_1 \cdot C_1$$

$$\begin{aligned} &= G_1 + P_1 \cdot (G_0 + P_0 \cdot C_0) \\ &= G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_0 \end{aligned}$$

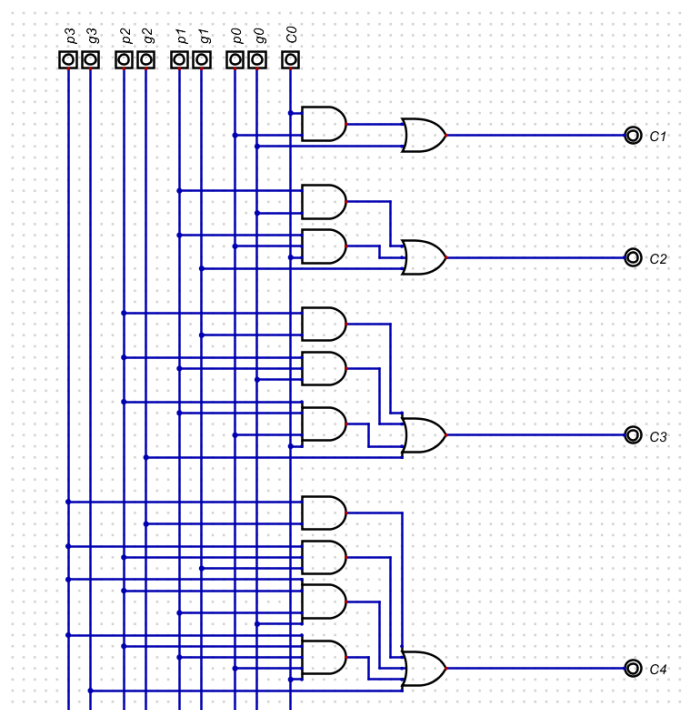
$$C_3 = G_2 + P_2 \cdot C_2$$

$$\begin{aligned} &= G_2 + P_2 \cdot (G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_0) \\ &= G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot P_1 \cdot P_0 \cdot C_0 \end{aligned}$$

$$C_4 = G_3 + P_3 \cdot C_3$$

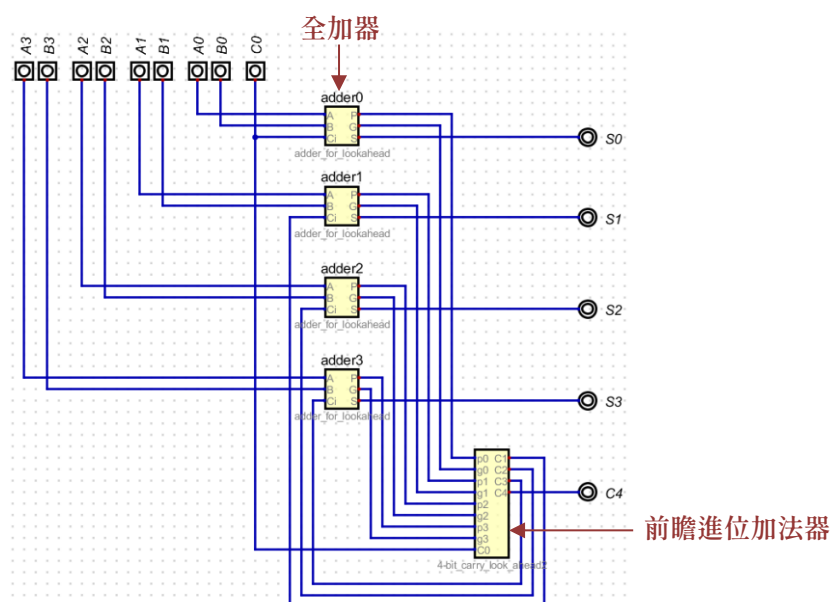
$$\begin{aligned} &= G_3 + P_3 \cdot (G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot P_1 \cdot P_0 \cdot C_0) \\ &= G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0 + P_3 \cdot P_2 \cdot P_1 \cdot P_0 \cdot C_0 \end{aligned}$$

按照布林代數式繪製出電路圖。



圖十三：四位元前瞻進位加法器電路

3.完整電路



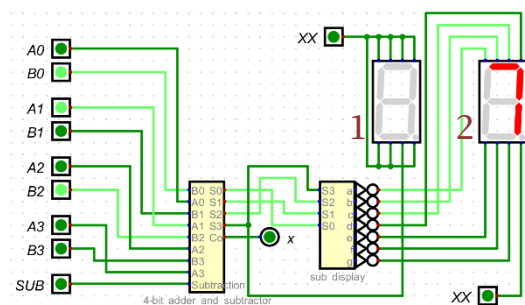
圖十四：作業 2 電路圖

III.模擬驗證

A.作業 1

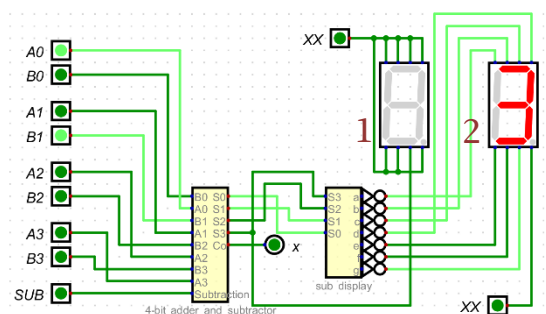
1.相加(SUB = 0)

當 $A = 2$, $B = 5$, $SUB = 0$ 時，加減法器輸出為 $2 + 5 = 7$ (0111)，解碼器之輸出腳位 a、b、c 為 0，七段顯示器 2 顯示數字 7。



圖十四：作業 1 模擬電路 a

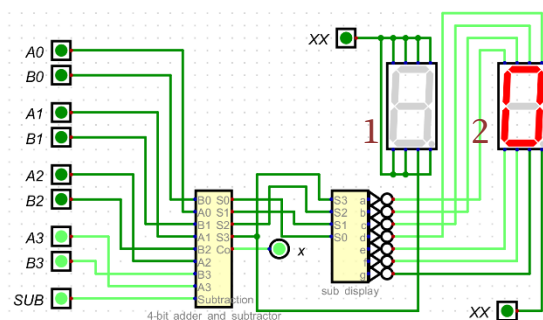
當 $A = 1$, $B = 2$, $SUB = 0$ 時，加減法器輸出為 $1 + 2 = 3$ (0011)，解碼器輸出腳位 a、b、c、d、g 為 0，七段顯示器 2 顯示數字 3。



圖十五：作業 1 模擬電路 b

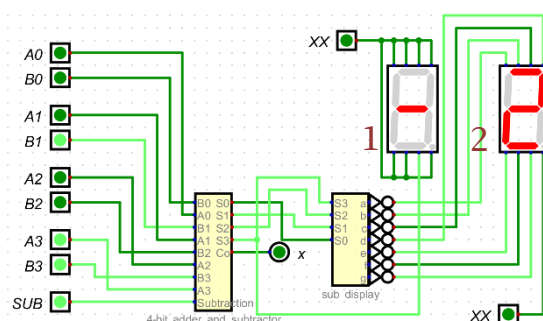
2.相減(SUB = 1)

當 $A = 8$, $B = 8$, $SUB = 1$ 時，加減法器輸出為 $8 - 8 = 0(0000)$ ，解碼器輸出腳位 a、b、c、d、e、f 為 0，七段顯示器 2 顯示數字 0。



圖十六：作業 1 模擬電路 c

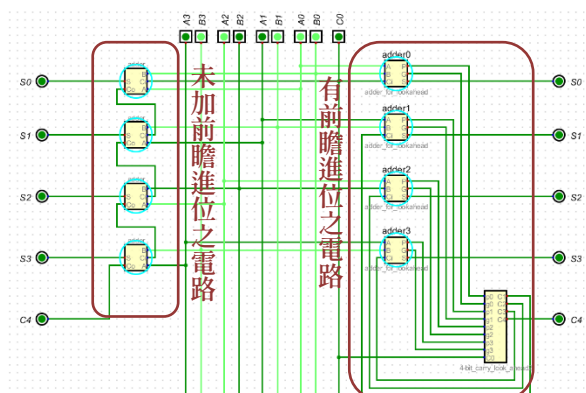
當 $A = 8$, $B = 10$, $SUB = 1$ 時，加減法器輸出為 $8 - 10 = -2(1110)$ ，解碼器書櫛腳位 a、b、d、e、g 為 0，七段顯示器 1 顯示負號($S3 = 0$)，顯示器 2 顯示數字 2。



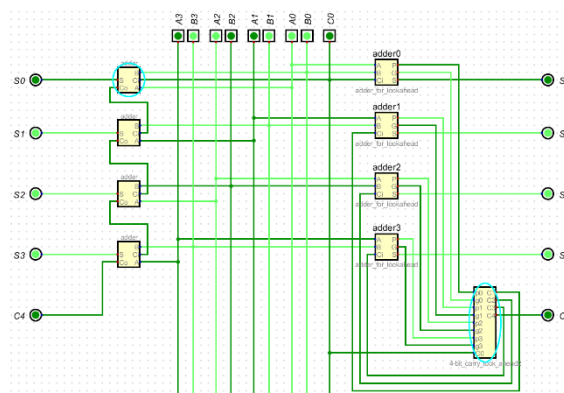
圖十七：作業 1 模擬電路 d

B.作業 2

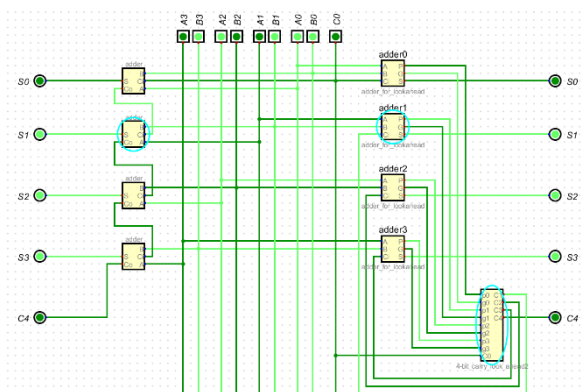
利用 Single Gate Simulation 確認加上 4-Bit Carry-Lookahead circuit 後，電路的運算速度是否比沒加上時來得快。步驟如下圖十八~二十六。



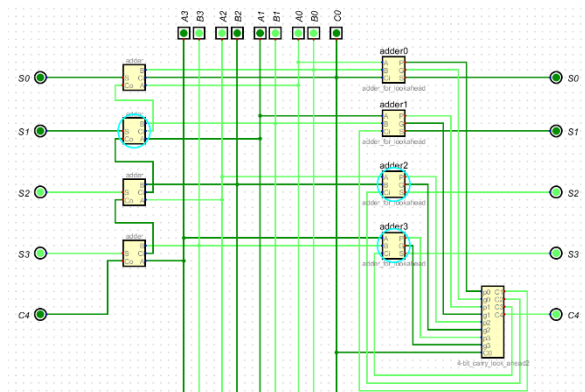
圖十八：作業 2 模擬電路 Step1



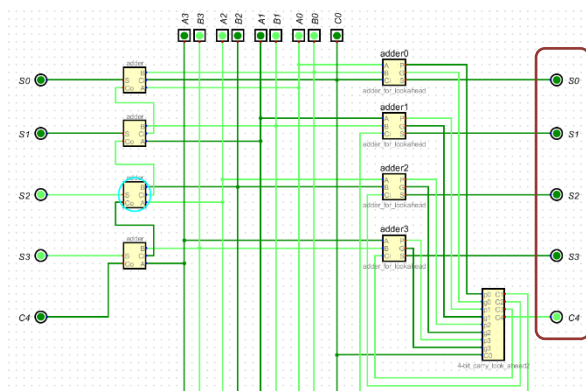
圖十九：作業 2 模擬電路 Step2



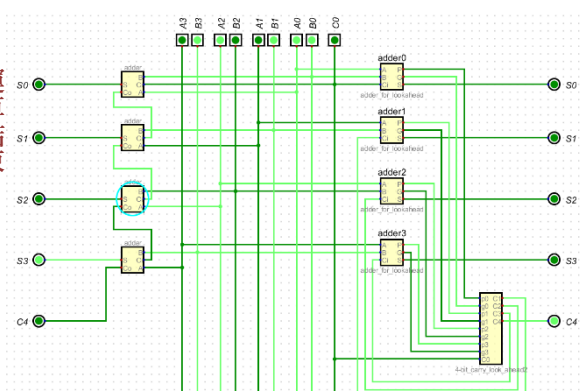
圖二十：作業 2 模擬電路 Step3



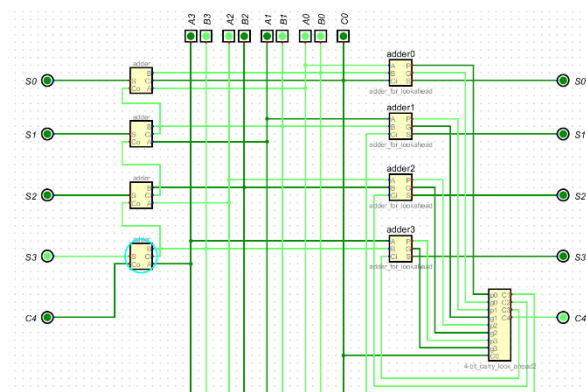
圖二十一：作業 2 模擬電路 Step4



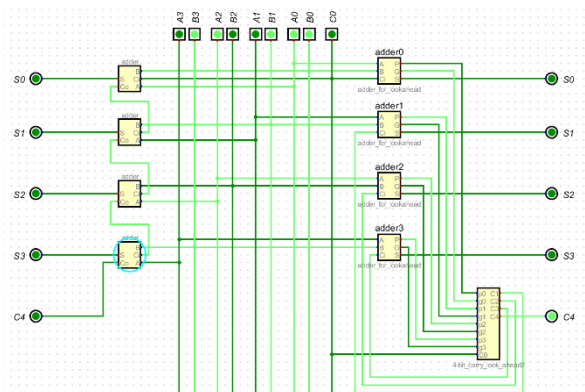
圖二十二：作業 2 模擬電路 Step5



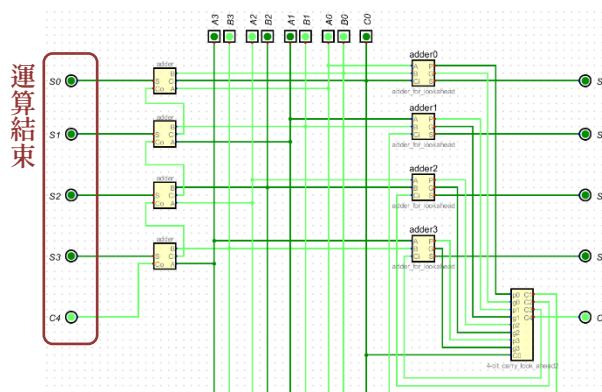
圖二十三：作業 2 模擬電路 Step6



圖二十四：作業 2 模擬電路 Step7



圖二十五：作業 2 模擬電路 Step8



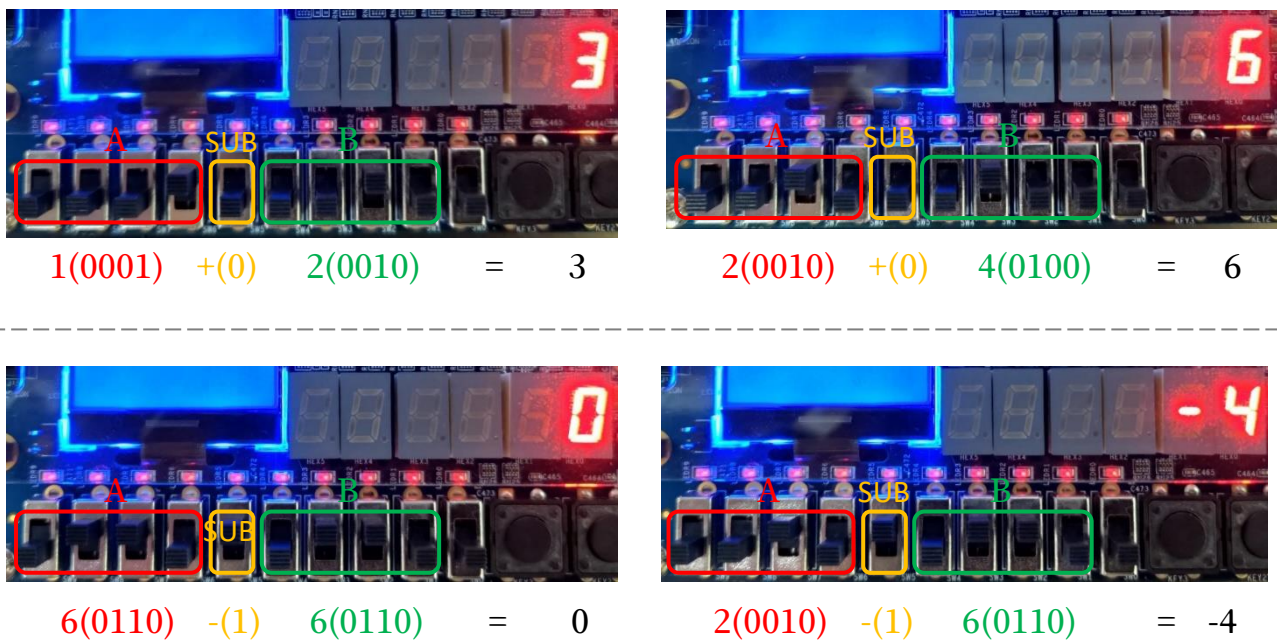
圖二十六：作業 2 模擬電路 Step9

爲了可以更明顯的看出兩方差距，我們將輸入數值設計爲每位數都需要進位。可以看到右側加上前瞻進位的電路在 step5 時就運算結束了，而左側還在一步一步計算，由此可證明前瞻進位電路的功能。

IV.實驗結果與成果討論

A. 作業 1

將電路實際燒錄至電路板後，我們以開關來代表輸入，觀察七段顯示器上顯示的數值。



圖二十七~三十：作業 1 實際操作

B. 作業 2

因本題在模擬驗證的部分已操作完畢，故在此不進行贅述。

V.實驗心得

在這次實驗第一題的過程中，因爲一開始把題目想得太複雜的關係耗費了過多的時間在設計電路上，經過了同學的提醒後，雖然很快地就修正好電路，但還是沒能來的及在課堂上進行燒錄，算是這次比較可惜的地方。