電機一乙 數位邏輯實習

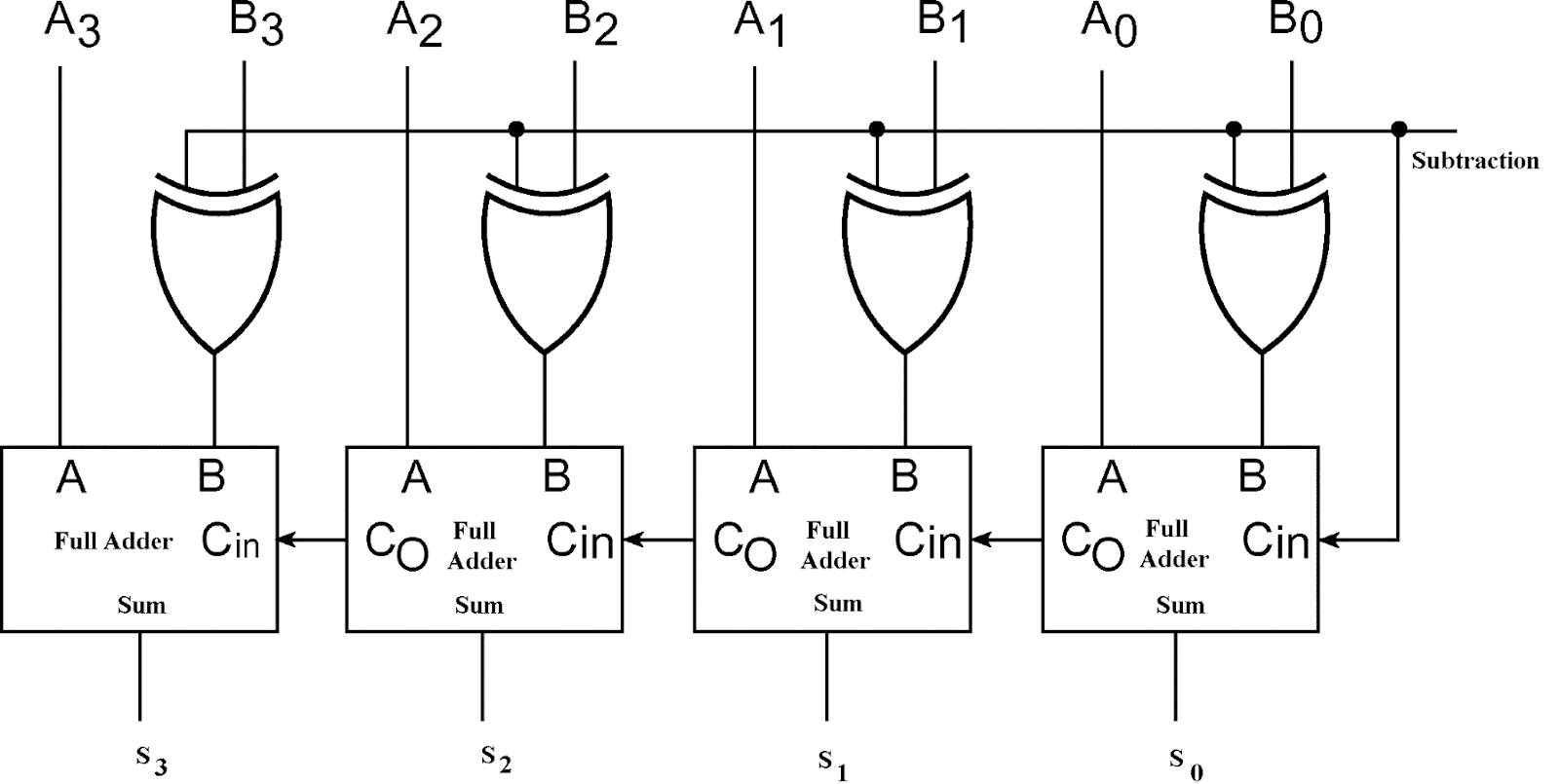
第三週實習作業報告

I.實驗目的與原理

*A.作業1*

設計一個完整的4位元加減法器(圖一)，並輸出到解碼器後接上七段顯示器(圖二)。

七段顯示器解碼器的輸入為前面加減法器輸出（S0-3、C4），將S0-3作為二的補數，並透過連接兩個七段顯示器，顯示十進位的數值。



圖一：四位元加減法器

S0=0

S0=1

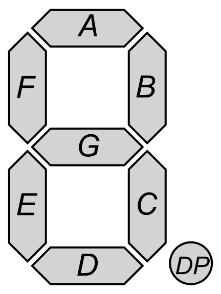
S0=1

二補數

七段解碼器

S0=0

圖三：二補數七段解碼器連接示意圖



圖二：七段顯示器腳位

*B.作業2*

設計一4-Bit Carry-Lookahead circuite前瞻進位電路。將此電路與四位元加法器串聯（圖四），並利用Single Gate Simulation證明此電路的功能。

前瞻進位電路作用在於，在運算一開始就得到每個加法器所需之進位數值，不需要依賴前一級加法器的結果才能進行運算。

p3 g3 C3 p2 g2 C2 p1 g1 1 C1 p0 g0

1-bit

full

adder

1-bit

full

adder

1-bit

full

adder

1-bit

full

adder

B0

A0

B1

A1

B2

A2

B3

A3

S3

S2

S1

S0

C0

C4

P0 G0

圖四：4-Bit前瞻進位電路

4-Bit Carry-Lookahead circuite

II.實驗過程

1. *作業1*

1. 四位元加減法器

先列出全加器各輸出之真值表(圖五)及布林代數式(圖六、七)，按照布林代數式製作電路(圖八)後進行封裝，並將四個全加器的Ci、Co互相連接，得到四位元加法器。接著在全加器輸入端B前加上XOR閘，使得B與1經過XOR後反向，變為減法器，與0 XOR後則不變，完成四位元加減法器(圖九)。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Ci | Co | S |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Ci

Ci

|  |  |  |
| --- | --- | --- |
| AB | 0 | 1 |
| 00 | 0 | 0 |
| 01 | 0 | 1 |
| 11 | 1 | 1 |
| 10 | 0 | 1 |

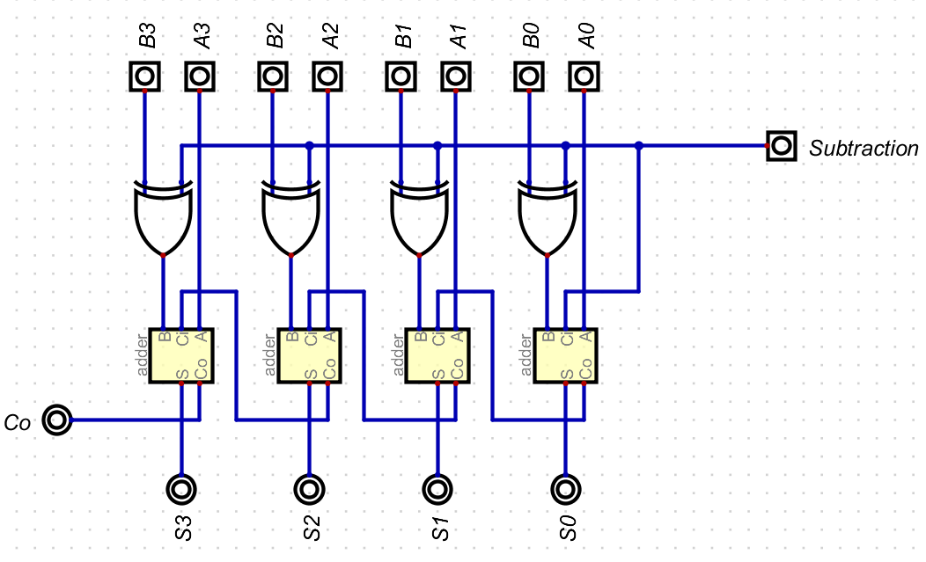
|  |  |  |
| --- | --- | --- |
| AB | 0 | 1 |
| 00 | 0 | 1 |
| 01 | 1 | 0 |
| 11 | 0 | 1 |
| 10 | 1 | 0 |

圖五：真值表1

圖七：卡諾圖(S)

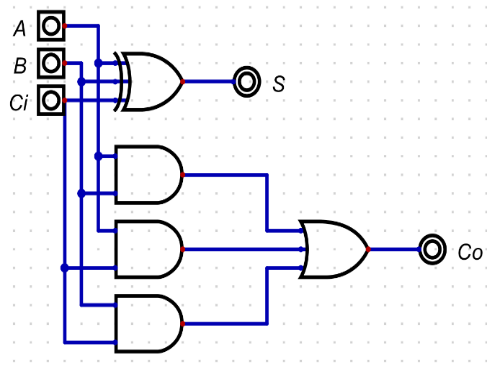
圖六：卡諾圖化減(Co)

　 　　S(sum) =　　　Ａ　　⊕　　Ｂ　　⊕　　Ｃ



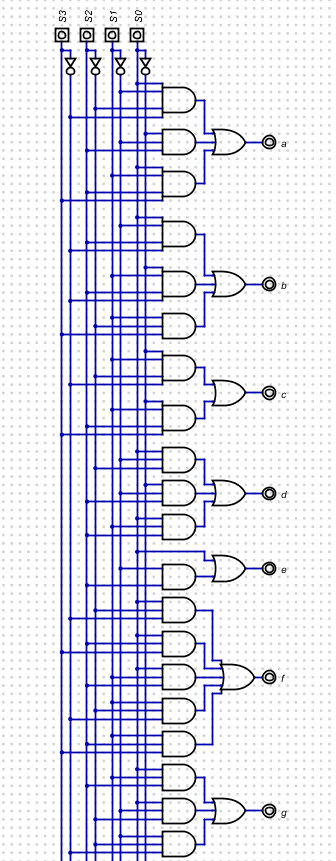
圖九：加減法器電路圖

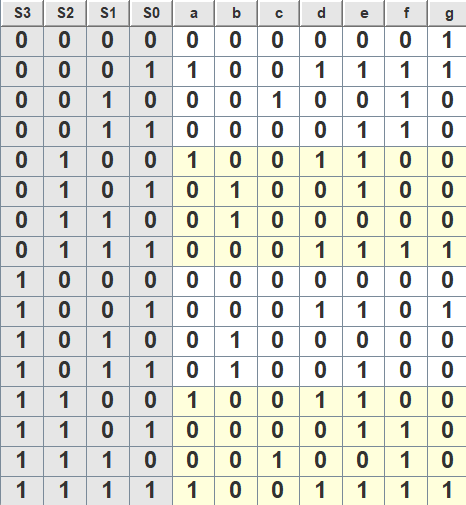
(carryout) = A+Ｂ+ＡＢ



圖八：加法器電路圖

2. 二補數七段解碼器

 在製作二補數七段解碼器的部分，我們換了一種設計電路的方式，同樣先列出真值表，只是不進行卡諾圖化簡，而是直接將真值表輸入Digital後(圖十)，再交由電腦來規劃電路(圖十一)，雖然使用的邏輯閘較多，但可以節省時間。



圖十：真值表2

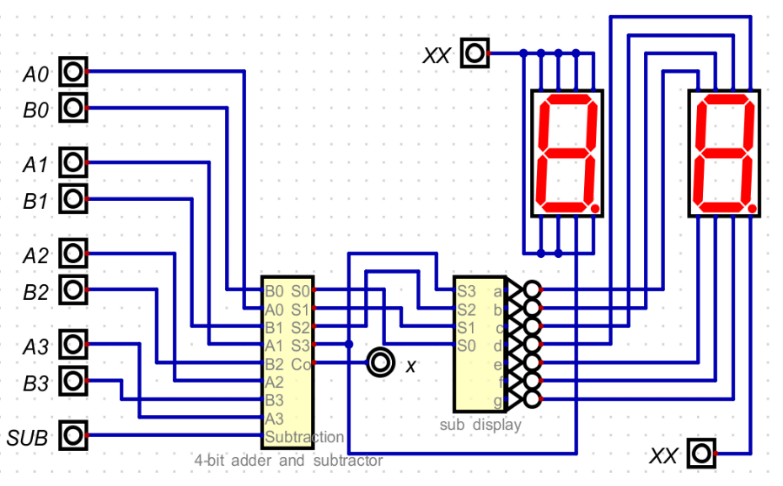
負數

圖十一：二補數七段解碼器電路圖

3.完整電路

因為在待會要燒錄的Altera板子上，七段顯示器為共陽極，而Digital上的為共陰極，所以我們在解碼器的輸出端加上NOT閘，方便模擬測試，左側顯示負號之七段顯示器g腳位由S3控制。

顯示數字



圖十二：作業1電路圖

顯示負號

解碼器

加減法器

1. *作業2*

1.全加器

由於在前瞻進位電路中使用到的全加器與我們在第一題所設計的不太一樣，因此我們重新為前瞻進位電路設計了一個全加器，布林代數式如下。

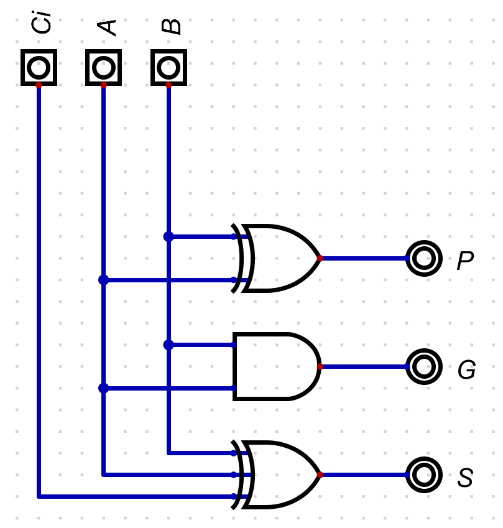
輸出：

(propagate) = ⊕

(generate) = ．

(sum) = ⊕⊕

按照布林代數式繪製出電路圖。



圖十二：全加器電路(前瞻進位)

2.四位元前瞻進位加法器(4-Bit Carry-Lookahead circuite)

四位元前瞻進位加法器是由全加器輸出之生成信號(generate)、傳播信號(propagate)及前一級進位作為輸入，輸出為欲回傳至全加器之各級進位，布林代數式推導如下

輸出:

**= ＋．**

= ＋．

= ＋．＋．）

**=** **＋．＋．．**

= ＋．

= ＋．＋．）

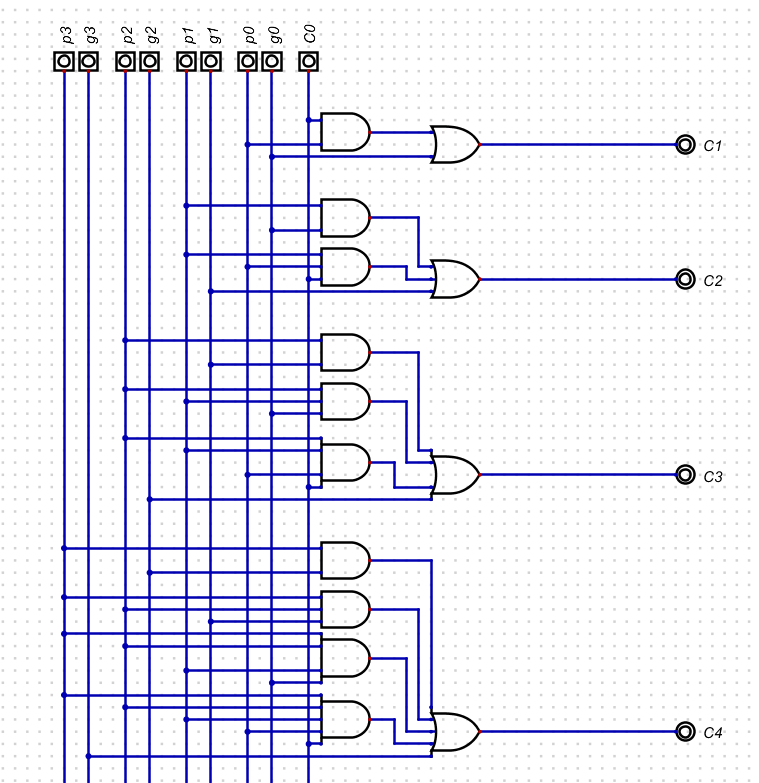
**= ＋．＋．**

= ＋．

＋．＋．）

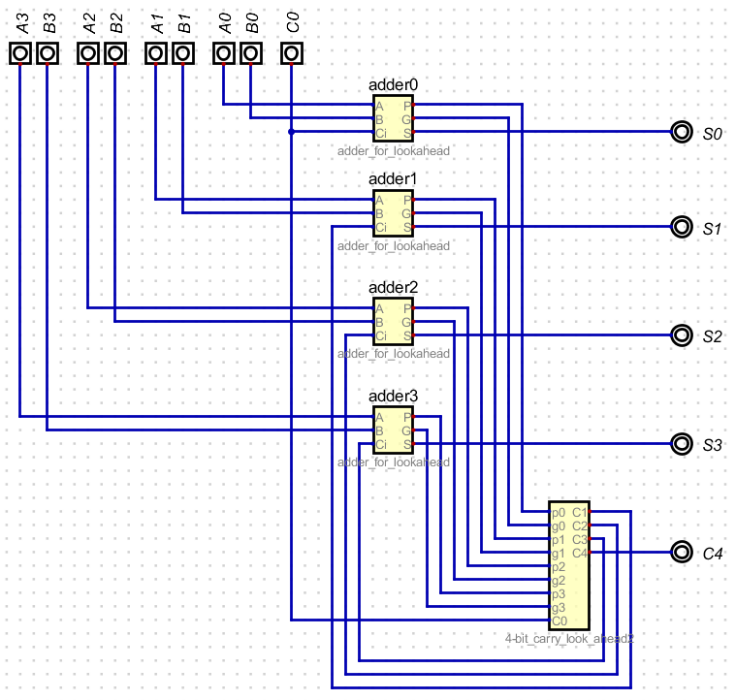
**＋．＋．**

按照布林代數式繪製出電路圖。



圖十三：四位元前瞻進位加法器電路

3.完整電路



全加器

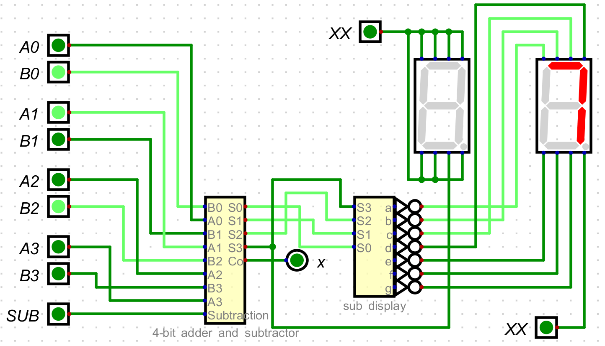
前瞻進位加法器

圖十四：作業2電路圖

III.模擬驗證

*A.作業1*

1.相加(SUB = 0)



圖十四：作業1模擬電路a

1

2

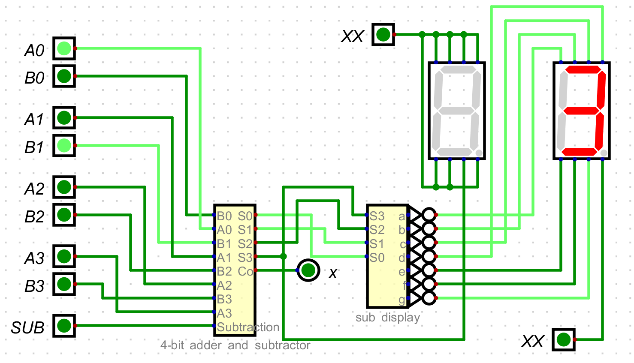
當A = 2, B = 5, SUB = 0時，加減

法器輸出為2 + 5 = 7(0111)，解碼器之

輸出腳位a、b、c為0，七段顯示器2

顯示數字7。

圖十五：作業1模擬電路b



1

2

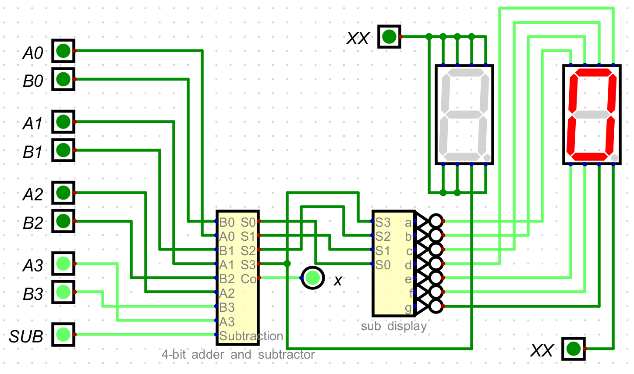
當A = 1, B = 2, SUB = 0時，加減

法器輸出為1 + 2 = 3(0011)，解碼器輸

出腳位a、b、c、d、g為0，七段顯示

器2顯示數字3。

2.相減(SUB = 1)



圖十六：作業1模擬電路c

1

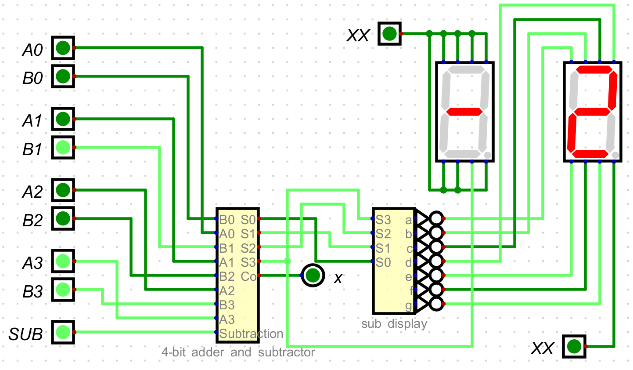
2

當A = 8, B = 8, SUB = 1時，加減

法器輸出為8 - 8 = 0(0000)，解碼器輸

出腳位a、b、c、d、e、f為0，七段

顯示器2顯示數字0。



圖十七：作業1模擬電路d

1

2

當A = 8, B = 10, SUB = 1時，加減

法器輸出為8 - 10 = -2(1110)，解碼器書

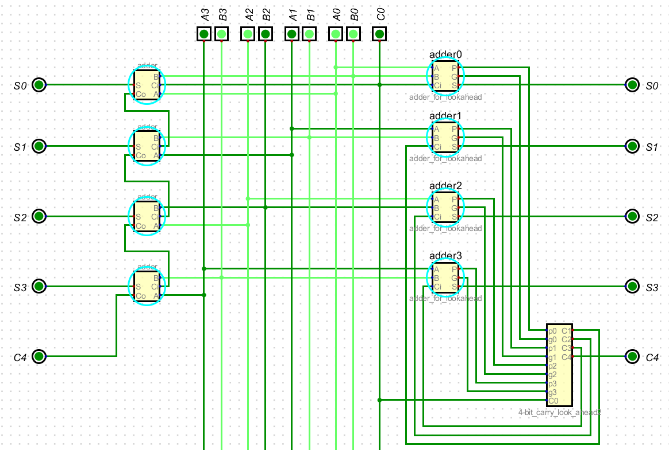
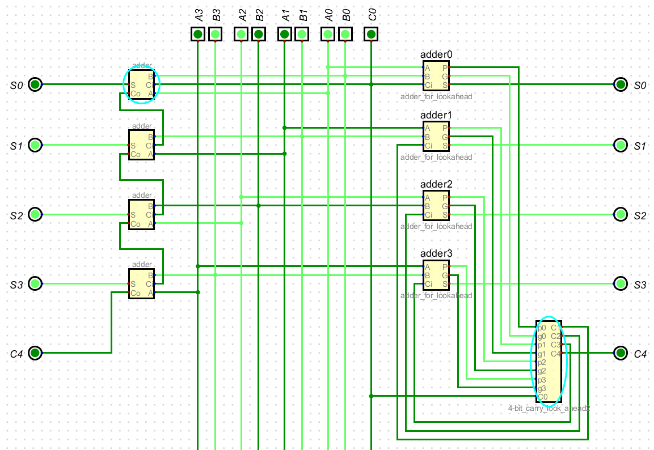
櫥腳位a、b、d、e、g為0，七段顯示

器1顯示負號(S3 = 0)，顯示器2顯示數

字2。

*B.作業2*

利用Single Gate Simulation確認加上4-Bit Carry-Lookahead circuite後，電路的運算速度是否比沒加上時來得快。步驟如下圖十八~二十六。

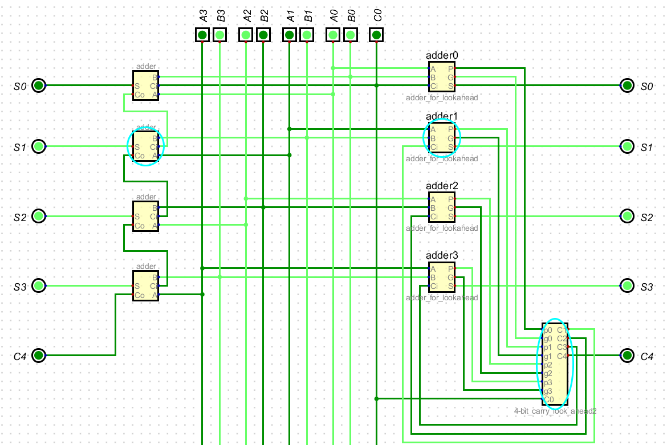
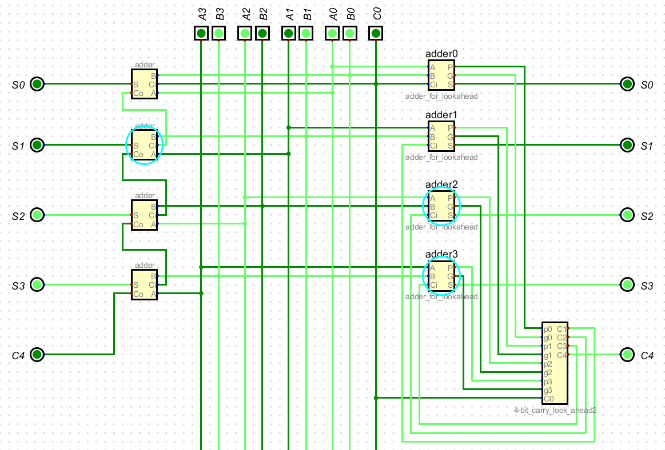


未加前瞻進位之電路

有前瞻進位之電路

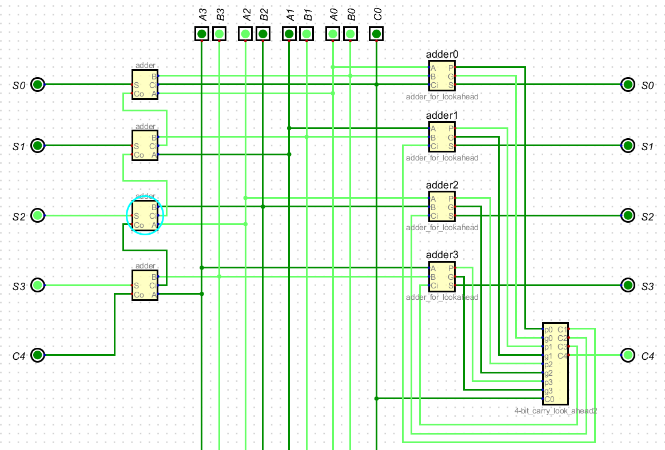
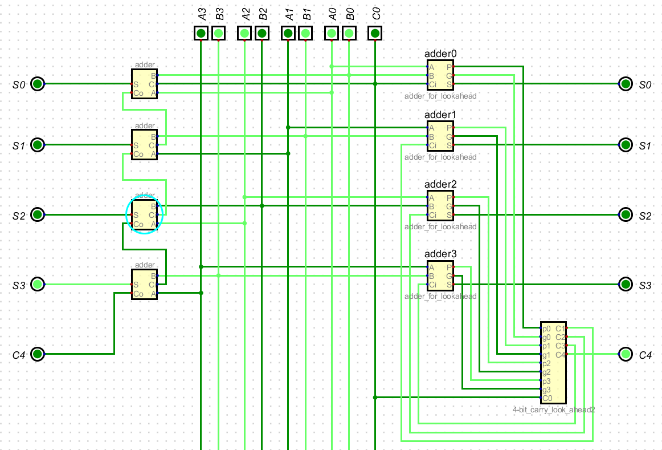
圖十九: 作業2模擬電路Step2

圖十八: 作業2模擬電路Step1



圖二十一: 作業2模擬電路Step4

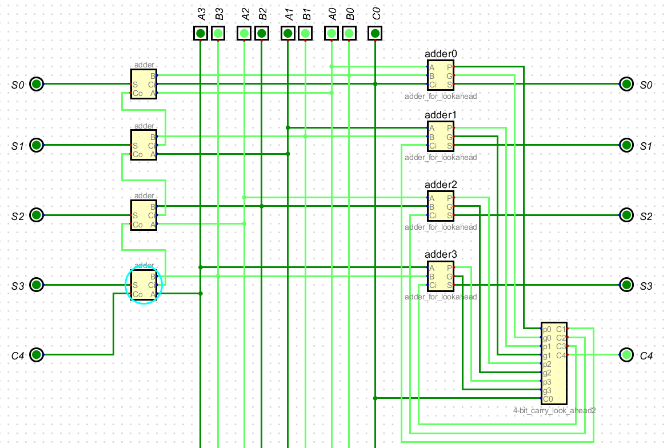
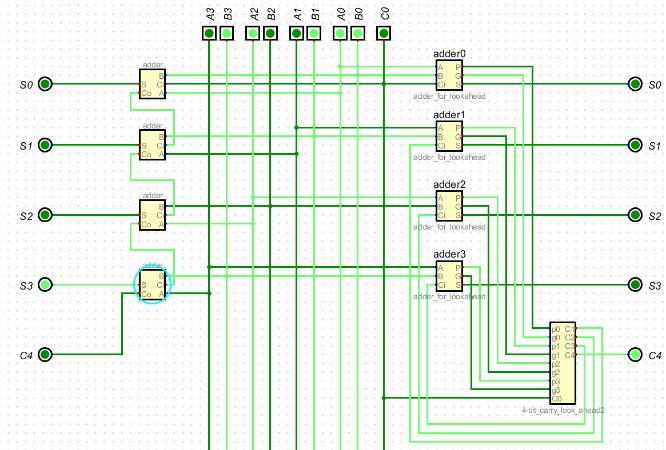
圖二十: 作業2模擬電路Step3



運算結束

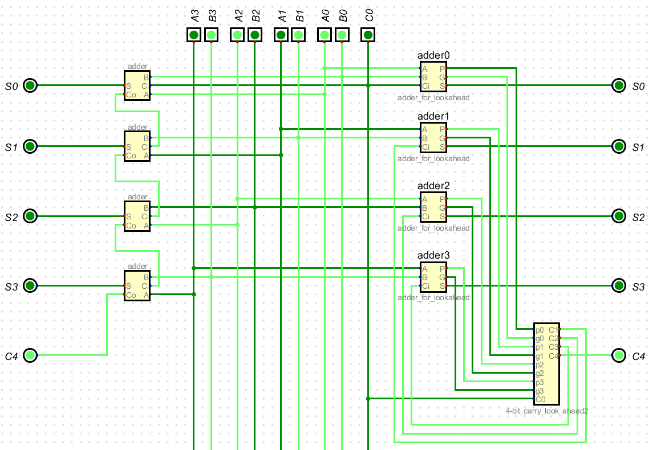
圖二十二: 作業2模擬電路Step5

圖二十三: 作業2模擬電路Step6



圖二十五: 作業2模擬電路Step8

圖二十四: 作業2模擬電路Step7



運算結束

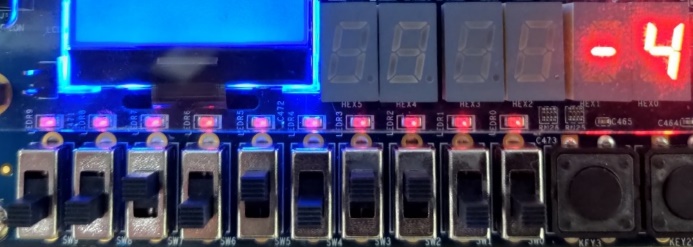
圖二十六: 作業2模擬電路Step9

為了可以更明顯的看出兩方差距，我們將輸入數值設計為每位數都需要進位。可以看到右側加上前瞻進位的電路在step5時就運算結束了，而左側還在一步一步計算，由此可證明前瞻進位電路的功能。

IV.實驗結果與成果討論

1. *作業1*

將電路實際燒錄至電路板後，我們以開關來代表輸入，觀察七段顯示器上顯示的數值。



A

B

2(0010) -(1) 6(0110) = -4



A

B

2(0010) +(0) 4(0100) = 6

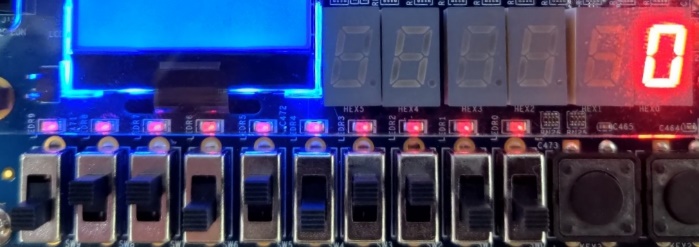


A

SUB

B

1(0001) +(0) 2(0010) = 3



A

B

6(0110) -(1) 6(0110) = 0

SUB

SUB

SUB

圖二十七~三十: 作業1實際操作

*B.作業2*

因本題在模擬驗證的部分已操作完畢，故在此不進行贅述。

V.實驗心得

在這次實驗第一題的過程中，因為一開始把題目想得太複雜的關係耗費了過多的時間在設計電路上，經過了同學的提醒後，雖然很快地就修正好電路，但還是沒能來的及在課堂上進行燒錄，算是這次比較可惜的地方。