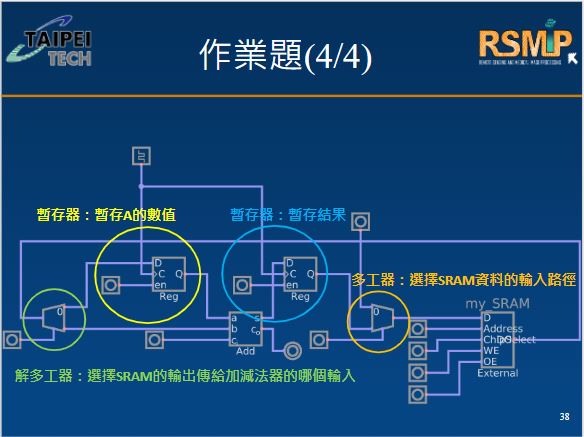
I.實驗目的及原理

*B.作業二*

利用VHDL寫出SRAM~~裡面~~的程式，並且用先前設計的加減法器，透過暫存器、多工器、解多工器等來完成累加減法器。(下面有給圖就要說明，比如”示意圖如下”之類的)



圖標放圖下，表標放圖上。

這張是圖，表通常是指自己拉的那種表格。還有這張圖建議放到實驗過程，因為這差不多是完成電路了，老師放出來只是要給我們參考。

表一：最後完整線路

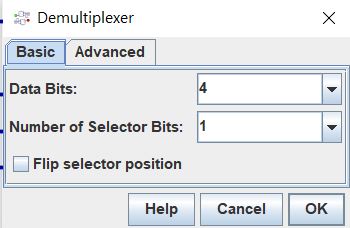
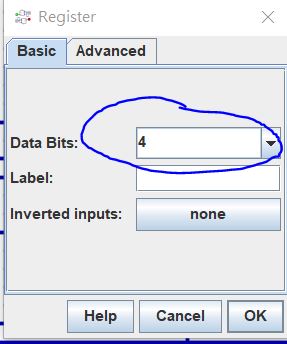


跟上面一樣，不太適合放在實驗目的及原理，可以在實驗過程內補充說明。而且如果真的要放，建議直接打在文字方塊內，總之能不截PPT的圖就盡量不要截。

表二：SRAM的程式概略內容

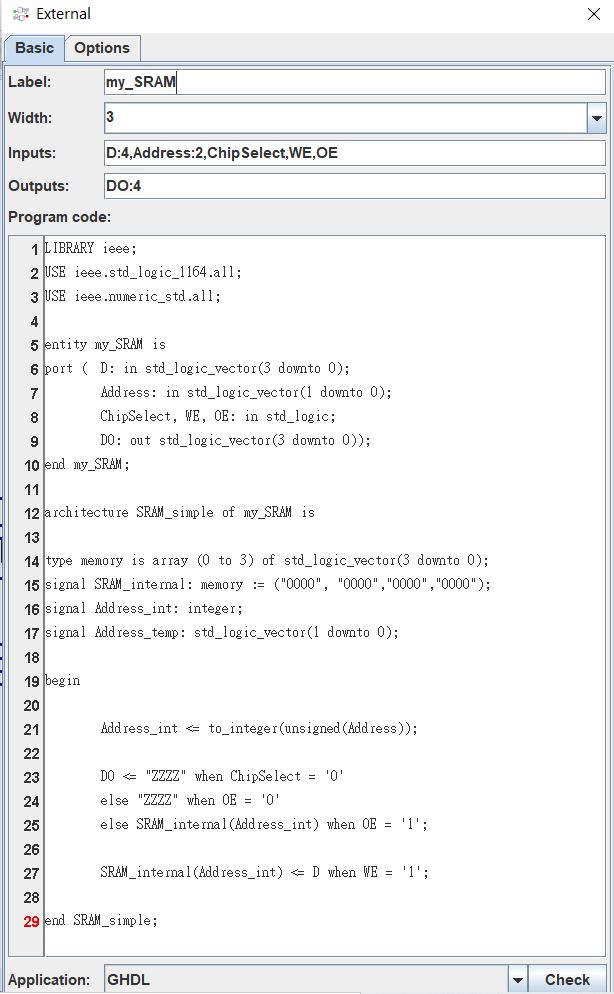
II.實驗過程

在做這個實驗中我們必須要把所有內建的暫存器、多工器還有解多工器改為4bit。(這句話在這裡其實不是最重要的，但可以放在心得那邊，你要把你怎麼設計SRAM的VHDL寫出來)



(這個可以刪掉)

在改變SRAM的程式內容改為4bit。



**(圖太小了，而且要打在文字方塊內)**

(內文要有說明)

寫入

DO輸出

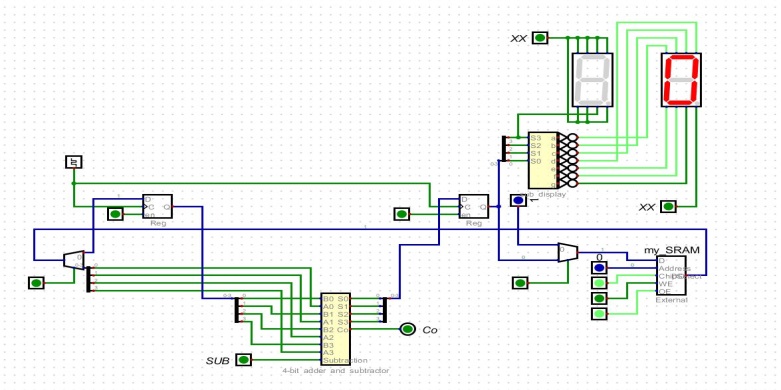
輸入輸出(可以在內文補充，因為每組數字都有4bit，所以D和DO要加上3 down to 0，共有四組數字，所以Address要有2個bit。)

(這邊還OK，但圖圈起來的地方記得要有說明，不然會不知道你圈起來的意義是甚麼。)

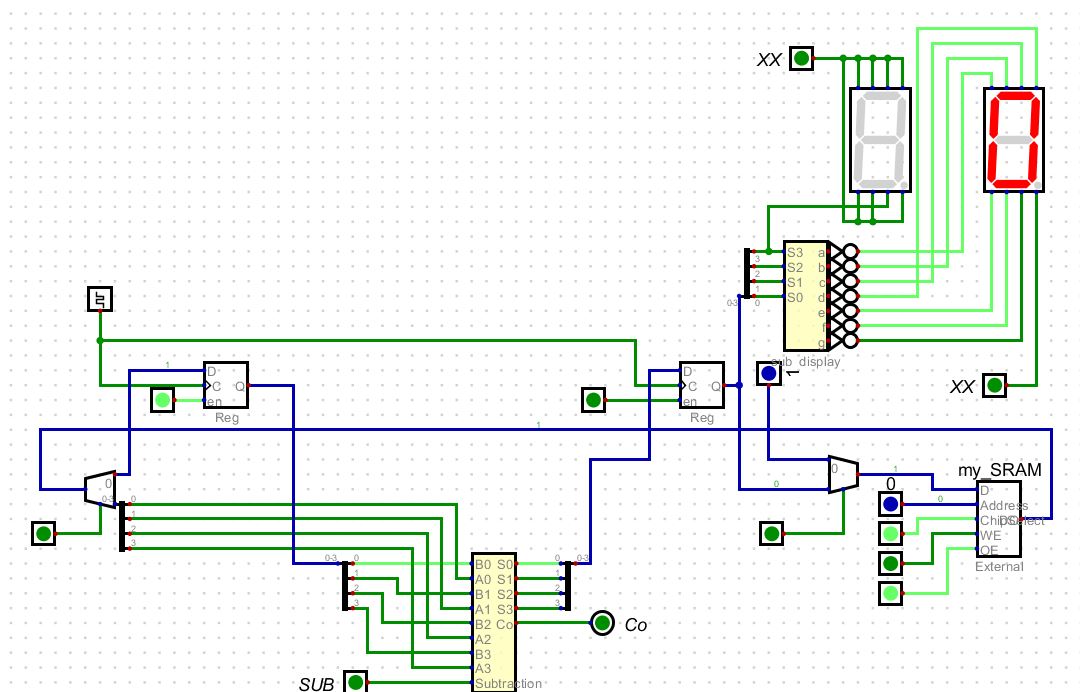
III.模擬驗證

利用Digtal測試，驗證線路無誤。

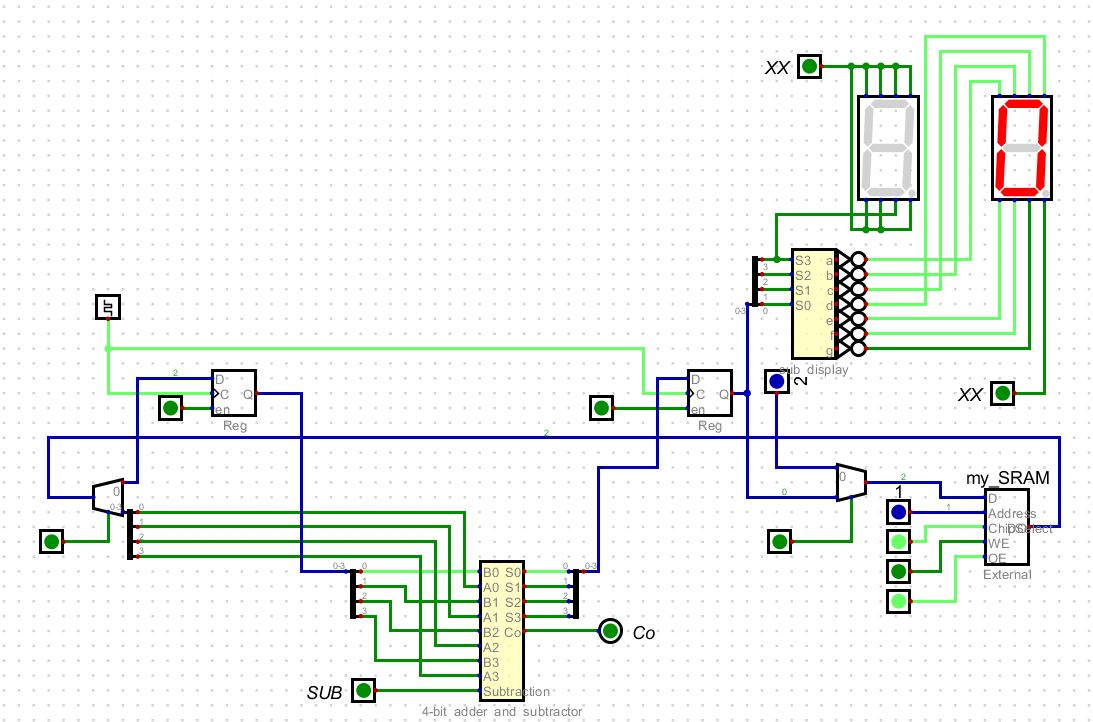
1. 先將加數1存入SRAM的address的0。



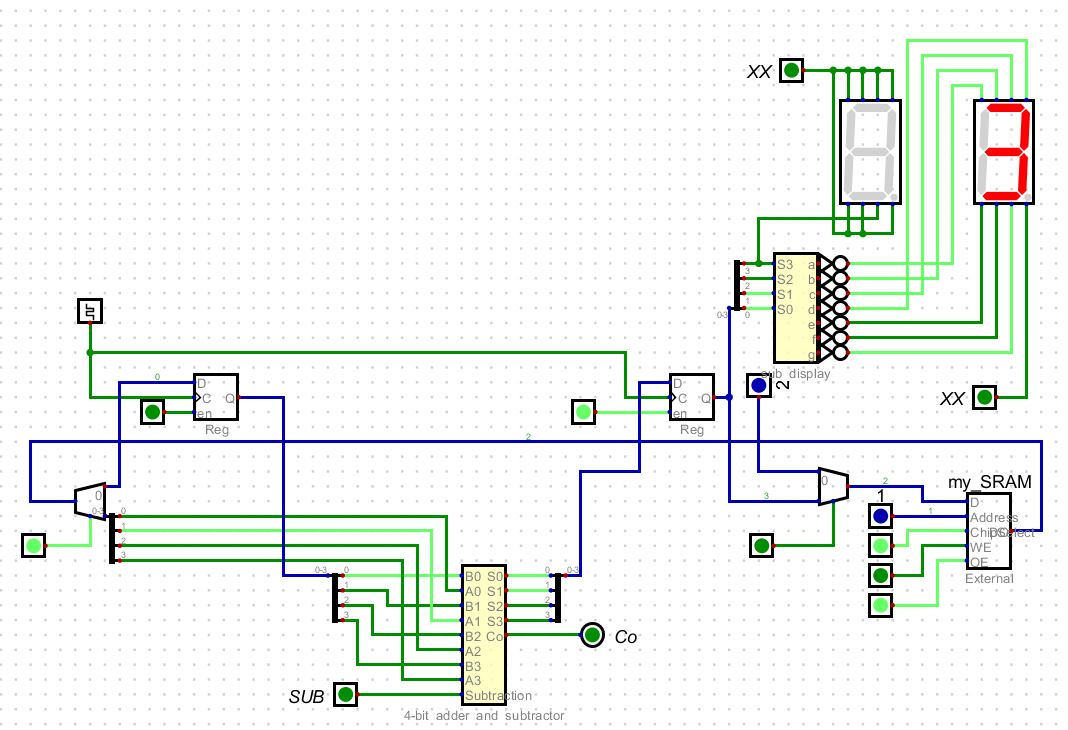
1. 再將位置0的~~數值1設成~~加數~~來~~存入第一個暫存器中。



1. ~~再~~將數值2存入address的1。

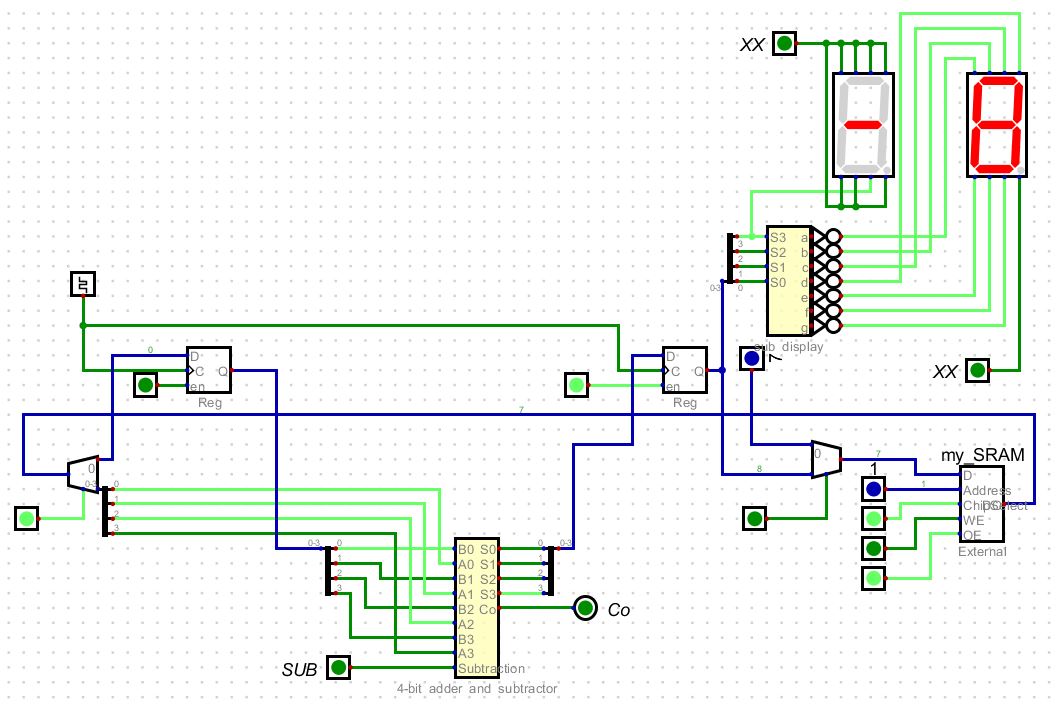


1. ~~然後再~~(重複太多次了)按下解多工器的選擇腳位使其為1，讓輸出可以到經過加減法器到第二個暫存器，七段顯示器~~就會變成~~變為2+1=3

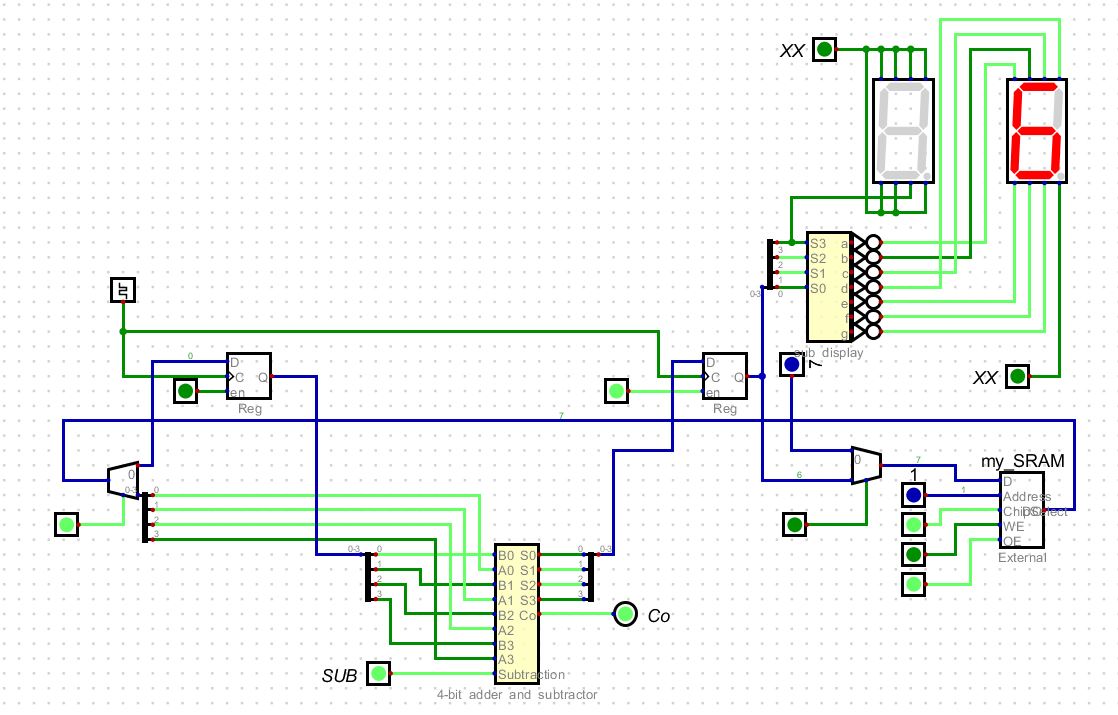


少一個步驟，還要把加完的數值存回SRAM。

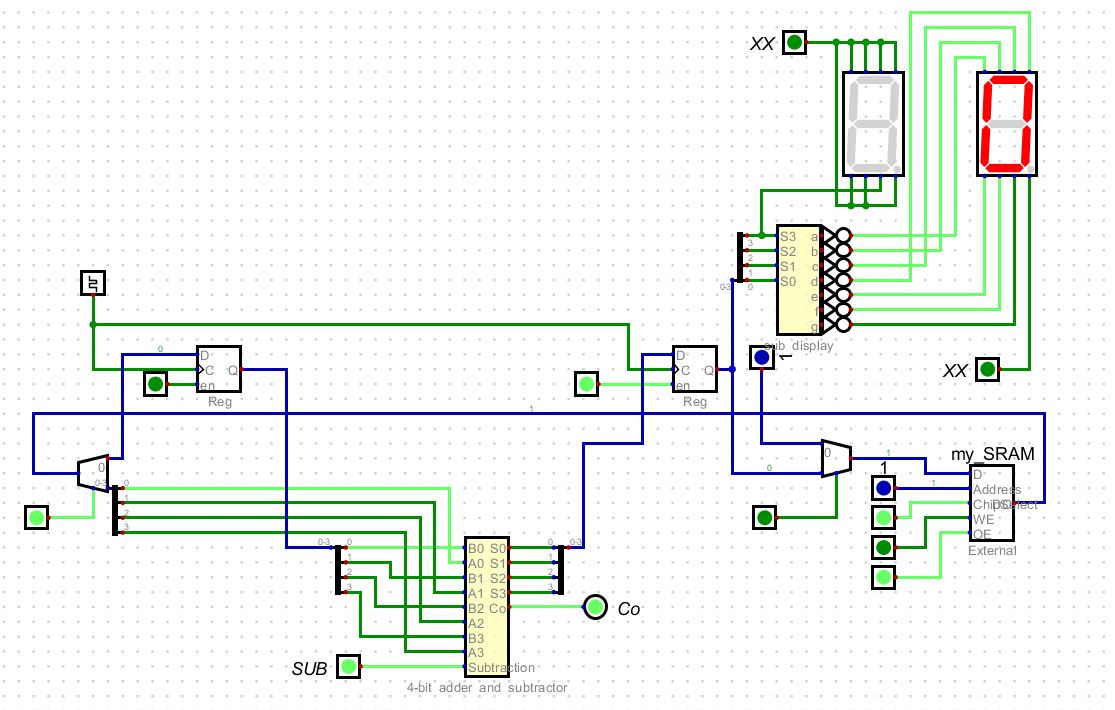
1. ~~然後~~接下來就是一直重複上述的動作來做加一的動作，加到8就會變成-8。



1. 打開加減法器的減法。



1. 重複加法的動作來做減法就可以了，一直減一減到零。



IV.燒錄電路

我們未燒錄電路，因為做線路就做到七點多了。(在正式報告中盡量不要打這種話，這就是所謂的流水帳，可以寫時間不夠，或是我們燒錄後發現，因……所以無法正常工作，之類的。)

(心得記得打)