

电子设计第一次实验报告

陈进泽 PB16061024

1 FPGA 工程创建

打开 Quartus 软件, 点击 File->New->New Quartus II Project 新建项目。项目名为 FPGA_EXP1。

在 “Family & Device Settings [page 3 of 5]” 中选择 “Device family” 为 “Cyclone V”, “Devices” 为 “Cyclone V E Extended Features” 来选择器件类型。在右侧 “Show in 'Available devices' lists” 中选择 “Package” 为 “FBGA”, “Pin count” 为 “484”, “Speed grade” 为 8 来筛选器件列表。最终在 “Available devices:” 菜单栏选择本实验器材 “5CEFA2F23C8”。

在 “EDA Tool Settings [page 4 of 5]” 中选择 “Tool Type” 为 “Simulation” 行中的 “Tool Name” 为 “Modelsim”, “Format(s)” 为 “VHDL”, 工程创建完毕。

2 为新创建工程添加设计文件与代码

选择 File->New->Design Files->VHDL FIle 来创建器件代码, 键入对应代码。保存文件名需与项目名匹配, 因该项目默认 Top Entity 为项目名对应代码。

在代码输入完毕后选择 Processing->Start->Start Analysis & Synthesis 来检查是否有语法错误, 直到显示无错误为止。

全部设计完成后可选择 Tools->Netlist Viewers->RTL Viewer 检查生成电路与预期的是否一致

3 编译设计工程并仿真

同样创建 VHDL 仿真文件，键入仿真代码。并尝试编译以检查是否有语法错误，直到显示无错误为止。

3.1 设置仿真软件 ModelSim 与 Test Bench

选择 Tools->Options->General->EDA Tool Options，检查 ModelSim 一项是否指向正确可执行文件路径。

选择 Assignments->Settings->EDA Tool Settings->simulation，设置仿真工具为 modelsim，语言为 VHDL，在“Test Benches...”一栏中添加仿真代码并设置仿真时间为 1000ns。

3.2 开始仿真

选择 Tools->Run Simulation Tool->RTL Simulation 来启动 Modelsim 实现功能仿真。仿真结束后可以看到 signal 的波形图，检查是否与预期一致。

* 注意：默认情况下 ModelSim 比例尺太大，需缩小来看到完整仿真结果。

4 分配管脚并载入芯片

选择 Assignments->Pin Planner，对照芯片原理图来进行管脚分配。

选择 Processing->Start Compilation 来实现 Analysis & Synthesis, Fitter 及 Assembler 等完整的编译过程，若有错误继续修改直到编译成功。

使用 USB 线连接到 FPGA 实验箱的 JTAG 口上，选择 Tools->Programmer，检查是否连接到板子上，若无连接则要单击“Hardware Setup...”进行下载线设置。添加源代码并下载到芯片上，检查是否与预期功能一致。

实验结束。

5 实验感想

- quartus 对 VHDL 的语法提示支持不好，18.1 版本甚至默认不勾选 Autocomplete 选项。

- Netlist Viewer 可以直接看到生成电路图, 很有趣。
- Simulation 配置不透明, 当原件调用深度较大时无法显示对应引脚电平。