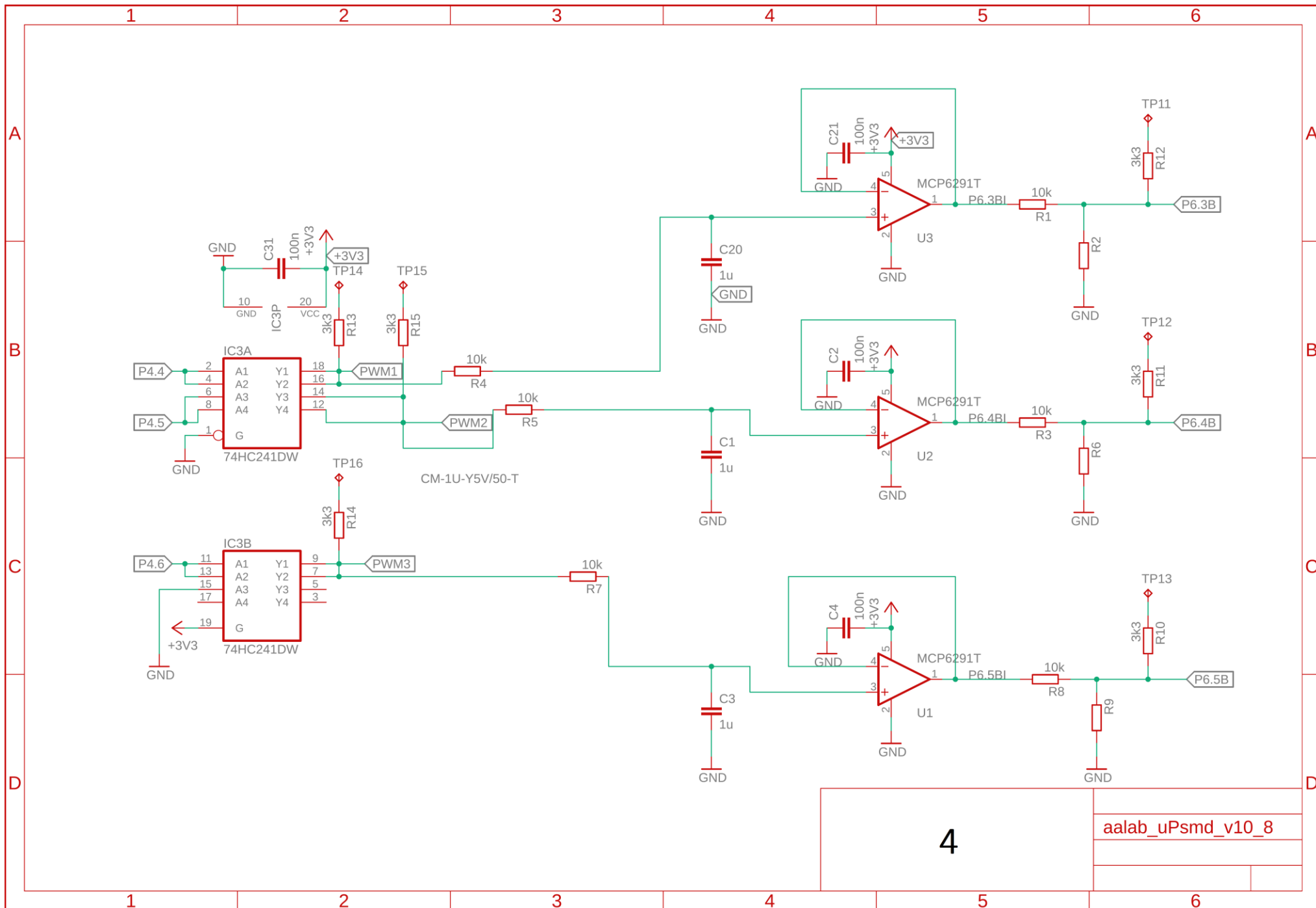
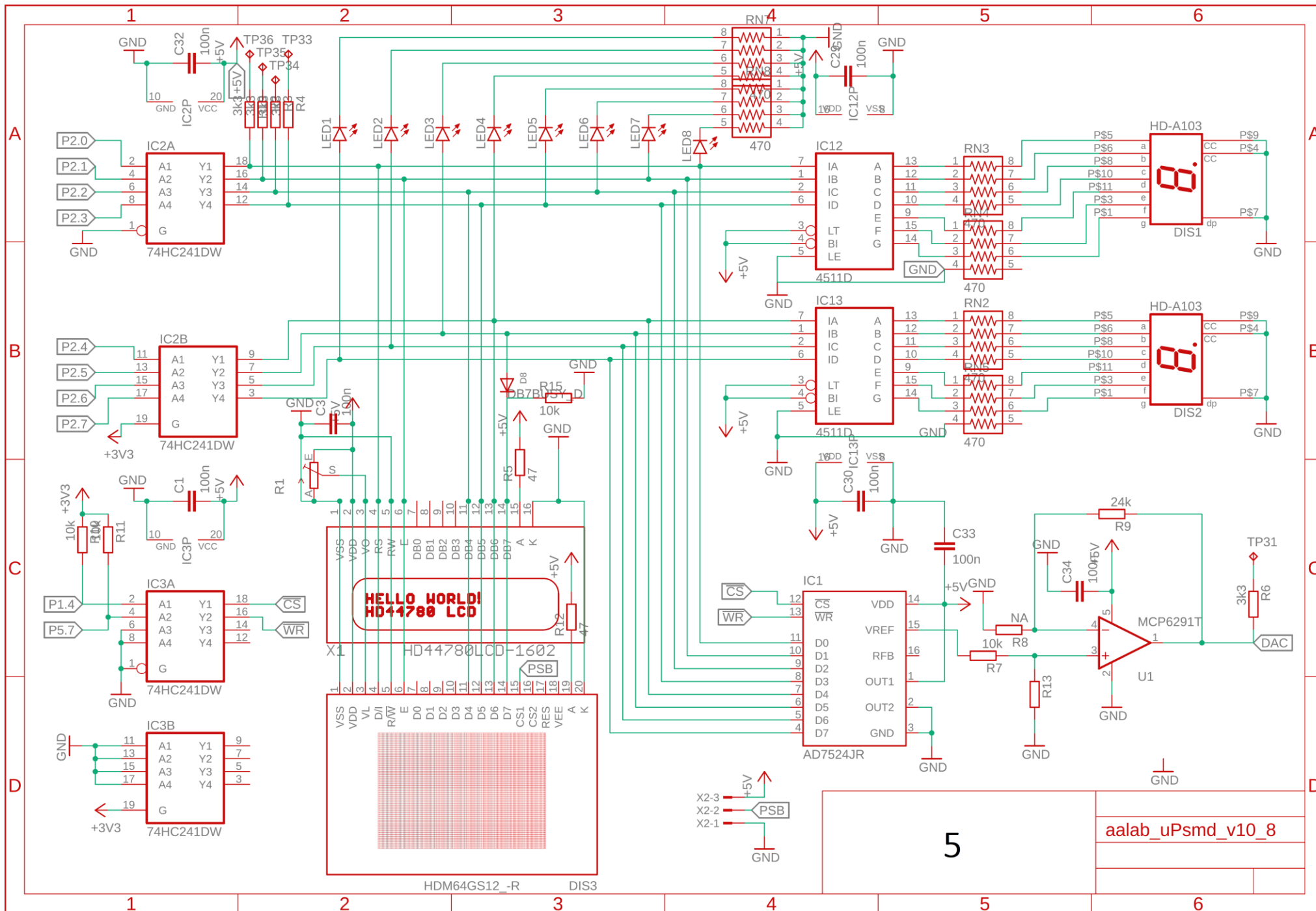


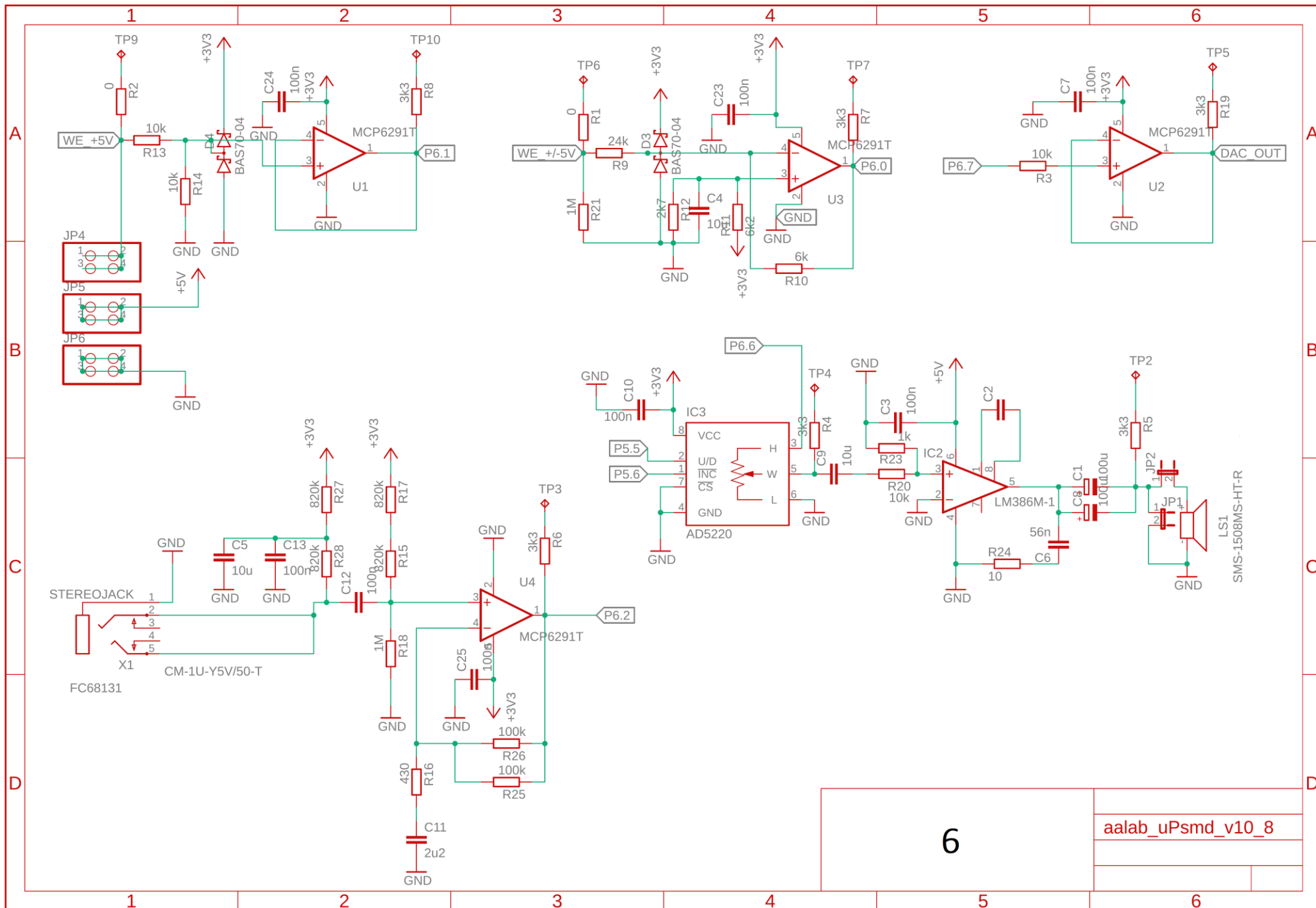
3

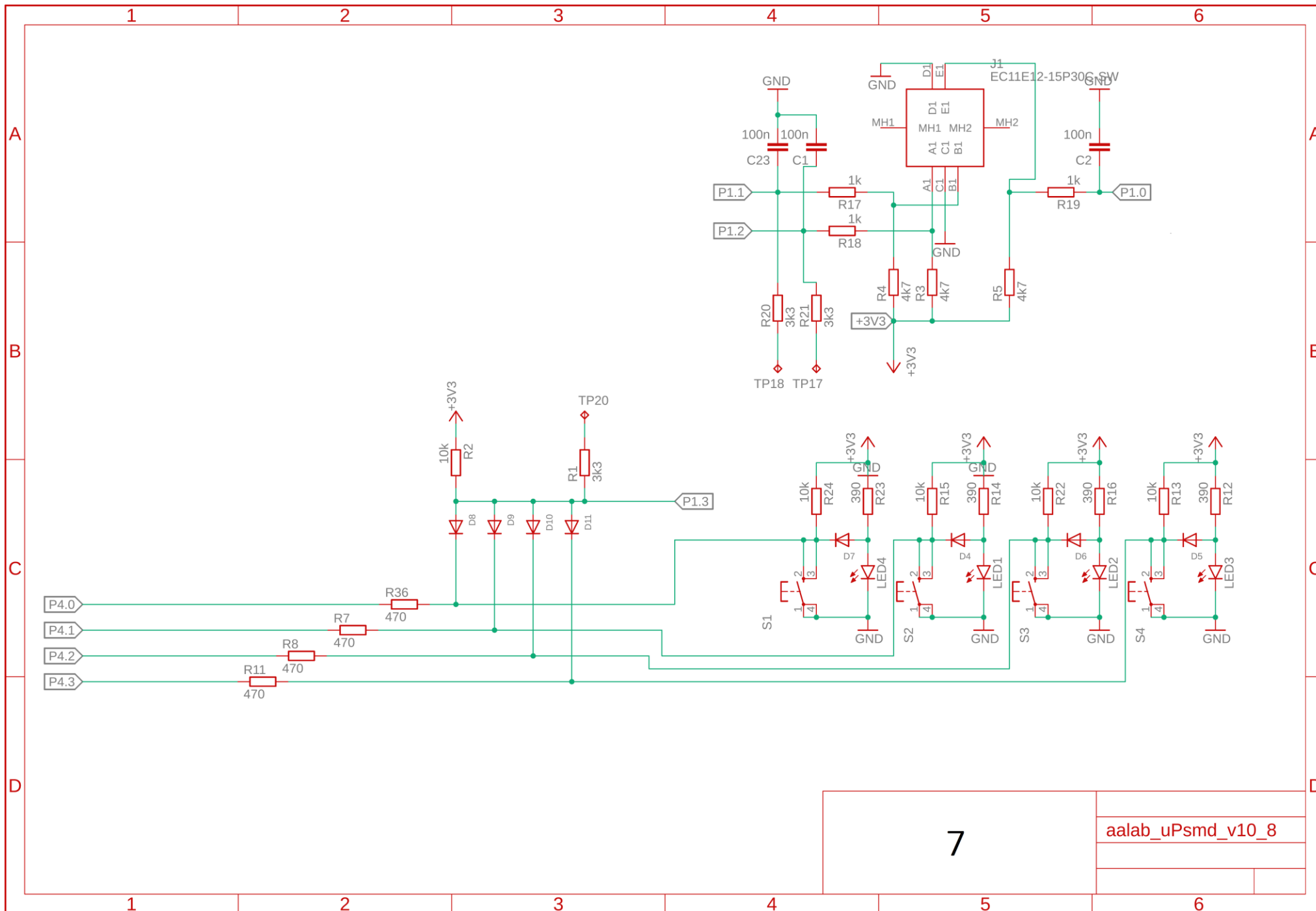
aalab_uPsm�_v10_8

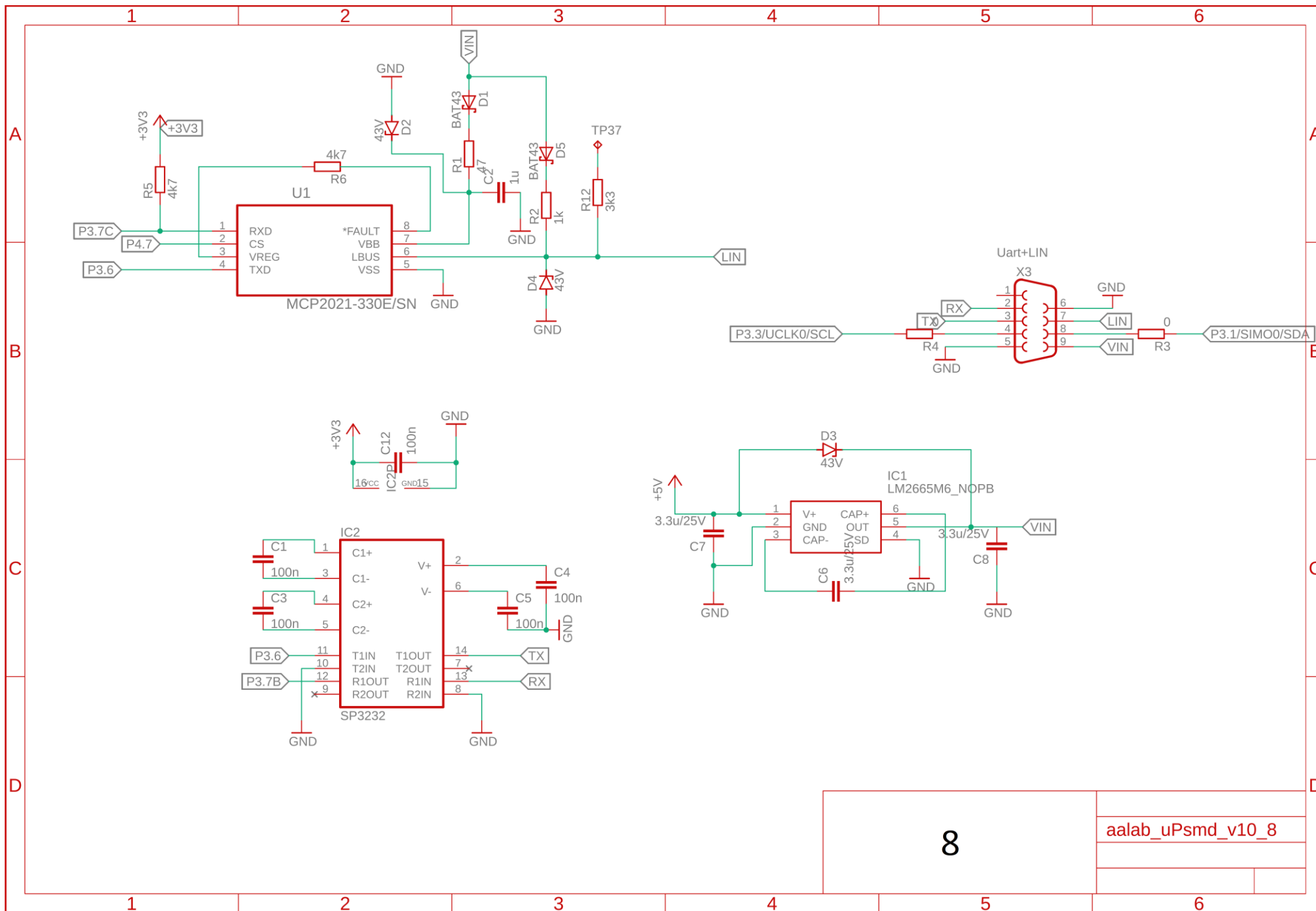


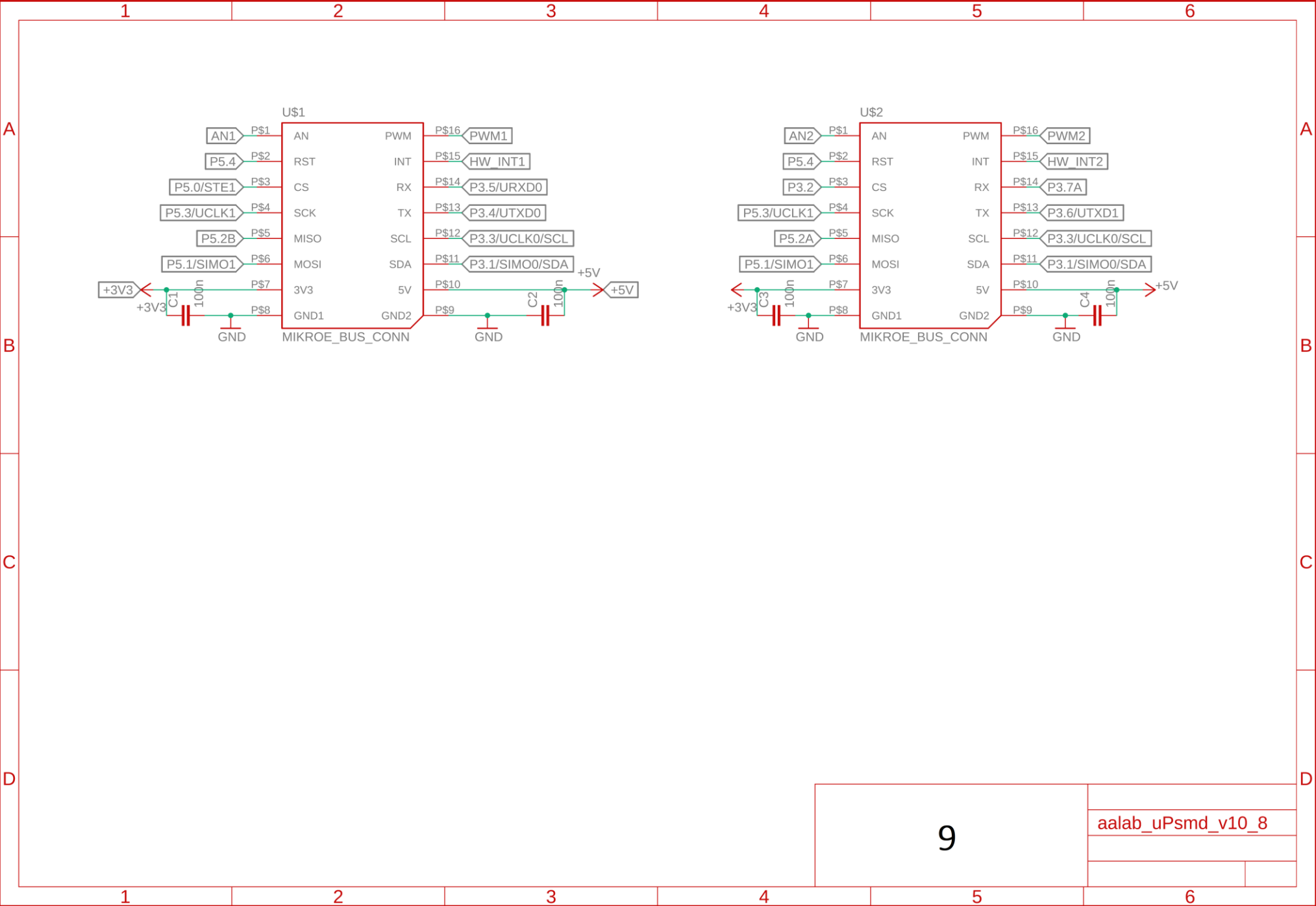
aalab_uPsm�_v10_8











Piny pomiarowe

numer pinu	typ	opis	blok schem.	MSP430	
				# pin	nazwa
1	GND	GND	-	63;62	DV _{SS} ; AV _{SS}
2	wy.	wzm. mocy mcz	6		
3	wy. we.	wzm. mcz ADC A2	6	61	P6.2
4	wy. we.	suwak Digital Poti wzm. mocy mcz	6		
5	wy.	DAC1 (wtórnik)	6		
6	we.	±5V	6		
7	wy. we.	wzm. korekc. do (6) ADC A0	6	59	P6.0
8	GND	GND	-		
9	we.	0-5V/potencjometr	6		
10	wy. we.	wzm. korekc. do (9) ADC A1	6	60	P6.1
11	wy.	filtr PWM1	4		
12	wy.	filtr PWM2	4		
13	wy.	filtr PWM3	4		
14	wy.	PWM1 (bufor P4.4)	4		
15	wy.	PWM2 (bufor P4.5)	4		
16	wy.	PWM3 (bufor P4.6)	4		
17	wy.	faza A enkodera	7	14	P1.2
18	wy.	faza B enkodera	7	13	P1.1
19	GND	GND	-		
20	wy. wy.	AND (P4.0;P4.1;P4.2;P4.3) AND (S1;S2;S3;S4)	7	15	P1.3
21	I/O	I/O P5.0	0	44	P5.0
22	I/O	I/O P3.7	0	32	P3.7
23	I/O	I/O P3.3	0	31	P3.3
24	I/O	I/O P3.5	0	33	P3.5
25	I/O	I/O P3.6	0	34	P3.6
26	I/O	I/O P3.4	0	32	P3.4

27	I/O	I/O P5.1	0	45	P5.1
28	I/O	I/O P5.3	0	47	P5.3
29	I/O	I/O P3.1	0	29	P3.1
30	I/O	I/O P5..2	0	46	P5.2
31	wy.	DAC 8-b	5		
32	GND	GND	-		
33	wy.	bufor P2.3	5		
34	wy.	bufor P2.2	5		
35	wy.	bufor P2.1	5		
36	wy.	bufor P2.0	5		
37	wy.	LIN	8		
38	GND	GND	-		

Bloki schematu ideowego

numer bloku	opis bloku
0	Schemat złożeniowy
1	Pole "znaczką" μ C, złącze JTAG, zabezpieczenia wejść ADC
2	Zasilacz
3	Ekspander I ² C
4	Wyjścia PWM cyfrowe i analogowe. Wyjścia z filtrów dolnoprzepustowych mogą być wprowadzone poprzez przełączniki suwakowe (S1,S2,S3) na wejścia przetwornika ADC.
5	Port P2: wyświetlacz LED 7-seg., wyświetlacz LCD, diody LED, przetwornik ADC 8-b
6	Ukł.analogowe - we. 0-5V, we. ±5V, wzm. wej. mcz, wzm. mocy mcz, bufor wyj. DAC1. Digital Poti.
7	Przyciski na P4.0-P4.3, enkoder inkrementalny
8	UART, LIN
9	Pole rozszerzeń - <i>Click boards</i> TM