

## **4. TECNOLOGIAS DE CIRCUITOS DIGITAIS**

### **PLANO DE AULA**

#### **1. Conceitos básicos**

- a. Definição das faixas de tensão para os níveis lógicos**
- b. Tempo de comutação e tempo de atraso da propagação**
- c. Fan-in e Fan-out**
- d. Lógica com diodos**
- e. Transistor operando como chave**

#### **2. Famílias de circuitos integrados**

- a. DTL (Diode Transistor Logic)**
- b. DCTL (Direct Coupled Transistor Logic)**
- c. RTL (Resistor Transistor Logic)**
- d. RCTL (Resistor Capacitor Transistor Logic)**
- e. HTL (High Threshold Logic)**
- f. TTL (Transistor Transistor Logic)**
  - a. Especificações TTL**
  - b. Coletor Aberto**
  - c. Função Enable**
  - d. Saída Tri-state**
- g. ECL (Emitter Coupled Logic)**
- h. MOS (Metal Oxide Semiconductor Logic)**
- i. CMOS (Complementary Metal Oxide Semiconductor Logic)**
- j. Novos materiais para fabricação de CI (GaAs)**

#### **3. Características dos circuitos integrados, processo de fabricação e tipos de encapsulamento**

#### **4. Tecnologias de projeto de circuitos digitais**

- a. PLA (Programmable Logic Array) e PAL (Programmable Logic Array)**
- b. Field-programmable gate arrays (FPGAs)**

## **1. Conceitos básicos**

Para discorrer sobre tecnologias de circuitos digitais é de fundamental importância entender alguns parâmetros básicos relacionados à construção e implementação dos blocos constituintes dos circuitos digitais.

### **c. Definição das faixas de tensão para os níveis lógicos**

Este primeiro conceito é relativo aos níveis de tensão associados aos estados lógicos de um circuito digital. Os circuitos digitais usuais utilizam o sistema binário. Esses níveis são comumente designados como nível lógico “0” (ou nível baixo) e nível lógico “1” (ou nível lógico alto). Na realidade, estes níveis lógicos são associados a faixas de valores para tensão. E estas faixas de tensão vão estar separadas por uma outra faixa de tensão intermediária que vai ser definida como uma região indefinida. Ou seja, qualquer valor de tensão variando entre  $0\text{ V}$  e um valor  $V_{0\text{máx}}$  estará associado ao nível lógico “0”, qualquer valor de tensão variando entre  $V_{1\text{min}}$  e um valor  $V_{1\text{máx}}$  estará associado ao nível lógico “1” e qualquer valor de tensão variando entre  $V_{0\text{máx}}$  e  $V_{1\text{min}}$  estará associado a uma região de transição. Vale frisar que  $0\text{ V} < V_{0\text{máx}} < V_{1\text{min}} < V_{1\text{máx}}$ .

### **d. Tempo de comutação e tempo de atraso da propagação**

Entende-se por tempo de comutação como sendo o tempo necessário para um bloco passar do estado “0” para o estado “1” ou do estado “1” para o estado “0”. Este de comutação também pode ser conhecido com tempo de chaveamento.

Entende-se por tempo de atraso como sendo o tempo necessário para que um bloco apresente na saída a resposta referente a uma determinada combinação de entradas.

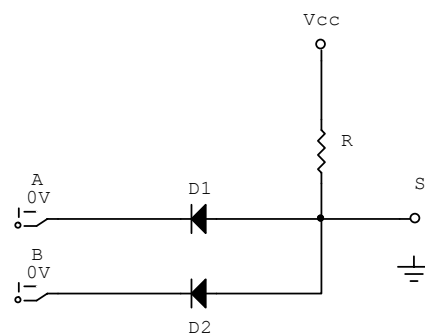
### **e. Fan-in e Fan-out**

Os circuitos digitais apresentam uma impedância de saída associada. E a cada vez que um novo circuito externo é conectado como carga na saída deste circuito digital, a impedância de carga diminuirá e uma maior corrente será drenada na saída do circuito, alterando a característica de limite de tensão na saída será alterada. Por este

motivo, existirá um limite no número de circuitos (Fan-out) que podem ser interligados à saída de forma a preservar as características elétricas necessárias para o bom funcionamento do circuito. Fan-in descreve o número total de entradas que o circuito apresenta.

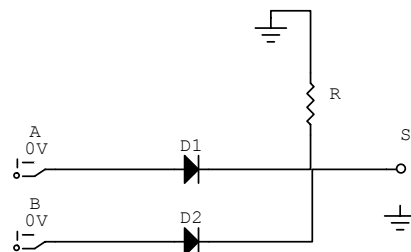
#### f. Lógica com diodos

Como sabemos, os diodos podem ser modelados como chaves. Se polarizado diretamente, o diodo ideal funciona como curto-circuito. Se polarizado reversamente, o diodo funciona como circuito aberto. Considere agora a seguinte figura:



Note que os diodos só estarão funcionando como chave aberta se tanto a entrada A quanto a entrada B estiverem em  $+V_{cc}$ , assim não existirá corrente e toda a tensão estará sobre os diodos, ficando a saída em  $+V_{cc}$ . Se uma das entradas, ou as duas entradas, estiver em 0 V teremos um dos diodos conduzindo e este diodo estará funcionando como curto-circuito, assim existirá corrente e toda a tensão recairá sobre o resistor, fazendo com que a saída tenha um nível de tensão baixa (nível lógico “0”), ou seja, o circuito acima descreve o funcionamento de uma porta lógica E ou AND.

Considere agora a seguinte figura:

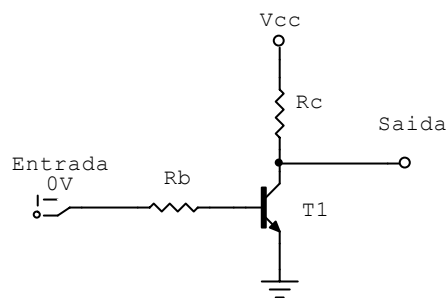


Note que se qualquer das entradas estiver em  $+V_{cc}$ , o diodo associado a esta entrada estará polarizado diretamente, assim existirá corrente sobre o resistor e toda a tensão estará sobre o resistor, ou seja, a saída terá nível lógico “1”. Se as duas entradas estiverem em 0 V, não teremos os diodos conduzindo, a tensão sobre o resistor será 0 V,

fazendo com que a saída tenha nível lógico “0”, ou seja, o circuito acima descreve o funcionamento de uma porta lógica *OU* ou *OR*.

### g. Transistor operando como chave

Um outro aspecto que deve ser abordado antes de descrevermos as famílias de circuitos lógicos é o funcionamento de um transistor. Considere um TBJ na configuração emissor comum, onde a corrente do coletor é controlada pela tensão de entrada  $V_{BE}$  (tensão entre base e emissor). Se a tensão de entrada for suficientemente alta, o transistor vai saturar e a tensão de saída será baixa (nível lógico “0”). Se a tensão de entrada for suficientemente baixa (abaixo da tensão de polarização da junção), o transistor vai trabalhar cortado e a corrente fluindo entre os terminais coletor e emissor será 0 V, com isso toda tensão ficará na junção coletor-emissor (nível lógico “1”). Note que o transistor funciona como inversor nesta configuração.

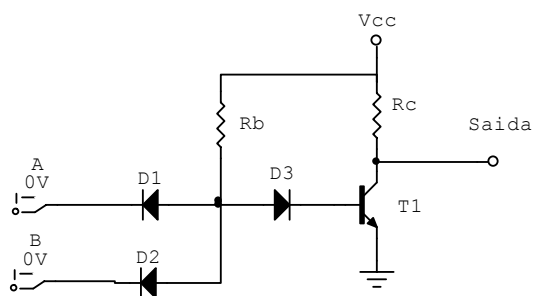


## 2. Famílias de circuitos integrados

Entende-se por famílias de circuitos integrados lógicos, os tipos de estruturas internas que permitem a confecção dos blocos lógicos em circuitos integrados. Cada família utiliza determinados componentes em seus blocos, e com isso cada família terá características próprias de funcionamento.

### a. DTL (Diode Transistor Logic)

A família DTL é constituída por circuitos lógicos formados a partir de diodos e transistores. Esta família é uma extensão da lógica com diodos, permitindo formar portas *NE* e *NOU*. Considere o circuito abaixo:



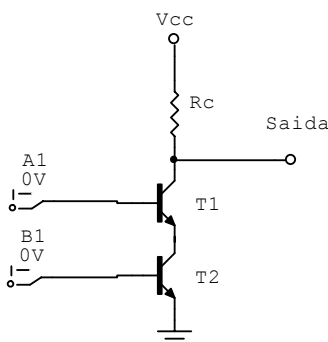
Se uma das entradas estiver em nível lógico “0”, o seu diodo correspondente estará conduzindo. Considerando uma queda de tensão de um diodo real de Silício por volta de 0,7 V, esta diferença de potencial será insuficiente para que a malha contendo o diodo em série com a junção base-emissor do transistor entre em regime de operação. Com isso, o transistor vai estar cortando e toda a tensão estará entre os terminais coletor e emissor, ou seja, a saída estará em nível lógico “1”.

No caso em que as duas entradas estiverem em nível lógico “1”, os diodos ligados às entradas estarão reversamente polarizados, ou seja, estarão funcionando como chaves abertas. Logo, fluirá corrente elétrica pelo resistor ligado ao diodo ligado à base e o transistor entrará em regime de saturação, fazendo com que a saída fique em nível lógico “0”. Note que este é o comportamento de uma porta lógica *NE*.

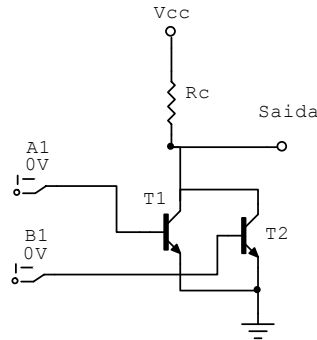
O bloco principal da família DTL é a porta *NE*, e a partir dela podemos construir qualquer outra porta. As características básicas da família DTL são: fan-out igual a 8, dissipam potência na ordem de 10 mW, o  $V_{0máx}$  é 1,4 V e o tempo de atraso é de 30 ns.

### b. DCTL (Direct Coupled Transistor Logic)

Esta família tem este nome devido à configuração básica dos seus circuitos, que utilizam transistores acoplados diretamente. Nesta família os circuitos são simples, de fácil compreensão, de fácil construção em circuitos integrados e possuem uma baixa tensão de alimentação. A porta *NE* está mostrada abaixo:



Quando tivermos pelo menos uma das entradas em nível lógico “0”, teremos pelo menos um dos transistores cortado, fazendo com que a saída fique em nível lógico “1”. Quando as duas entradas estiverem em  $+V_{cc}$ , os dois transistores estarão saturados e a saída vai ter nível de tensão baixo. A porta *NOU* está mostrada abaixo:



Quando tivermos pelo menos uma das entradas em nível lógico “1”, teremos pelo menos um dos transistores saturado, fazendo com que a saída fique em nível lógico “0”. Quando as duas entradas estiverem em  $0\text{ V}$ , os dois transistores estarão cortados e a tensão de saída vai ser  $+V_{cc}$ .

Como visto anteriormente, os blocos principais são as portas *NE* e *NOU*. As maiores limitações desta família é *fan-out* igual a 2 e baixa imunidade a ruído, já que apenas  $0,7\text{ V}$  na entrada são necessários para tirar o transistor o estado de corte. A potência de dissipação dos blocos desta família é da ordem de  $10\text{ mW}$ .

### c. RTL (Resistor Transistor Logic)

É uma família similar à família DCTL, com a diferença que os circuitos não possuem acoplamento direto dos transistores. O acoplamento é feito por meio de resistores. Foi uma das primeiras famílias transpostas para circuitos integrados. O bloco principal é a porta *NOU* (funciona de forma similar à porta *NOU* da família DCTL). Devido à inserção dos resistores, a imunidade a ruído é maior do que na família DCTL. Tem *fan-out* igual a 5, a dissipação de potência é da ordem de  $10\text{ mW}$  por bloco e o tempo de atraso típico é de  $12\text{ ns}$ .

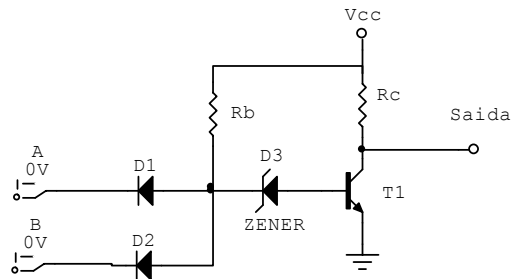
### d. RCTL (Resistor Capacitor Transistor Logic)

Esta é uma família derivada da família RTL. A diferença básica está na inserção de capacitores em paralelo com os resistores na entrada para aumentar a velocidade de

comutação. Isto porque na resposta ao degrau, os capacitores funcionam com curto-circuito no instante inicial, aumentando o tempo de resposta dos transistores.

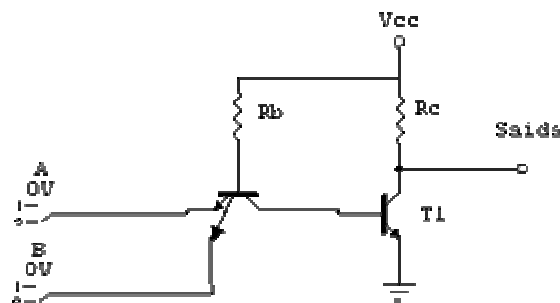
#### e. HTL (High Threshold Logic)

Tem como bloco principal a porta *NE* e tem o funcionamento análogo à família DTL. A diferença está no emprego de um diodo zener reversamente polarizado em vez de um diodo comum. Isto serve para aumentar o potencial necessário para que o transistor entre em saturação, aumentando assim a imunidade a ruído. O fan-out é igual a 10. Todavia, o preço pago por isso é uma maior dissipação de potência por bloco (por volta de 60 mW) e um maior tempo de atraso (família que possui o maior tempo de atraso entre as que utilizam o transistor como chave).



#### f. TTL (Transistor Transistor Logic)

A família TTL é derivada da família DTL. A diferença é que esta utiliza transistores multi-emissores ao invés de usar diodos. As maiores vantagens desta família são: eliminação da rede de diodos e resistores de entrada facilitando o processo de integração e diminuição do tempo de comutação. É uma das famílias mais difundidas e utilizadas. O bloco principal é a porta *NE*, que está mostrada abaixo.



Este circuito apresenta funcionamento semelhante à porta *NE* da família DTL, com a diferença que o conjunto de diodos de entrada e o diodo ligado a base são substituídos por um transistor multi-emissor.

Quando pelo menos uma das entradas estiver em 0 V, a junção base emissor do transistor T1 vai estar polarizada diretamente e o transistor vai ficar saturado, fazendo com que a tensão na base do transistor T2 seja baixa e este fique cortado. Com T2 cortado, a tensão de saída é  $+V_{cc}$ .

Quando as duas entradas estiverem em  $+V_{cc}$ , a junção base emissor do transistor T1 vai estar reversamente polarizada, e a junção base coletor do transistor T1 vai estar diretamente polarizada, fluirá corrente para a base de T2, fazendo com que o transistor T2 fique saturado. Com T2 saturado, a tensão de saída é muito baixa (nível lógico “0”).

Note que colocar  $+V_{cc}$  na entrada ou deixar em aberto é a mesma coisa. Para aumentar o número de entradas do bloco *NE*, basta aumentar o número de emissores do transistor multi-emissor. Para implementação prática podem ser usadas ligações no estágio de saída como *Active Pull-up* e *Toten-Pole* que podem servir para aumentar o Fan-out.

#### **a. Especificações TTL**

Basicamente, existem duas especificações para a família TTL: série 74 (fins comerciais) e série 54 (fins militares). As diferenças básicas são: a série 74 pode operar entre 0°C e 75°C com alimentação entre 4,75 V e 5,25 V, enquanto que a série 54 pode operar entre -55°C e 125°C com alimentação entre 4,5 V e 5,5 V.

A menor tensão na entrada que garante nível lógico “1” é 2 V. A maior tensão na entrada que garante nível lógico “0” é 0,8 V. Nível lógico “1” na saída representa no mínimo 2,4 V, enquanto que nível lógico “0” na saída representa no máximo 0,5 V.

#### **b. Funções adicionais da família TTL**

A família TTL possui blocos lógicos com construção em coletor aberto (*open collector*). Os circuitos desses blocos são semelhantes aos blocos convencionais, com a única diferença de não terem o resistor de coletor ligado ao  $+V_{cc}$ . Este deve ser ligado externamente quando da utilização do bloco. Essa configuração permite o controle externo da corrente de coletor, proporcionando inclusive o aumento do Fan-out. Além disso, permite a ligação conjunta de várias saídas através de um único resistor de coletor, formando uma ligação chamada de *E por fio*.



Alguns dos blocos apresentam um terminal de entrada para habilitação da porta, chamado de *Enable*. Esta entrada tem lógico invertida, ou seja, quando  $Enable=1$ , a saída é suprimida.

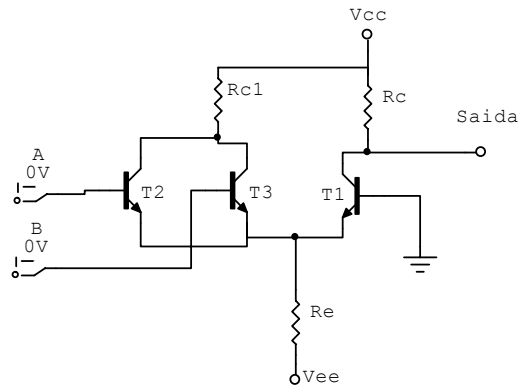
Outra funcionalidade é a saída *tri-state*, que apresenta além dos níveis lógicos “0” e “1”, apresenta a possibilidade de colocar a saída em alta impedância. Isto ocorre quando a saída é desabilitada. Na prática, as aplicações das saídas *tri-state* são muitas, principalmente em sistemas microprocessados, onde vários circuitos integrados compartilham o mesmo barramento para troca de informação.

O Fan-out típico da família TTL é 10 e a imunidade a ruído é de 0,4 V. Na série de blocos padrão, o tempo de propagação é de 10 ns e o consumo de potência por porta é de 10 mW. Mas existem séries especiais, como: a série *Low power*, onde o tempo de propagação é de 33 ns, mas o consumo de potência por porta é de 1 mW; a série *High speed*, onde o tempo de propagação é de 6 ns, mas o consumo de potência por porta é de 22 mW; a série *Schottky*, onde o tempo de propagação é de 3 ns e o consumo de potência por porta é de 20 mW; e a série *Low power Schottky*, onde o tempo de propagação é de 10 ns, mas o consumo de potência por porta é de 2 mW. As séries *Schottky* utilizam transistores *Schottky* que apresentam uma camada de metal entre base e coletor, fazendo com que o transistor não entre totalmente em regime de saturação e assim, diminua seu tempo de chaveamento.

#### **g. ECL (Emitter Coupled Logic)**

A família ECL utiliza nos circuitos, o acoplamento pelo emissor dos transistores. Esse fato faz com que os transistores não trabalhem na região de saturação, tendo com consequência um menor tempo de resposta. Essa é uma das famílias que permite a maior velocidade de comutação (na ordem de 3ns). Os blocos básicos são as portas *OU* e *NOU*.

A lógica do circuito se baseia em um amplificador diferencial (célula de Gilbert) com uma das entradas no terra e as outras duas entradas acopladas diretamente. Quando as duas entradas estiverem em zero, a diferença de tensão é zero e a saída assume nível lógico “1”. Quando qualquer uma das entradas for para nível lógico “1”, teremos uma diferença de tensão e a saída terá nível lógico “0”. Este circuito funciona como uma porta *NOU*. Tomando a outra possível saída, temos a entrada complementar, ou seja, uma porta *OU*.



Outra grande vantagem desta família é o Fan-out de 25, devido à baixa impedância de saída. Contudo, devido ao fato dos transistores operarem na região ativa, a potência de dissipação por porta é alta, da ordem de 50 mW.

#### **h. MOS (Metal Oxide Semiconductor Logic)**

A família MOS é construída a partir de MOSFETs, que são transistores de efeito de campo que utilizam tecnologia MOS (Metal-Óxido-Semicondutores). A característica marcante desta família é a facilidade de construção em escala integrada, de forma a conseguir um grande número de componentes dentro de um mesmo encapsulamento. Tem muitas aplicações em memórias de alta capacidade e microprocessadores. O bloco básico é a porta *NE*.

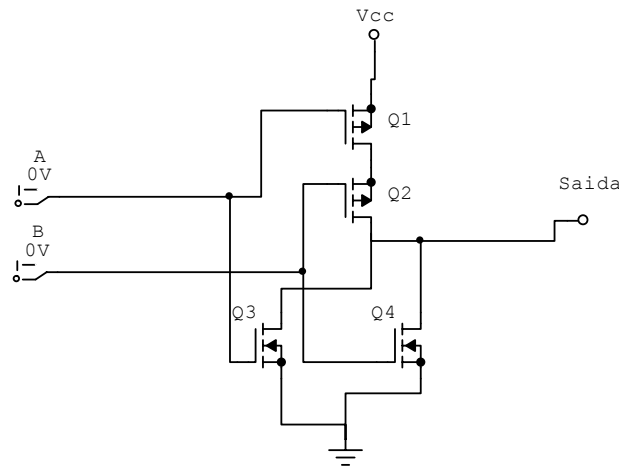
Tem o funcionamento parecido com o da família DCTL, onde a diferença básica é o emprego de MOSFETs ao invés de TBJs. Os terminais de entrada estão isolados pelos capacitores MOS, e isto confere uma alta impedância de entrada. As vantagens são: alta imunidade a ruído, baixa potência de dissipação (inerente aos MOSFETs) e Fan-out igual a 20. A grande desvantagem é o elevado tempo de atraso ( $\sim 300$  ns), relacionado a dinâmica de cargas nos capacitores MOS.

#### **i. CMOS (Complementary Metal Oxide Semiconductor Logic)**

A tecnologia CMOS emergiu por volta de 1980, como alternativa de baixo consumo de energia em relação à tecnologia bipolar. Esta característica dos é proveniente dos FET, que não precisam de corrente para manter o estado de saturação ou corte. Uma porta CMOS só gasta energia para chaveamento, daí vê-se porque estas portas gastam mais energia à medida que a frequência de operação aumenta. É uma

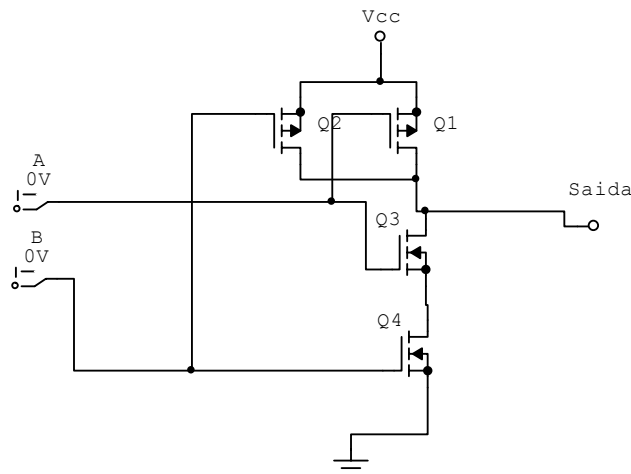
família construída basicamente a partir de pares de MOSFETs, sendo um tipo *n* e um tipo *p*. Os blocos principais destas famílias são a porta *NE* e a porta *NOU*.

O circuito da porta *NOU* é mostrado abaixo:



Quando ambas as entradas estiverem em 0 V, os transistores 1 e 2 estarão conduzindo e os transistores 3 e 4 estarão cortados, que faz com que a saída assuma nível lógico “1”. Quando uma das entradas estiver ativa, teremos pelo menos um dos transistores 3 e 4 conduzindo, e a saída vai pra zero.

O circuito da porta *NE* é mostrado abaixo:



Quando pelo menos uma das entradas estiver em 0 V, um dos transistores 3 e 4 estará cortado, fazendo com que a saída vá pra nível lógico “1”. Se as duas entradas estiverem ativas, os transistores 3 e 4 estarão conduzindo e a saída será zero.

As características básicas são fan-out elevado (50) e alta imunidade a ruído. Existem as séries 4000 e 4000B. A série 4000 funciona com alimentação entre 3 V e 15 V. A série 4000B funciona com alimentação entre 3 V e 18 V. Muitas série CMOS com configurações similares às famílias 7400 TTL como a 74HCT e a 74ACT apareceram. Estas famílias apresentam uma pequena incompatibilidade a família TTL, as famílias

CMOS requerem uma tensão mínima de 3 V para nível lógico “1”. Mas esta incompatibilidade pode ser resolvida utilizando circuitos de interface.

Há pouco tempo, surgiu a tecnologia BiCMOS que combina o melhor da tecnologia bipolar (ganho alto) e o melhor da tecnologia CMOS (baixo consumo de energia e pequena área de construção).

#### **j. Novos materiais para fabricação de CI (GaAs)**

Ligas compostas GaAs formam semicondutores com uma maior mobilidade que o Silício e o germânio. Isto confere uma maior velocidade de chaveamento. Esta tecnologia já mostrou resultados mas ainda está em fase de maturação.

### **3. Características dos circuitos integrados, processo de fabricação e tipos de encapsulamento**

Na época invenção do transistor em 1947 por John Bardeen, Walter Brattain, e William Shockley, a única forma de se montar um circuito com vários transistores era comprando vários transistores discretos separadamente e interligá-los com fios. Em 1959, Jack Kilby e Robert Noyce inventaram uma forma de fabricar vários transistores em uma única pastilha de material semicondutor. Nasceram os circuitos integrados. Os circuitos integrados podem conter em uma mesma pastilha vários transistores, diodos, resistores, capacitores e fios. É importante frisar que as famílias digitais apontadas acima de uso comercial são todas implementadas com CI. Um circuito integrado típico é uma estrutura retangular medindo entre 2 e 15 mm.

Muitos processos químicos são realizados para a construção de um circuito integrado. O processo começa com uma pastilha de semicondutor fina, limpa e polida, geralmente de Silício. Tipicamente estas pastilhas têm diâmetro padrão de: 100, 200 ou 300 mm. É importante que esta pastilha tenha uma estrutura cristalina perfeita para servir como base para formação de cristais depositados durante os processos de fabricação. Para inserção das camadas de semicondutor, isolantes ou metais são utilizadas máscaras e raios UV. Esta técnica é chamada de fotolitografia.

Quando um circuito digital é projetado e fabricado, segue normalmente uma das tecnologias principais de transistor: bipolar (para construção de TBJs) ou metal-óxido semicondutor (para construção de FETs). A lógica bipolar era a mais comum até os

anos 80, mas a tecnologia CMOS (MOS complementar utilizando FETs tipo n e tipo p em conjunto) ganhou terreno desde então e tornou-se o processo dominante.

Os materiais mais comuns para encapsulamento de circuitos integrados são o plástico e a cerâmica. Encapsulamentos plásticos tem custo mais baixo, mas tem pior desempenho na dissipação de calor.

Um tipo de encapsulamento comum utilizado em circuitos digitais é o dual in-line package, ou DIP, que tem duas linhas de pinos com os pinos separados por 0,1 polegadas. DIPs são fabricados em padrões comuns de 6 a 48 pinos, sendo os CIs com portas lógicas com 14 e 16 pinos e os CIs para memória construídos com 16, 18, 24 e 28 pinos. Alguns microcontroladores e microprocessadores são encapsulados em DIP e têm 40, 44 e 48 pinos.

À medida que a densidade dos CIs aumentava, o número de pinos e a velocidade dos circuitos começava a crescer. O uso de encapsulamentos tipo DIP tornou-se um fator limitante no desempenho dos CIs. Como os chips mais avançados são relativamente quadrados, foi desenvolvido o pin grid array, ou PGA, que é uma matriz de pinos espaçados por 0,1 polegadas. O PGA pode prover alta densidade de pinos, mas tem alto custo.

Então, duas alternativas de custo mais baixo foram desenvolvidas para CIs que precisavam de mais pinos que os DIP, mas menos que um PGA, são eles: small outline integrated circuit (SOIC) e o plastic leaded chip carrier (PLCC). Ambos têm espaçamento entre os pinos de 0,05 polegadas (metade do DIP ou PGA).

O SOIC é basicamente um DIP encolhido com pinos mais curtos para serem soldados no mesmo lado da placa que o CI está. Os PLCCs aumentam a densidade de pinos colocando uma fileira em cada um dos quatro lados do chip e têm os pinos curtos com os SOICs. Uma variação mais avançada do PLCC é o quad flat pack, ou QFP. Um QFP é uma variação mais delgada e mais densa do PLCC. Talvez, o tipo de encapsulamento mais usado para CIs seja o ball grid array, ou BGA. Esta tecnologia é uma variação do PGA onde os contatos são realizados diretamente a bolhas de solda na superfície da placa.

#### **4. Tecnologias de projeto de circuitos digitais**

Outro aspecto interessante na tecnologia dos circuitos digitais é a forma como estes são implementados. A forma mais antiga é a construção predeterminada de um

circuito para uma função específica, no caso os ASICs (Application Specific Integrated Circuits). Este tipo de implementação é a mais barato, se os circuitos forem fabricados em larga escala de produção. Todavia, os ASICs não são flexíveis e uma simples mudança no circuito requer um novo projeto. Então foram criadas soluções com um conceito alternativo para gerar flexibilidade, os arrays programáveis. Entre eles, existem soluções para circuitos combinacionais (PLA ou PAL) e soluções que também podem criar blocos sequenciais (FPGA).

#### **a. PLA (Programmable Logic Array) e PAL (Programmable Logic Array)**

Estas tecnologias são utilizadas para circuitos digitais combinacionais e se baseiam na construção de circuitos a partir do somatório dos 1-mintermos da tabela da verdade que rege o circuito em questão. Para isso, têm um array de portas E e um array de portas OU.

PAL tem programabilidade limitada, pois os arrays de portas OU só tem acesso a alguns termos produto e os termos produto não podem ser compartilhados. PLA utilizam topologias mais generalizadas nos arrays E e OU. Com isso, os PLAs apresentam maior flexibilidade, mas com menor velocidade.

#### **b. Field-programmable gate arrays (FPGAs)**

O FPGA (Field-programmable gate arrays) é um circuito integrado que contém muitas células lógicas idênticas (de 64 até mais de 10000). Cada célula lógica pode ser vista como componentes padronizados. Cada célula pode ser configurada independentemente para exercer uma determinada função entre um conjunto de funções pré-definidas. Estas células individuais são conectadas por uma matriz de fios e chaves programáveis. O projeto é implementado por meio da especificação de uma função lógica simples para cada uma das células e da definição das chaves na matriz de interconexão que devem ficar fechadas. O *array* de células lógicas e interconexões podem ser utilizados para implementar dispositivos lógicos de cunho geral, como: contadores, unidades lógicas aritméticas e máquinas de estado. Projetos mais complexos são criados a partir destes blocos mais básicos.

Cada elemento lógico consiste de uma LUT (*look-up table*) com um determinado número de entradas e um flip-flop programável. O LUT é um gerador de função booleana de construído com um multiplexador. As linhas de entrada de dados são interligadas às linhas de seleção do multiplexador. Existem registradores de 1 bit conectados a este multiplexador. Dependendo da função requerida, o conteúdo dos registradores é modificado de acordo com a tabela da verdade. O flip-flop programável pode ser configurado para funcionar como tipo D, T, JK, ou SR. Para circuitos combinacionais, os flip-flop podem ser bypassados.

Field Programmable significa que estas plataformas devem ser pelo usuário e não pelo fabricante. As funções do FPGA são definidas por um program escrito em uma linguagem de descrição de hardware. Dependendo do dispositivo, o programa pode ser passado para o FPGA de forma permanente, semi-permanente ou ainda passado por uma memória externa quando o FPGA é ativado. Esta facilidade gera facilidades de reengenharia com baixo custo.