

1. 다음의 조합 논리회로를 설계하라.

$$F(x, y, z, w) = \sum(0, 2, 4, 7, 8, 10)$$

$$d(x, y, z, w) = \sum(5, 6)$$

- (a) 이 조합논리회로를 위한 진리표(truth table)를 작성하라(2점).

- (b) 맵을 이용하여 간략화를 할 때 맵을 작성하고, 간략화한 부울식을 작성하라(2점).

- (c) 논리회로를 NAND 게이트만을 이용하여 작성하라. 이때, inverter, AND, OR 게이트 등이 논리회로에서 사용되지 않도록 하여라(2점).

2. 2-비트 이진 다운 카운트를 작성하라. 즉,  $11 \rightarrow 10 \rightarrow 01 \rightarrow 00 \rightarrow \dots$  와 같이 카운트된다. 한 개의 외부 입력  $x$ 의 값이 1인 경우에 카운트를 하고, 0인 경우에는 카운트를 멈춘다. 이 이진 카운트의 별도 외부 출력은 없으며, 카운트 설계를 위해 D 플립-플롭을 사용한다. 다음의 물음에 답을 하여라.

- (a) 상태도를 작성하라(2점).

- (b) 상태표를 작성하라(2점).

(c) 여기표(exitation table)을 작성하고, 플립플롭의 입력 부울식을 작성하라(2점).

(d) 입력 부울식을 이용하여 2-비트 이진 카운트의 논리 회로를 작성하라(2점).

(e) 이진 카운트의 출력을 디코더에 연결하여 타이밍 신호를 생성하는 논리 회로를 작성하라(1점).

3. 레지스터의 길이가 16 비트인 시스템에서 아래와 같이 16 비트 값이 저장되어 있는 두 레지스터 R1, R2를 대상으로 덧셈을 했을 때 오버플로가 발생했다면 그 근거를 간단히 설명하고, 그렇지 않다면 덧셈 결과를 적으라. 단, 음수 표현을 위해 2의 보수 표기법을 사용한다고 가정하자.

(a)  $R1=0x7FFF$ ,  $R2=0x8FFF$ (2점)

(b)  $R1=0x8000$ ,  $R2=0xFFFF$ (2점)

4. 십진수 -7.5를 국제표준화기구 IEEE에서 정한 32-비트 표준에 맞게 표현을 하여라(3).

5. 아홉 개의 8-비트 레지스터가 MUX(멀티플렉서)를 이용한 버스 시스템에 연결되어 있다고 가정하자. 이때, 다음의 물음에 답을 하여라.

(a) 버스 시스템 구현을 위한 MUX의 규격은(1점)?

(b) 버스 시스템 구현을 위해 요구되는 MUX의 수량은 몇개인가(1점)?

6. 다음 쪽에 제시된 자료는 교재의 'simple computer'의 명령어 사이클을 위한 마이크로연산들을 나타낸 것이다. 레지스터 DR을 위한 제어 논리회로를 작성하라.

(a) 레지스터 DR의 제어 입력 LD, INR, CLR을 위한 부울식을 각각 작성하라(3점).

(b) 앞서 작성한 PC의 제어 입력 부울식을 이용하여 제어 논리 회로를 작성하라(3점).

(c) 위에서 작성한 부울식을 구현하기 위해 ROM을 사용한다면 사용되는 ROM의 규격을 적으라(2점).

Fetch	$R T_0 : AR \leftarrow PC$ $R T_1 : IR \leftarrow M[AR], PC \leftarrow PC+1$
Decode	$R T_2 : D_0, \dots, D_7 \leftarrow \text{Decode } IR(12-14), AR \leftarrow IR(0-11), I \leftarrow IR(15)$
Indirect	$D_7 I T_3 : AR \leftarrow M[AR]$
Interrupt:	$T_0' T_1' T_2' (IEN)(FGI+FGO) : R \leftarrow 1$ $RT_0 : AR \leftarrow 0, TR \leftarrow PC$ $RT_1 : M[AR] \leftarrow TR, PC \leftarrow 0$ $RT_2 : PC \leftarrow PC+1, IEN \leftarrow 0, R \leftarrow 0, SC \leftarrow 0$
Memory-reference:	
AND	$D_0 T_4 : DR \leftarrow M[AR]$ $D_0 T_5 : AC \leftarrow AC \wedge DR, SC \leftarrow 0$
ADD	$D_1 T_4 : DR \leftarrow M[AR]$ $D_1 T_5 : AC \leftarrow AC + DR, E \leftarrow C_{out}, SC \leftarrow 0$
LDA	$D_2 T_4 : DR \leftarrow M[AR]$ $D_2 T_5 : AC \leftarrow DR, SC \leftarrow 0$
STA	$D_3 T_4 : M[AR] \leftarrow AC, SC \leftarrow 0$
BUN	$D_4 T_4 : PC \leftarrow AR, SC \leftarrow 0$
BSA	$D_5 T_4 : M[AR] \leftarrow PC, AR \leftarrow AR+1$ $D_5 T_5 : PC \leftarrow AR, SC \leftarrow 0$
ISZ	$D_6 T_4 : DR \leftarrow M[AR]$ $D_6 T_5 : DR \leftarrow DR+1$ $D_6 T_6 : M[AR] \leftarrow DR, \text{ if } (DR=0) \text{ then } (PC \leftarrow PC+1), SC \leftarrow 0$
Register-reference:	$D_7 I' T_3 = r$ (common to all register-reference instructions) $IR(i) = B_i (i=0, 1, 2, \dots, 11)$ $r : SC \leftarrow 0$
CLA	$r B_{11} : AC \leftarrow 0$
CLE	$r B_{10} : E \leftarrow 0$
CMA	$r B_9 : AC \leftarrow \overline{AC}$
CME	$r B_8 : E \leftarrow \overline{E}$
CIR	$r B_7 : AC \leftarrow \text{shr } AC, AC(15) \leftarrow E, E \leftarrow AC(0)$
CIL	$r B_6 : AC \leftarrow \text{shl } AC, AC(0) \leftarrow E, E \leftarrow AC(15)$
INC	$r B_5 : AC \leftarrow AC+1$
SPA	$r B_4 : \text{ If } (AC(15)=0) \text{ then } (PC \leftarrow PC+1)$
SNA	$r B_3 : \text{ If } (AC(15)=1) \text{ then } (PC \leftarrow PC+1)$
SZA	$r B_2 : \text{ If } (AC=0) \text{ then } (PC \leftarrow PC+1)$
SZE	$r B_1 : \text{ If } (E=0) \text{ then } (PC \leftarrow PC+1)$
HLT	$r B_0 : S \leftarrow 0$
Input-output:	$D_7 I T_3 = p$ (common to all input-output instructions) $IR(i) = B_i (i=6, 7, 8, 9, 10, 11)$ $p : SC \leftarrow 0$
INP	$p B_{11} : AC(0-7) \leftarrow INPR, FGI \leftarrow 0$
OUT	$p B_{10} : OUTR \leftarrow AC(0-7), FGO \leftarrow 0$
SKI	$p B_9 : \text{ If } (FGI=1) \text{ then } (PC \leftarrow PC+1)$
SKO	$p B_8 : \text{ If } (FGO=1) \text{ then } (PC \leftarrow PC+1)$
ION	$p B_7 : IEN \leftarrow 1$
IOF	$p B_6 : IEN \leftarrow 0$